

Міністерство освіти і науки України

ДЕРЖАВНИЙ УНІВЕРСИТЕТ ІНТЕЛЕКТУАЛЬНИХ ТЕХНОЛОГІЙ І ЗВ'ЯЗКУ

Кафедра: автоматики та комп'ютерно-інтегрованих технологій

**МЕТОДИЧНИЙ ПОСІБНИК
ДЛЯ ВИКОНАННЯ КУРСОВОЇ РОБОТИ
З ДИСЦИПЛІНИ
«ПРОМИСЛОВА ЕЛЕКТРОНІКА»**

Одеса – 2023

УДК 621.37
B75

Методичні вказівки для виконання курсової роботи з дисципліни
«Промислова електроніка» / Укл. О.М. Воробйова, Ю.В. Флейта. Одеса: ДУІТЗ,
2023. 44 с.

Методичні вказівки містять матеріал для практичного виконання усіх розділів курсової роботи з дисципліни «Промислова електроніка», теоретичний матеріал, за допомогою якого студенти можуть самостійно розібратися у вивченні теми, перевірити свої знання та виконати курсову роботу.

У методичних вказівках наведено матеріал для грамотного оформлення курсової роботи, у додатках присутні довідкові дані для вибору елементів промислової електроніки та їх графічного креслення.

Схвалено
на засіданні кафедри АКІТ
та рекомендовано до друку.
Протокол № 1 від 29.08.2022 р.

Затверджено
навчально-методичною радою ДУІТЗ

© Воробйова О.М., Флейта Ю.В. 2023
© ДУІТЗ, 2023

ЗМІСТ

1. ВСТУП	4
ЧАСТИНА I	
2. РОЗРОБКА ТА РОЗРАХУНОК ЕЛЕМЕНТІВ АНАЛОГОВОЇ СХЕМОТЕХНІКИ. РОЗРОБКА СХЕМИ ТА РОЗРАХУНОК ВИМІРЮВАЛЬНОГО ПІДСИЛЮВАЧА	6
2.1. Ключові положення	6
2.2. Завдання для розрахунку	8
2.3. Вихідні дані	8
2.4. Виконання розрахунку	9
ЧАСТИНА II	
3. РОЗРОБКА ТА РОЗРАХУНОК ЕЛЕМЕНТІВ ЦИФРОВОЇ СХЕМОТЕХНІКИ	10
3.1. Розробка схеми та розрахунок послідовнісних пристроїв	10
3.1.1. Ключові положення	10
3.1.2. Завдання для розрахунку	15
3.1.3. Вихідні дані	15
3.1.4. Виконання розрахунку	15
3.2. Розробка схеми та розрахунок комбінаційних пристроїв	16
3.2.а. Розробка та розрахунок дешифратора на МС	16
3.2.1.а. Ключові положення	16
3.2.2.а. Завдання для розрахунку	21
3.2.3.а. Вихідні дані	21
3.2.4.а. Виконання розрахунку	21
3.2.б. Розробка та розрахунок схеми дешифратора на ПЛМ	26
3.2.1.б. Ключові положення	26
3.2.2.б. Завдання для розрахунку	32
3.2.3.б. Вихідні дані	32
3.2.4.б. Виконання розрахунку	32
4. ПРАВИЛА ОФОРМЛЕННЯ КУРСОВОЇ РОБОТИ	35
ДОДАТКИ	41
РЕКОМЕНДОВАНА ЛІТЕРАТУРА	42

1. ВСТУП

Розвиток електроенергетики та електротехніки тісно пов'язаний з електронікою. Складність процесів в енергосистемах, висока швидкість їх протікання зажадали широкого впровадження для розрахунку режимів та управління процесами мікропроцесорних комплектів або комп'ютерів, зв'язаних із системою складними електронними пристроями, які забезпечені розвиненими пристроями для відображення інформації. Основні процеси виробництва автоматизуються на основі сучасних пристроїв інформаційної електроніки, в яких в останні роки широко застосовуються інтегральні мікросхеми та мікропроцесори. Не менш тісно пов'язана з енергетикою і електромеханікою енергетична електроніка. Напівпровідникові перетворювачі електричної енергії є одним із основних навантажувальних елементів мереж, їх робота багато в чому визначає режими роботи мереж. Вентильні перетворювачі використовуються для живлення електроприводів та електротехнологічних установок, для збудження синхронних електричних машин та у схемах частотного пуску гідрогенераторів. На основі напівпровідникових вентильних перетворювачів створено лінії електропередач постійного струму великої потужності і вставки постійного струму.

Таким чином, електронні пристрої є важливими й досить складними компонентами енергетичних та електромеханічних установок та систем. Для їх створення необхідно залучати фахівців у сфері промислової електроніки, автоматики та мікропроцесорної техніки.

Для того, аби приступити до розроблення будь-якої автоматичної лінії або ж до автоматизації окремого технологічного процесу потрібно чітко уявити собі, що може виконати електроніка, за яку ціну та якими способами. Останнє необхідно також для кваліфікованого вибору обладнання, випускного промисловістю.

Виникає необхідність грамотної експлуатації електронних пристроїв, які входять у схему автоматизації після завершення монтажних та налаштувальних робіт, в тому числі електроніки.

Все це вимагає великих знань в області промислової електроніки. Основу цих знань закладає вивчення курсу «Промислова електроніка». У ньому викладено відомості про сучасні схеми інформаційної та енергетичної електроніки. Курс допоможе прийняттю грамотних рішень в інженерній практиці. Однак не слід переоцінювати результат опрацювання цього курсу: в ньому дано лише основні рішення, найбільш типові і розповсюджені варіанти. Для збереження і постійного підвищення своєї інженерної кваліфікації інженер повинен регулярно стежити за науковою літературою. Особливо це стосується такої мінливої області, як промислова електроніка.

Електронна техніка безперервно розвивається, кожну задачу можна розв'язати на основі різних схемних варіантів: можна побудувати схему на дискретних компонентах, можна виконати її на інтегральних мікросхемах, застосувати мікропроцесорний комплект.

Виконання курсової роботи з дисципліни «Промислова електроніка» дає можливість студентам виявити свій індивідуальний підхід до розробки схеми за заданими параметрами, розрахувати її елементи, обрати останні за довідковими даними, наведеними у методичних вказівках. Ця робота є пізнавальним елементом щодо дисципліни «Промислова електроніка».

Курсова робота виконується на протязі другого семестру. Робота складається з двох частин:

1. Розробка та розрахунок елементів аналогової схемотехніки.
Розробка схеми та розрахунок вимірювального підсилювача.
2. Розробка та розрахунок елементів цифрової схемотехніки
 - а) Розробка схеми та розрахунок послідовнісних пристроїв.
 - б) Розробка схеми та розрахунок комбінаційних пристроїв.

ЧАСТИНА І

2. РОЗРОБКА ТА РОЗРАХУНОК ЕЛЕМЕНТІВ АНАЛОГОВОЇ СХЕМОТЕХНІКИ. РОЗРОБКА СХЕМИ ТА РОЗРАХУНОК ВИМІРЮВАЛЬНОГО ПІДСИЛЮВАЧА

2.1. Ключові положення

Вимірювальний підсилювач – це один з найбільш широко застосовуваних точних та багатофункціональних підсилювачів.

Як правило, вимірювальні підсилювачі малої потужності, тому їх доцільно виконувати на аналогових інтегральних схемах – операційних підсилювачів.

Схему вимірювального підсилювача показано на рис. 2.1.

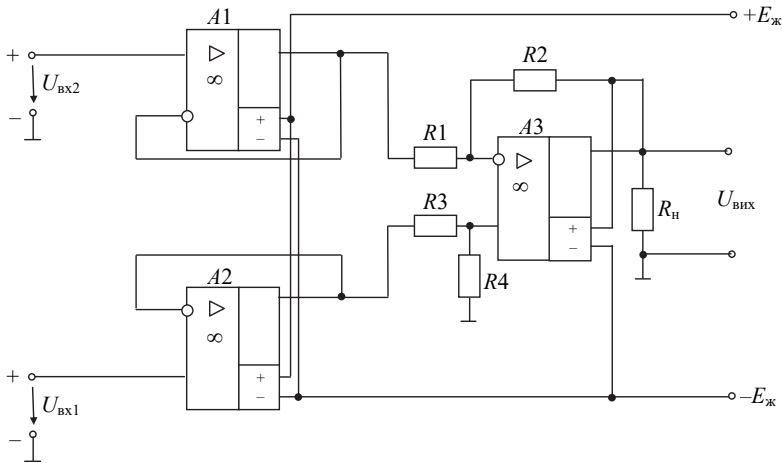


Рисунок 2.1 – Вимірювальний підсилювач

Вимірювальний підсилювач використовується для підсилення та вимірювання малих різниць напруг від віддалених джерел сигналу. При передаванні малих сигналів виникають синфазні завади, напруга яких часто буває значно більшою, ніж вимірювана різницева напруга. Різницеву вхідну напругу назовемо диференціальним вхідним сигналом

$$U_{\text{ВХ д}} = U_{\text{ВХ1}} - U_{\text{ВХ2}}.$$

Диференціальний вхідний сигнал часто являє собою сигнал, що знімається з давача. Давач або перетворювач являє собою пристрій, який перетворює вимірюваний параметр та його зміну в електричний сигнал. Приклади давачів-перетворювачів: 1) фототранзистор, який перетворює рівень освітленості у струм; 2) термістор, який перетворює зміну температури у зміну опору; 3) термопара, яка дає на виході напругу, пропорційну температурі спаду; 4) тензодавач, опір якого змінюється пропорційно механічній деформації матеріалу, та інші.

Основою вимірювального підсилювача (рис. 2.1) є диференціальний (різницевий) підсилювач, виконаний на операційному підсилювачі АЗ. У диференціального підсилювача (ДП) вхідні сигнали подаються на обидва входи операційного підсилювача: *інвертуючий* та *неінвертуючий*. Отже, вихідна напруга буде визначатися різницею вхідних сигналів та коефіцієнтом підсилення ДП.

Якщо виконати коефіцієнти підсилення ДП за інвертуючим та неінвертуючим входами однаковими, то ДП не буде підсилювати синфазні сигнали. Тому далі розглянемо лише різницевий (диференціальний) вихідний сигнал.

Операційні підсилювачі А1 й А2 увімкнено за схемою повторювачів. Це дозволяє збільшити вхідний опір вимірювального підсилювача й розв'язати вхідні та вихідні сигнали. Тому що коефіцієнт підсилення напруги повторювача дорівнює одиниці, то вхідні напруги $U_{\text{вх1}}$ й $U_{\text{вх2}}$ подано на входи ДП, який виконано на АЗ.

Для сигналу $U_{\text{вх1}}$ підсилювач увімкнений за неінвертуючою схемою, напруга на неінвертуючому вході дорівнює

$$U_{\text{вх1}} = \frac{R_4}{R_3 + R_4},$$

а коефіцієнт підсилення за неінвертуючим входом дорівнює

$$K_{\text{н}} = 1 + \frac{R_2}{R_1}. \quad (2.1)$$

Отже, вихідна напруга від неінвертуючого входу буде дорівнювати

$$U_{\text{вих1}} = \frac{R_4}{R_3 + R_4} \cdot \left(1 + \frac{R_2}{R_1}\right) \cdot U_{\text{вх1}}. \quad (2.2)$$

Для інвертуючого входу коефіцієнт підсилення дорівнює

$$K_{\text{і}} = -\frac{R_2}{R_1}, \quad (2.3)$$

отже

$$U_{\text{вих2}} = -\frac{R_2}{R_1} \cdot U_{\text{вх2}}. \quad (2.4)$$

Користуючись принципом суперпозиції, знайдемо вихідну напругу

$$U_{\text{вих}} = U_{\text{вих1}} + U_{\text{вих2}} = \frac{R_4}{R_3 + R_4} \cdot \left(1 + \frac{R_2}{R_1}\right) \cdot U_{\text{вх1}} - \frac{R_2}{R_1} \cdot U_{\text{вх2}}. \quad (2.5)$$

Для отримання однакових коефіцієнтів підсилення за обома входами ДУ оберемо

$$R_3 = R_1, R_4 = R_2. \quad (2.6)$$

У цьому випадку синфазний сигнал на виході ДП буде відсутнім, а вихідна напруга буде дорівнювати

$$U_{\text{вих}} = \frac{R_2}{R_1} (U_{\text{вх1}} - U_{\text{вх2}}) = K(U_{\text{вх1}} - U_{\text{вх2}}), \quad (2.7)$$

$$\text{де } K = \frac{R_2}{R_1}. \quad (2.8)$$

Отже, вимірювальний підсилювач підсилює різницю вхідних напруг.

Якщо обрати опір усіх резисторів рівним: $R_1 = R_2 = R_3 = R_4$, то вихідна напруга буде дорівнювати різниці вхідних напруг

$$U_{\text{вих}} = U_{\text{вх1}} - U_{\text{вх2}}. \quad (2.9)$$

Якщо на обидва входи подано синфазні сигнали: $U_{\text{вх1}} = U_{\text{вх2}}$, то $U_{\text{вих}} = 0$, то, вимірювальний підсилювач не підсилює синфазні сигнали.

2.2. Завдання для розрахунку

1. Накреслити схему вимірювального підсилювача й призначення елементів.
2. Розрахувати опори резисторів R_1, R_2, R_3, R_4 .
3. Округлити значення опорів R_1, R_2, R_3, R_4 до стандартних номіналів з ряду E24.
4. Розрахувати вихідну напругу.
5. Визначити задане значення вихідної напруги.
6. Знайти похибку отриманої вихідної напруги відносно заданої.

2.3. Вихідні дані

1. Напруга вхідних сигналів:

$$U_{\text{вх1}} = (0,2 + 0,01n), \text{ В.}$$

$$U_{\text{вх2}} = (0,3 + 0,01m), \text{ В.}$$

2. Коефіцієнт підсилення підсилювача

$$K = 20 + n.$$

- 3) Опір резистора R_1 :

$$R_1 = (1 + m), \text{ кОм.}$$

2.4. Виконання розрахунку

1. Схему вимірювального підсилювача показано на рис. 2.1.

2. Розраховуємо опір резистора R_2

$$R_2 = R_1 K.$$

3. Обираємо опір резисторів з ряду E24:

$$R_1 = R_3 = \dots, R_2 = R_4 = \dots.$$

4. Розраховуємо вихідну напругу

$$U_{\text{вих}} = \frac{R_2}{R_1} (U_{\text{вх1}} - U_{\text{вх2}}).$$

5. Визначаємо задане значення вихідної напруги

$$U_{\text{вих зад}} = K(U_{\text{вх1}} - U_{\text{вх2}}).$$

6) Знаходимо похибку розрахованої вихідної напруги

$$\delta\% = \frac{U_{\text{вих зад}} - U_{\text{вих}}}{U_{\text{вих зад}}} \cdot 100.$$

Похибка не повинна перевищувати $\delta\% \leq \pm 5\%$.

ЧАСТИНА II

3. РОЗРОБКА ТА РОЗРАХУНОК ЕЛЕМЕНТІВ ЦИФРОВОЇ СХЕМОТЕХНІКИ

3.1. Розробка схеми та розрахунок послідовнісних пристроїв

3.1.1. Ключові положення

Послідовнісні пристрої – це цифрові автомати з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини й елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача, що може запам'ятовувати один біт інформації (0 або 1), виконує триггер.

Одним з найбільш поширених послідовнісних пристроїв є лічильники.

Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку лічильником є пристрій, який може переходити з одного стану в інші під дією вхідних імпульсів, які належить лічити. З надходженням вхідних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку. Тому, якщо лічильник має лічити до 10 імпульсів, то він повинен мати 10 різноманітних станів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

Лічильники з кінцевим станом називають лічильниками з насиченням. Такі лічильники, наприклад, зручні для ініціалізації деяких подій після надходження на вхід лічильника певної кількості імпульсів. Природно, у таких лічильниках потрібно передбачити засіб скидання лічильника, якщо лічильник повинен працювати багаторазово. Якщо в лічильниках циклічно повторюється послідовність станів, то такі пристрої називають лічильниками за модулем. Термін модуль використовується лише для позначення числа різних станів у лічильній послідовності.

Число станів є основним параметром лічильника і носить назву *коефіцієнта перерахунку* K_n або *модуля лічби* M .

Найпростішим лічильником є тригер з лічильним входом, який виконує лічбу імпульсів за модулем $M = 2$, тобто він має два стани 0 та 1, які змінюються по чергові під дією входних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (3.1)$$

де m – число двійкових розрядів лічильника.

Отже, модуль лічби визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його *місткістю*

$$K = M - 1, \quad (3.2)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

Десяткові лічильники

Десяткові лічильники застосовуються, здебільшого, для спілкування людини з машиною.

Десятковий лічильник з модулем $M = 10$ складається з чотирьох двійкових розрядів. Тому часто його називають *двійково-десятковим лічильником*. Він рахує до 10 і за появи на його виходах числа $1010_2 = 10_{10}$ скидається у нуль. Такий лічильник має надлишкові невикористані стани. Дійсно, для двійкового чотирирозрядного лічильника $M = 2^4 = 16$. Тоді число надлишкових станів визначається як $q = 16 - 10 = 6$.

Щоб виключити ці надлишкові для десяткового лічильника стани, використовують зворотні зв'язки між виходами останнього тригера лічильника та входами тригерів тих розрядів, які у двійковому коді складають число надлишкових станів, тобто у нашому випадку $q = 6_{10} = 0110_2$. Тоді сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого та третього розрядів. Такий принцип називається *блокуванням перенесення*.

На рис. 3.1 показана схема асинхронного двійково-десяткового підсумовувального лічильника, побудованого на двоступеневих *JK*-тригерах. При цьому вважаємо, що *JK*-тригери спрацьовують від *зрізів* імпульсів, що надходять на їхні синхровходи, як показано на часовій діаграмі роботи рис. 3.2.

Тут зворотний зв'язок здійснюють логічні елементи $D2, D4, D6$. Елементи $D2$ та $D4$ забороняють зведення тригерів $D3$ і $D5$ після 8-го імпульсу, а $D6$ забороняє зведення тригера $D7$ до 8-го імпульсу.

Часову діаграму роботи двійково-десяткового лічильника подано на рис. 3.2.

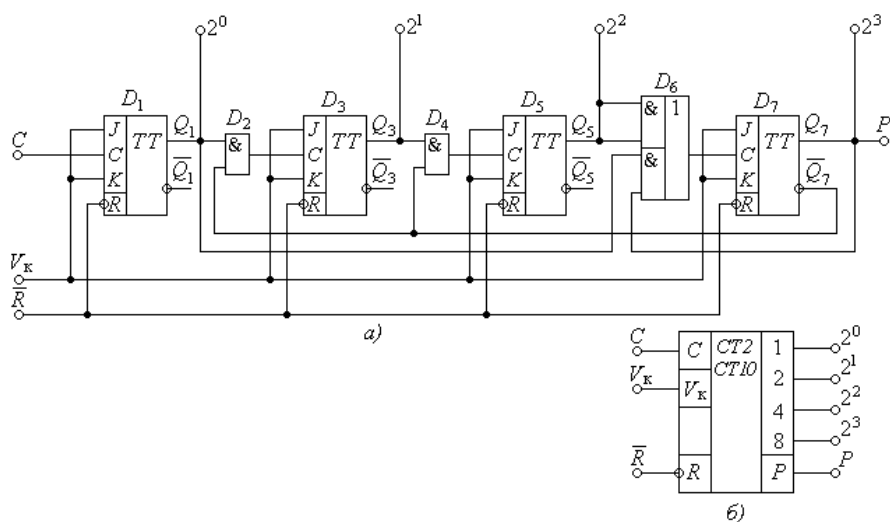


Рисунок 3.1 – Двійково-десятковий лічильник на двоступеневих JK -тригерах:
 а) схема; б) умовне позначення

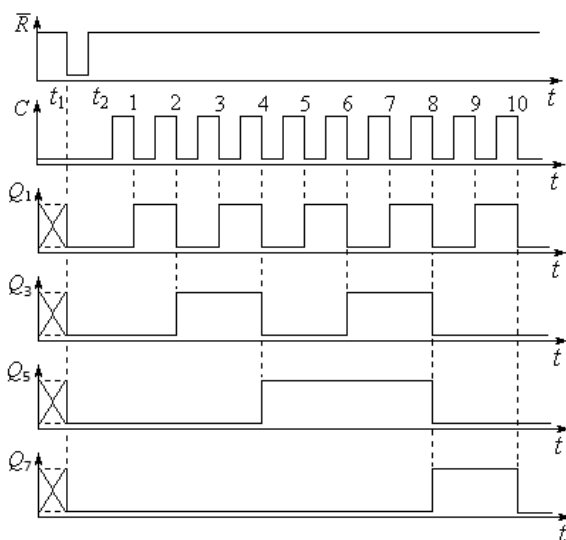


Рисунок 3.2 – Часова діаграма роботи двійково-десяткового лічильника

Лічильник працює наступним чином. Як видно з часової діаграми (рис. 3.2) й таблиці станів (табл. 3.1), підрахунок числа імпульсів до 8-го включно виконується у двійковому коді: 0000, 0001, 0010, ... , 1000.

Таблиця 3.1 – Стани двійково-десятькового лічильника

Номер вхідн. імп.	Виходи				Число у лічильнику
	Q_7	Q_5	Q_3	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

Дійсно, поки тригер старшого розряду $D7$ у нульовому стані, на виході $\overline{Q_7} = 1$. Це дає дозвіл на проходження імпульсів через схеми $2I$ $D2$ і $D4$ з тригерів $D1$ і $D3$ відповідно на входи C тригерів $D3$ і $D5$.

Після надходження 8-го імпульсу у нульові стани повертаються тригери перших трьох розрядів $D1$, $D3$ і $D5$, та взводиться тригер $D7$. За взведеного тригера $D7$ спрацьовування елементів $D2$ і $D4$ заборонено подачею з виходу $\overline{Q_7}$ логічного нуля, але при цьому з'являється дозвіл на спрацьовування нижнього елемента $2I$ -АБО $D6$.

Після 9-го імпульсу взводиться тригер $D1$, готуючи до проходження імпульсу скидання через схему $D6$ на тригер $D7$.

10-й лічильний імпульс скидає перший тригер $D1$, яким скидається тригер $D7$. При цьому тригери $D3$ і $D5$ свої стани не змінюють і, таким чином, усі тригери лічильника знаходяться у нульових станах. Імпульс переповнення лічильника з'являється після кожного десятого вхідного імпульсу. З надходженням 11-го імпульсу лічильник повторює роботу заново.

Декадне з'єднання лічильників

На практиці часто виникає необхідність використовувати модуль лічби більше 16, тобто з'являється необхідність використання лічильників більшої ємності.

Для збільшення модуля лічби стандартні лічильники з'єднують каскадно. Для каскадного з'єднання двох або більшого числа лічильників необхідно обирати такі стандартні мікросхеми, які мають виходи переповнення P .

На виході P з'являється один імпульс переповнення, коли кількість імпульсів, які надходять на вхід, дорівнює модулю лічби M .

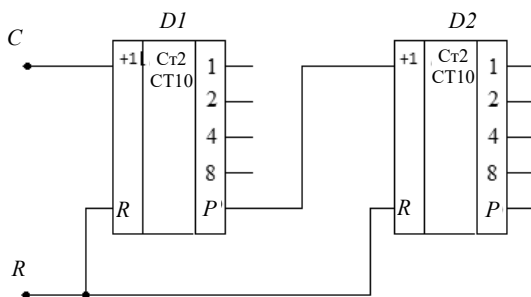


Рисунок 3.3 – Каскадне з'єднання десяткових лічильників

Схема працює наступним чином.

Коли на вхід C лічильника $D1$ надходить 10-й імпульс, лічильник $D1$ переходить у нульовий стан, а на виході переповнення $P1$ з'являється один імпульс. Імпульс переповнення $P1$ подається на підсумовувальний вхід другого лічильника $D2$, і на виході другого лічильника $D2$ записується одиниця. Наступні 9 імпульсів (від 11 до 19), які продовжують надходити на вхід $D1$, змінюють лише покази першого лічильника $D1$. Його покази поступово збільшуються від 1 до 9, двадцятий імпульс знову встановлює перший лічильник у нуль, і другий імпульс переповнення з виходу $P1$ надходить на вхід другого лічильника $D2$, збільшуючи покази останнього на 1. Таким чином, після надходження на $D1$ 20-го імпульсу на виході другого лічильника $D2$ встановлюються показання 0010 (що відповідає десятковій цифрі 2), а на виході першого лічильника $D1$ – усі нулі (0000).

Таким чином, за каскадного з'єднання десяткових лічильників *перший лічильник підраховує одиниці*, після кожного десятого імпульсу, формується на його виході переповнення $P1$ один імпульс. Імпульси переповнення першого лічильника є вхідними імпульсами другого лічильника, тому *другий лічильник підраховує десятки*, тобто кількість десятків імпульсів, що надходять на вхід $C1$.

На виході переповнення другого лічильника $D2$ з'явиться імпульс, коли на вхід C надійде 10 десятків, тобто сто імпульсів. Аналогічне підключення *третього лічильника дозволить підраховувати кількість сотень імпульсів*.

тощо. Отже, каскадне з'єднання десяткових лічильників дозволяє виконувати лічбу імпульсів за декадами.

3.1.2. Завдання для розрахунку

1. Розробити схему двійково-десятькового лічильника на синхронних *D*-тригерах.
2. Накреслити схему декадного з'єднання двійково-десятькового лічильника для підрахунку кількості імпульсів, заданого номером варіанта *m*.
3. Зазначити значення вихідних сигналів (0 чи 1) кожного лічильника при надходженні заданого числа імпульсів на вхід.
4. Назвати кількість імпульсів, що надходять на вхід (+1) першого лічильника і т.д.

3.1.3. Вихідні дані

1. Кількість імпульсів, що надходять на вхід розроблюваного лічильника, визначається за формулою

$$N = 10m + n,$$

де при $m = 0$ прийняти $n = 9$.

3.1.4. Виконання розрахунку

1. Схему двокаскадного десяткового лічильника показано на рис. 3.4.

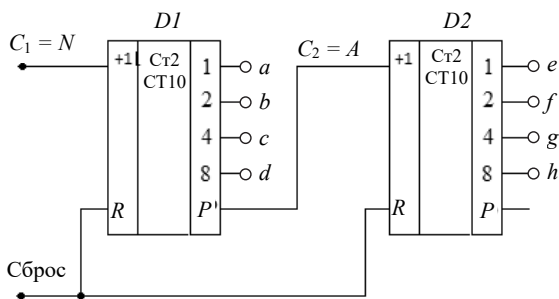


Рисунок 3.4 – Двокаскадне з'єднання десяткових лічильників

2. Розрахувати $N = 10m + n$, для свого варіанта. Це та кількість імпульсів, яка надходить на вхід C_1 лічильника одиниць $D1$

$$N = A + B,$$

де $A = 10m$;

$B = n$;

A – кількість десятків в числі N .

Це та кількість імпульсів, яка надходить на вхід C_2 лічильника десятків $D2$.

3. Розставити потенціали $\log \langle 0 \rangle$ або $\log \langle 1 \rangle$ на всіх виходах лічильників одиниць $D1$ і десятків $D2$, відповідних Вашому варіанту. Виходи $a...h$ є входами дешифратора.

3.2. Розробка схеми та розрахунок комбінаційних пристроїв

Комбінаційні пристрої – це автомати без пам'яті. В комбінаційних пристроях кожний символ на виході (логічний нуль або логічна одиниця) визначається станом входів тільки у цю мить і не залежить від того, які рівні діяли раніше, тобто комбінаційні пристрої не зберігають відомості про їхню минулу роботу.

До комбінаційних пристроїв належать логічні елементи з різними логічними та функціональними властивостями, починаючи від самих простих до самих складних. Здебільшого розповсюдження знайшли наступні:

- шифратори;
- дешифратори;
- перетворювачі кодів;
- арифметико-логічні пристрої;
- цифрові суматори;
- мультиплексори;
- демультиплексори;
- цифрові компаратори;
- програмовані логічні матриці;
- драйвери.

3.2.а. Розробка та розрахунок дешифратора на МС

3.2.1.а. Ключові положення

Дешифраторами, які ще називають *декодерами*, називаються комбінаційні логічні структури, які призначені для перетворення (дешифрації) коду, що надходить до входу, в символну або алфавітно-цифрову інформацію,

тобто в код “1 з n ”, в якому сигнал з’являється лише на одному із виходів. Дешифратори за порівнянням з шифраторами виконують обернене перетворення.

Дешифратори, як і шифратори, бувають повними та неповними.

Розглянемо принцип побудови повного лінійного дешифратора 2 – 4 на логічних схемах І. Такий дешифратор має 4 двохходові схеми логічного множення І, які виявляють одиничні стани всіх входів.

Якщо вхідне число подається двійковим кодом, то на входах різних схем І буде комбінація прямих та інверсних вхідних змінних. Через це входи дешифратора повинні мати інвертори.

Знайдемо логічний вислів кожного виходу.

Вхідне число $x_2 = 0$; $x_1 = 0$ схема І може виявити, якщо до її входів підвести інверсні значення $\bar{x}_2$ та $\bar{x}_1$. Тоді $y_0 = \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1$. Таким чином, рівняння станів виходів дешифратора є логічними добутками станів входів, у які підставляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він нульовий.

Отже, стани дешифратора 2 – 4 на схемах І описуються наступними висловленнями:

$$\begin{aligned} y_0 &= \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1, \\ y_1 &= \bar{x}_2 \wedge x_1 = \bar{x}_2 \cdot x_1, \\ y_2 &= x_2 \wedge \bar{x}_1 = x_2 \cdot \bar{x}_1, \\ y_3 &= x_2 \wedge x_1 = x_2 \cdot x_1. \end{aligned} \quad (3.3)$$

Схему дешифратора розробляємо у виді матриці (рис. 3.5). Входи схем 2І $D3...D6$ з’єднуємо з тими входами дешифратора, які є в рівняннях (3.3).

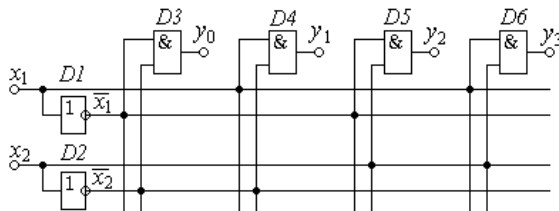


Рисунок 3.5 – Схема лінійного дешифратора 2-4

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 3.2).

Таблиця 3.2 – Стани повного дешифратора 2-4

Число	Входи		Виходи			
	x_2	x_1	y_0	y_1	y_2	y_3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

Дешифратор працює наступним чином.

Інвертори $D1$ та $D2$ здійснюють інверсію $\bar{x}_1$ та $\bar{x}_2$.

Підставляючи стани входів з табл. 3.2 у рівняння (3.3), переконуємось у наступному.

При вхідному числі 0 обидва входи нульові: $x_2 = 0$ та $x_1 = 0$. Підставляючи ці значення в рівняння (3.3), одержуємо, що тільки на виході схеми $D3$ вихід одиничний: $y_0 = 1$. Це пояснюється тим, що при $x_1 = 0$ та $x_2 = 0$ їхні інверсні стани одиничні, що й виявляє схема $D3$. На входах усіх інших схем $D4$, $D5$, $D6$ хоча б один із входів нульовий, через що $y_1 = 0$; $y_2 = 0$; $y_3 = 0$.

При вхідному числі 1 стани входів дешифратора $x_2 = 0$; $x_1 = 1$. Підставляючи ці значення в рівняння (3.3), переконуємось в тому, що тільки на виході схеми $D4$ вихід одиничний: $y_1 = 1$ і т.д.

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при обох одиничних входах на виході відповідної схеми буде логічний нуль.

Якщо дешифратор виконати на схемах 2АБО, то прямі та інверсні їхні входи слід змінити на протилежні. Тоді на виході схеми з двома вхідними нулями буде логічний нуль. На виходах інших трьох схем будуть логічні одиниці.

Щодо неповних дешифраторів, то в них є певне число невикористаних вхідних наборів. Досить розповсюдженим прикладом є неповний дешифратор 4-10, який виконує перетворення двійково-десятьового коду в десятковий.

Розглянемо принцип побудови неповного дешифратора 4...10 на схемах логічного множення І. Такий дешифратор містить 10 чотиривходових схеми 4І, кожна з яких виявляє одиничні стани всіх чотирьох входів. Тому рівняння кожного виходу є логічним добутком станів входів, у який підставляємо *інверсний* стан входу, якщо він нульовий, і – *прямий*, якщо він одиничний.

Тоді логічні рівняння дешифратора такі:

$$\begin{aligned}
y_0 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
y_1 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1; \\
y_2 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot \bar{x}_1; \\
y_3 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot x_1; \\
y_4 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
y_5 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot x_1; \\
y_6 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot \bar{x}_1; \\
y_7 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot x_1; \\
y_8 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
y_9 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.
\end{aligned} \tag{3.4}$$

Схему дешифратора розробляємо у вигляді матриці (рис. 3.6). Входи схем 4І з'єднуємо відповідно до тих входів дешифратора, які містяться в рівняннях (3.4). Виходи дешифратора $y_0 \dots y_9$ показують десяткове число, яке відповідає кодовій комбінації вхідного числа.

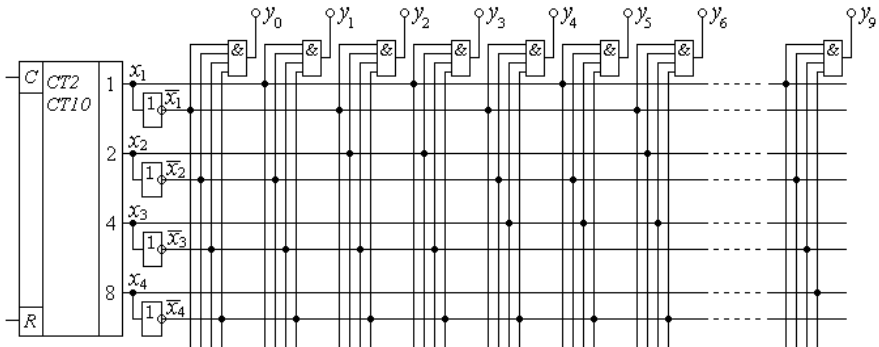


Рисунок 3.6 – Схема неповного дешифратора 4...10

На рис. 3.6 дано умовне позначення двійково-десятькового лічильника $CT2 - CT10$, двійкові виходи 1, 2, 4, 8 якого підключені відповідно до входів дешифратора x_1, x_2, x_3, x_4 . Ці входи прямі або інверсні з'єднані з чотирма входами схем 4І відповідно до логічних функцій рівнянь (3.4).

Відповідно до рівнянь у схемі рис. 3.6 входи елемента 4І- y_0 з'єднані з усіма інверсними входами $\bar{x}_4, \bar{x}_3, \bar{x}_2, \bar{x}_1$ дешифратора.

Входи елемента 4І- y_1 з'єднані з інверсними входами дешифратора $\bar{x}_4, \bar{x}_3, \bar{x}_2$ та прямим x_1 і т.д., щоб добуток станів входів для кожного виходу $y_0, \dots, y_9$ був би одиничним. Для пояснення роботи дешифратора наведемо таблицю станів (табл. 3.3).

Таблиця 3.3 – Стани неповного дешифратора 4...10

Число	Входи				Виходи									
	x_4	x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1

Дешифратор працює в такий спосіб.

Як очевидно з табл. 3.3 при скинутому лічильнику на його виходах нулі: $x_1 = 0$, $x_2 = 0$, $x_3 = 0$, $x_4 = 0$. Підставляючи інверсії цих значень $\bar{x}_4, \bar{x}_3, \bar{x}_2, \bar{x}_1$ у перше рівняння (3.4), переконуємось у тому, що тільки $y_0 = 1$. Це пояснюється тим, що схема 4І виявляє лише одиничні стани входів. Тому при $x_1 = 0$, $x_2 = 0$, $x_3 = 0$, $x_4 = 0$ під одиницями виявляються тільки входи схеми 4І- y_0 , так як до них підключені інверсні значення, отже, $y_0 = 1$. Всі інші виходи нульові, бо хоча б один із їхніх входів інших схем 4І нульовий.

Якщо лічильник містить число 1, то поодинокими будуть всі входи схеми 4І- y_1 , через що тільки цей вихід буде поодиноким: $y_1 = 1$ і т.д. Будь-якому вмісту лічильника не більше 0...9 відповідає лише одна одиниця на виходах $y_0, \dots, y_9$.

Промисловістю випускаються дешифратори як повні (рис. 3.7,а), так і неповні (рис. 3.7,б).

Неповні дешифратори використовуються, наприклад, для перетворення двійково-десятькового коду на десятковий (рис. 3.7,б).

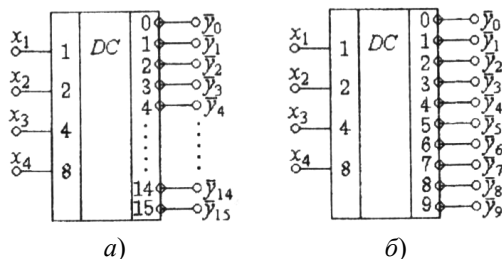


Рисунок 3.7 – Умовні позначення дешифратора:

а) повного 4...16; б) неповного 4...10

3.2.2.а. Завдання для розрахунку

1. Розробіть дешифратор двійково-десятькового лічильника.
2. Дайте схему дворозрядного двійково-десятькового лічильника.
3. Виберіть логічний елемент для дешифратора (АБО).
4. Визначте кількість входів вибраного елемента.
5. Запишіть логічні рівняння кожного з двох виходів дешифратора.
6. Розробіть матричну схему дешифратора.
7. Опишіть роботу розробленого дешифратора.

3.2.3а. Вихідні дані

1. Входами дешифратора є виходи десятикових лічильників, позначених літерами $a \dots h$ на рис. 3.4. Записане число імпульсів у лічильнику відповідає формулі $(10m + n)$.

3.2.4.а. Виконання розрахунку

1) Входи розробленого дешифратора мають бути підключені до відповідних виходів двійково-десятькового лічильника.

2) На рис. 3.8 дана схема дворозрядного двійково-десятькового лічильника. На ній зображено перший десятиковий розряд $\times 1$, який підраховує одиниці від 0 до 9 включно та другий десятиковий розряд $\times 10$, який підраховує числа від 10 до 90.

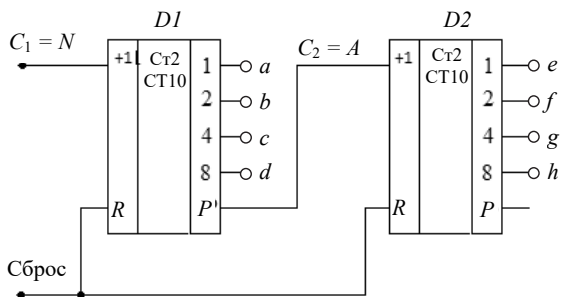


Рисунок 3.8 – Дворозрядний двійково-десятьковий лічильник

На схемі рис. 3.8 позначені:

C – вхід лічильника; R – вхід скидання; P – вихід переповнення;

$Q1$ – вихід першого двійкового розряду з ваговим коефіцієнтом $2^0 = 1$;

$Q2$ – вихід другого двійкового розряду з ваговим коефіцієнтом

$2^1 = 2$ і т.д. (Опишіть всі позначення на схемі).

3) Щоб виходах дешифратора виявлене число визначалося б логічними одиницями, слід вибрати логічний елемент І. Якщо треба виявлене число визначати логічними нулями, слід вибрати логічний елемент АБО.

4) Оскільки кожна декада двійково-десятькового лічильника має чотири двійкові виходи (рис. 3.8), то дешифратор має бути виконаний на двох чотиривходових логічних елементах (рис. 3.9).

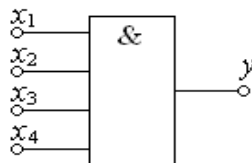


Рисунок 3.9 – Схема 4І

5) Оскільки схема 4І здійснює логічне множення, вона виявляє лише всі одиничні входи. Тому для виявлення потрібного числа необхідно на входи схеми 4І подавати комбінацію прямих та інверсних виходів лічильника так, щоб для виявленого числа всі входи схеми 4І були б одиничними. Так, наприклад, у нульовому стані лічильника всі його виходи нульові. Тому для виявлення нульового стану лічильника слід інвертувати усі його виходи.

Логічне рівняння для одного десяткового розряду вибирається із системи рівнянь (3.5):

$$\begin{aligned}
 y_0 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_1 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_2 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_3 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot x_1; \\
 y_4 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_5 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_6 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_7 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot x_1; \\
 y_8 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_9 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.
 \end{aligned} \tag{3.5}$$

У цих рівняннях: x_i – прямі виходи лічильника; $\bar{x}_i$ – інверсні виходи лічильника.

Узагальнена структурна схема дешифратора наведено на рис. 3.10.

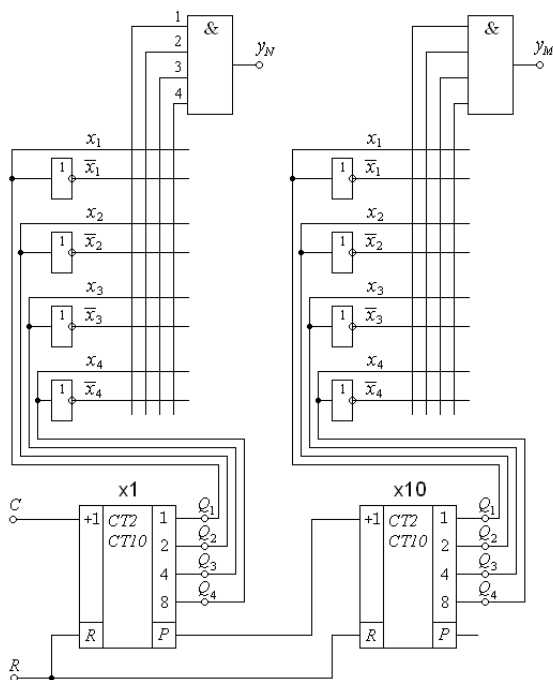


Рисунок 3.10 – Узагальнена структурна схема дешифратора
двійково-десятькового лічильника

На схемі 3.10: M – передостання цифра номера залікової книжки, а N – остання.

Оскільки лічильники на схемі рис. 3.10 мають лише прямі виходи, то до виходу Q_i кожного розряду лічильника підключений інвертор. За завданням схема дешифратора мусить бути виконана як матриці, тобто вона повинна виконуватися ортогональними лініями: горизонтальними та вертикальними будь-якої довжини. Виходи кожного лічильника x_i і $\bar{x}_i$ виконуються у вигляді шини, тому що до них підключаються входи та інші схеми y_i .

Шина – це сукупність електричних провідників і сигналів, що передаються по них, згрупованих відповідно до функціонального призначення.

Кожен вхід схеми 4І (при іншій реалізації дешифратора 4АБО) повинен з'єднуватися тільки з однією шиною відповідно до логічного висловлювання y_i . Ця важлива властивість матричної схеми дозволяє легко контролювати правильність її виконання.

Узагальнена структурна схема рис. 3.10 справедлива для будь-якого варіанта завдання. Для розробки принципової схеми необхідно і достатньо

здійснити з'єднання кожного входу (1; 2; 3; 4) схеми 4І з відповідним виходом лічильника прямим x_i або інверсним.

Нехай, наприклад, треба визначити число 9.

Логічним рівнянням виявлення числа 9 буде вираз:

$$y_9 = x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \times \bar{x}_3 \times \bar{x}_2 \times x_1.$$

Приклад виконання сполук виявлення числа 9 показаний на рис. 3.11.

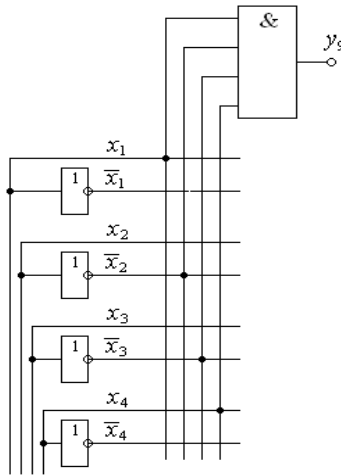


Рисунок 3.11 – Приклад виконання сполук виявлення числа 9

З висловлювання y_9 видно, що до двох входів схеми 4І слід підключити два прямі виходи лічильника x_1 і x_4 , а до двох інших входів – два інверсні $\bar{x}_2$ і $\bar{x}_3$ (рис. 3.11).

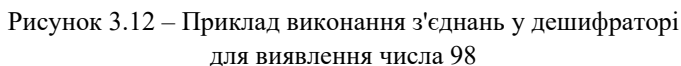
6) Для виявлення повного заданого числа необхідно скласти логічний вираз кожного з двох виходів дешифратора.

Нехай, наприклад, останні дві цифри залікової книжки складають $M = 9$ та $N = 8$. Тоді задане число дорівнює:

$$(10 \cdot M + N) = 10 \cdot 9 + 8 = 98.$$

Отже, перший (молодший) десятковий розряд – $\times 1$ повинен зберігати двійкове число 1000, а другий (старший) десятковий розряд – $\times 10$ повинен зберігати двійкове число 1001.

Схема дешифратора числа 98 показано на рис. 3.12.



У нульовому стані декади $\times 1$ усі її виходи x_i нульові. Будучи інвертованими, вони забезпечать на всіх входах схеми 4І для y_0 логічні одиниці:

тому $y_0 = 1$. На виході дешифратора отримаємо число 0.

У будь-якому іншому стані декади $\times 1$ хоча б один із його виходів буде поодиноким. Інші виходи нульові. Після інверсії нульових виходів за будь-якого змісту декади $\times 1$ завжди знайдеться така комбінація прямих та інверсних виходів, яка забезпечить усі логічні одиниці на входах схеми 4І.

При вмісті декади $\times 1$, яке дорівнює заданому двійковому числу 1000 (що відповідає десятковому числу 8), прямий вихід лічильника $x_4 = 1$, а три інші прямі виходи нульові: $x_1 = 0$; $x_2 = 0$; $x_3 = 0$. На виходах інверторів вони перетворюються на одиничні: $\bar{x}_1 = 1$; $\bar{x}_2 = 1$; $\bar{x}_3 = 1$.

Тому лише за числом 8 у лічильнику всі входи схеми 4І будуть одиничними, тому вихід $y_8 = 1$.

Так дешифратор першої декади $\times 1$ виявляє число 8, що свідчить логічна одиниця на виході y_8 .

Аналогічно необхідно описати роботу дешифратора декади $\times 10$.

3.2.б. Розробка та розрахунок схеми дешифратора на ПЛМ

3.2.1.б. Ключові положення

Матрична схема або *логічна матриця* являє собою сітку ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці ці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем. Отже, з матричної структури шляхом її програмування одержують заданий комбінаційний пристрій. Тому такі структури називаються “*комбінаційні програмовані логічні матриці*” (ПЛМ).

ПЛМ, як правило, мають два схемотехнічних рівні: на першому з них утворюються потрібні кон’юнкції, а на другому – диз’юнкції. Іноді одна з матриць може бути фіксованою. Обидві матриці з’єднуються каскадно.

Існують також *послідовнісні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам’яті. Такі ПЛМ характеризуються розрядністю регістра пам’яті.

На рис. 3.13 наведена дворівнева ПЛМ, яка складається з двох матриць: M1 та M2.

Матриця M1 має S входів і q виходів. Вона дозволяє реалізувати q елементарних кон’юнкцій $P_1, \dots, P_q$ змінних $x_1, \dots, x_S$, що надходять на її входи.

Матриця M2 має q входів і t виходів. Вона дозволяє реалізувати t елементарних диз’юнкцій $y_1, \dots, y_t$ змінних $P_1, \dots, P_q$, які надходять на її входи з виходів матриці M1.

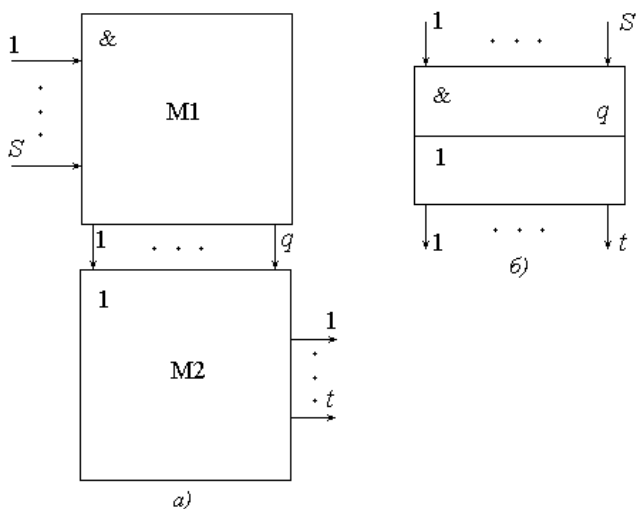


Рисунок 3.13 – Дворівнева ПЛМ:
а) схема; б) умовне позначення

Виходи матриці M1 з'єднані з входами матриці M2 й утворюють проміжні шини $1 - q$ ПЛМ. ПЛМ, що має S входів, t та q проміжних шин називається ПЛМ (S, t, q) .

Різновидом ПЛМ (S, t, q) є їхня удосконалена модель: ПЛМ (Z, q) . В ПЛМ (Z, q) фіксується лише два параметри: підсумоване число входів і виходів $Z = S + t$ та число проміжних шин q . Параметри S і t можуть набувати будь-яких конкретних значень при програмуванні.

Розглянемо програмовану логічну матрицю, що наведена на рис. 3.14 і містить матриці M1 та M2.

Матриця M1 має три входи x_1, x_2, x_3 , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини x_1, x_2, x_3 в M1 є вхідними, а вертикальні $P_1 - P_4$ – вихідними.

Виходи P носять назву *ліній терм*.

Кожна вхідна шина x_1, x_2, x_3 зв'язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини $\bar{x}_1, \bar{x}_2, \bar{x}_3$).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку кон'юнкцію її вхідних змінних, тобто функцію I.

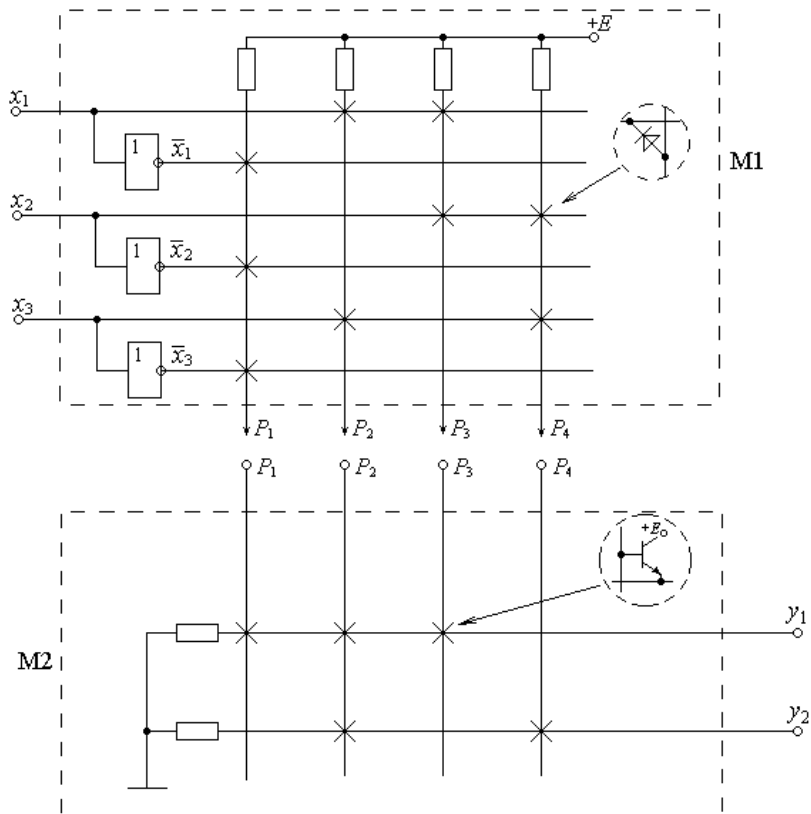


Рисунок 3.14 – Програмована лічильна матриця:
 M1 – матриця кон'юнкції; M2 – матриця диз'юнкції

Матриця M1 працює як дешифратор, виходами якого є кон'юнктивні терми $P_1 - P_4$. Дійсно, при появі одиниці (високого рівня напруги) на одному із входів x_i , на виході відповідного інвертора з'являється $\bar{x}_i$ (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях x_i та $\bar{x}_i$ присутні, то високий потенціал лінії x_i закриє "свій" діод і на відповідній вертикальній лінії терм буде високий рівень напруги $\approx +E$, якщо на всіх інших горизонтальних лініях буде також рівень логічної одиниці.

Низький рівень лінії $\bar{x}_i$ відкриє "свій" діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині P_N можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки при високих рівнях логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина P_N .

Таким чином, на вертикальній лінії P_N реалізується кон'юнкція змінних. Матриця кон'юнкцій М1 має перемички в місцях, позначених хрестиками, і реалізує функції кон'юнкції за формулами:

$$\begin{aligned} P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3, \\ P_2 &= x_1 x_3, \\ P_3 &= x_1 x_2, \\ P_4 &= x_2 x_3. \end{aligned} \tag{3.6}$$

Матриця М2 має чотири вертикальні $P_1 - P_4$ шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз'юнкцію (функцію АБО) вхідних змінних. У матриці М2 вхідними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз'юнкцій, що описується математичним виразом

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3; \\ y_2 &= P_2 \vee P_4. \end{aligned} \tag{3.7}$$

Дійсно, на матриці диз'юнкцій М2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці М2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході y_j був високий рівень логічної одиниці. Тільки відсутність струмів на всіх горизонтальних лініях забезпечує на ній логічний нуль, що відповідає операції диз'юнкції. Отже, в наведеному прикладі (рис. 3.14) реалізується функція, яка описується формулами (3.7).

Якщо з'єднати обидві матриці М1 та М2, як показано на рис. 3.15, то одержана схема буде реалізовувати систему булевих функцій

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_3 \vee x_1 x_2, \\ y_2 &= P_2 \vee P_4 = x_1 x_3 \vee x_2 x_3. \end{aligned} \tag{3.8}$$

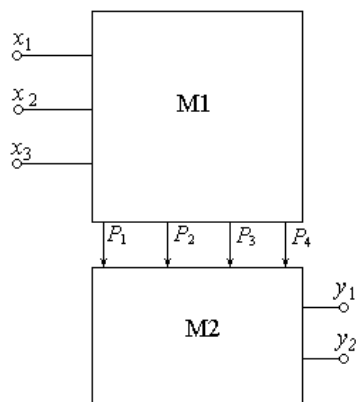


Рисунок 3.15 – Дворівнева матриця

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Реалізації системи функцій матри-цями M1 та M2 можна зобразити у вигляді таблиці програмування (табл. 5.14).

Таблиця 3.4 – Таблиця програмування ПЛМ

Входи			Виходи	
x_1	x_2	x_3	y_1	y_2
0	0	0	1	.
1	—	1	1	1
1	1	—	1	.
—	1	1	.	1

У табл. 3.4, стовпці якої відзначені змінними $x_1, \dots, x_L$ та функціями $y_1, \dots, y_N$, кожній проміжній шині $P_1, \dots, P_B$ ставиться у відповідність рядок таблиці (B – кількість вертикалів).

На перетині j -го рядка і стовпця x_l ($l = \overline{1, L}$) записуються:

1, якщо змінна x_e входить в j -ту елементарну кон'юнкцію без інверсії;
0, якщо змінна x_e входить в j -ту елементарну кон'юнкцію з інверсією;
риска (—), якщо змінна x_e не входить в j -ту елементарну кон'юнкцію.

На перетині j -го рядка і стовпця y_n ($n = \overline{1, N}$) записуються:

1, якщо j -та елементарна кон'юнкція входить в диз'юнкцію y_n ; крапка (.), якщо j -та елементарна кон'юнкція не входить в диз'юнкцію y_n .

Відповідним чином будь-яка система булевих функцій $y_1, \dots, y_N$ вхідних змінних $x_1, \dots, x_L$ може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції $P_1, \dots, P_B$, а на другому – диз'юнкції $y_1, \dots, y_N$ відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

Складність матричної реалізації оцінюється сумарною ємністю (площею) матриць. У загальному випадку в схемі, що має L входів, N виходів та B вертикалей площа становить

$$S(M) = S(M_1) + S(M_2) = 2LB + BN. \quad (3.9)$$

На рис. 3.16 показане умовне позначення мікросхеми ППЛМ, де вхід FE використовується тільки при програмуванні і називається вхід дозволу перепалювання, а вхід $\overline{CE}$ – дозвіл вибірки.

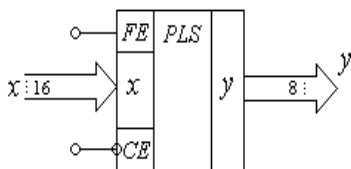


Рисунок 3.16 – Умовне позначення ППЛМ

Якщо на вході цієї ВІС ПЛІМ повне число можливих комбінацій складає $2^{16} = 65536$, то на виході буде лише 48 різних вихідних комбінацій. Тому з усіх вхідних комбінацій невикористаних буде $65536 - 48 = 65488$. Недоліком ПЛІМ є обмежені функціональні можливості.

На базі ПЛІМ можна будувати комбінаційні цифрові пристрої на досить простих принципах.

Основним етапом розробки є складання таблиці програмування ПЛІМ, яка є інструкцією процедури перепалювань непотрібних перемичок у матрицях.

З метою розширення функціональних можливостей використання ПЛІМ промисловістю випускаються її спрощені варіанти, наприклад, програмовані матриці вентилів, програмовані матриці логіки, програмовані мультиплексори і т.д.

Будь-яка система Q з N булевих функцій L змінних, що описує поведінку комбінаційної схеми, може бути тривіально реалізована на одній ПЛІМ (s, t, q) , якщо виконуються вимоги $L < s$, $N < t$, $B < q$.

3.2.2.б. Завдання для розрахунку

1. Розробити на базі ПЛМ комбінаційний пристрій дешифратор 4...10.
2. Записати систему бульових функцій для реалізації дешифратора 4...10.
3. Визначити мінімальне число входів, терм та виходів для реалізації заданої схеми.

3.2.3.б. Вихідні дані

1. Входами дешифратора є виходи десятикових лічильників, позначених літерами $a \dots h$ на рис. 3.4. Записане число імпульсів у лічильнику відповідає формулі $(10t + n)$.

3.2.4.б. Виконання розрахунку

Приклад 1. Дешифратор 2...4 на ПЛМ.

Складемо систему рівнянь, що описують роботу дешифратора 2...4:

$$\begin{aligned}y_0 &= P_0 = \bar{x}_1 \cdot \bar{x}_0; \\y_1 &= P_1 = \bar{x}_1 \cdot x_0; \\y_2 &= P_2 = x_1 \cdot \bar{x}_0; \\y_3 &= P_3 = x_1 \cdot x_0.\end{aligned}\tag{3.9}$$

З системи рівнянь (3.9) виходить, що дворівнева ПЛМ, на якій необхідно побудувати *дешифратор 2...4*, повинна мати: матрицю кон'юнкцій М1 – *чотири рядки* (за числом входних сигналів та їх інверсій); *чотири стовпці* (за числом терм); матрицю диз'юнкцій М2 – *чотири рядки* (за числом вихідних сигналів), *чотири стовпці* (за числом терм).

Схема дешифратора 2...4 показана на рис. 3.17.

Приклад 2. Мультиплексор 4...1 на ПЛМ.

Складемо формулу, яка описує роботу мультиплексора 4...1:

$$y = P_1 + P_2 + P_3 + P_4 = E \cdot x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 + E \cdot x_1 \cdot \bar{a}_1 \cdot a_0 + E \cdot x_2 \cdot a_1 \cdot \bar{a}_0 + E \cdot x_3 \cdot a_1 \cdot a_0, \tag{3.10}$$

З формули (3.10) виходить, що дворівнева ПЛМ, на якій необхідно побудувати *мультиплексор 4...1*, повинна мати: матрицю кон'юнкцій М1 – *дев'ять рядків* (*чотири* за числом входних даних, *чотири* за числом даних адреси та їх інверсій, *одну* для керуючого входу), *чотири стовпці* (за числом терм); матрицю диз'юнкцій М2 – *один рядок* (за числом вихідного сигналу), *чотири стовпці* (за числом терм).

Схема мультиплексора 4...1 показана на рис. 3.18.

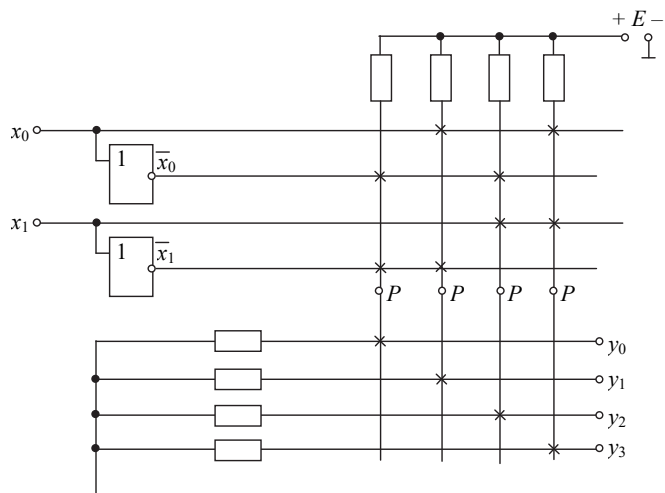


Рисунок 3.17 – Схема дешифратора 2...4 на ПЛМ
Отже, схема ПЛМ на рис. 5.36 виконує роботу дешифратора 2...4.

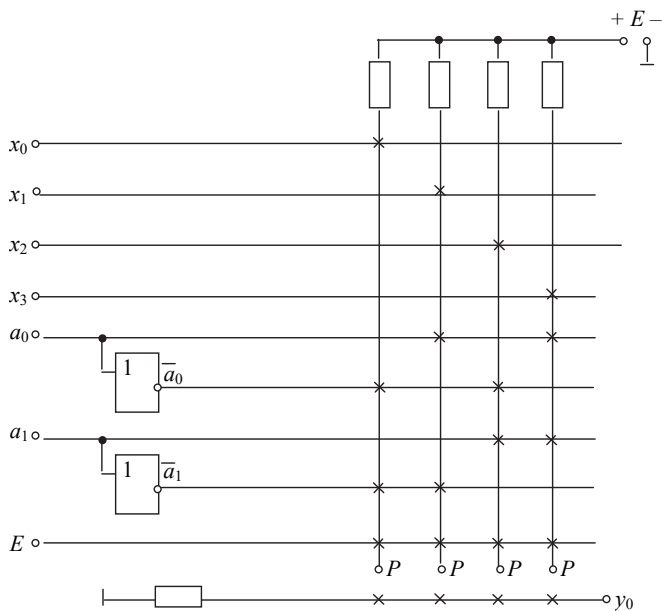


Рисунок 3.18 – Схема мультиплексора 4...1 на ПЛМ

Отже, схема ПЛМ на рис. 3.18 виконує роботу мультиплексора 4...1.

Необхідно скласти ДШ 4...10, що відповідає системі рівнянь (3.11).

$$\begin{aligned}
 y_0 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_1 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_2 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_3 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot x_1; \\
 y_4 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_5 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_6 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_7 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot x_1; \\
 y_8 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_9 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.
 \end{aligned}
 \tag{3.11}$$

На обраній ПЛМ для виконання ДШ 4...10, підключених до 2-х каскадів двійково-десяткових лічильників має бути:

- для першого лічильника: 4 входи та 10 термів;
- для другого лічильника: 4 входи та 10 термів.

Отже, дешифратор на 2 декади двійково-десяткових лічильників повинен розроблятися на ПЛМ, яка має:

- не менше 8 входів x ;
- не менше 20 термів P ;
- не менше 20 виходів y .

З'єднання виконати відповідно до системи рівнянь, що описує роботу дешифратора, а саме правильно з'єднавши кожен терм з прямою X_n або інверсною шиною $\overline{X_n}$.

4. ПРАВИЛА ОФОРМЛЕННЯ КУРСОВОЇ РОБОТИ

4.1. Правила оформлення текстової частини

4.1.1. Курсова робота має бути оформлена згідно з ДСТУ 3008-95 «Документація. Звіти у сфері науки і техніки. Структура і правила оформлення».

4.1.2. Текстова частина виконується на одному боці аркушів білого паперу формату А4 (297х210 мм). Текст виконується рукописним (чорнилом або пастою темного кольору) чи машинописним (через два інтервали) способами або на ЕОМ у редакторі Word з використанням шрифту Times New Roman Суг розміром 14, інтервал одинарний. З боків аркуша залишають береги: лівий – 25 мм, верхній та нижній – 20 мм, правий – 10 мм.

4.1.3. Розміщення матеріалу в роботі:

- титульний аркуш;
- завдання на роботу;
- основна частина, викладена за розділами з нової сторінки.

4.1.4. Титульний аркуш курсової роботи оформляється за таким прикладом:

Кафедра: автоматики та комп'ютерно-інтегрованих технологій

КУРСОВА РОБОТА

з дисципліни
«ПРОМИСЛОВА ЕЛЕКТРОНІКА»

Керівник

(прізвище та ініціали)

Виконавець

студент групи _____

(прізвище та ініціали)

№ _____
(номер залікової книжки)

Курсова робота перевірена та допущена до захисту

Керівник _____
(підпис)

«_____» _____ 2022 р.

Курсова робота виконана та при захисті на кафедрі _____ оцінена _____
(дата)

Керівник _____
(підпис)

Одеса 2022

4.1.5 Сторінки текстової частини нумерують арабськими цифрами, додержуючись наскрізної нумерації впродовж усього тексту. Номер сторінки проставляється у правому верхньому куті аркуша. Титульний аркуш включається до загальної нумерації сторінок, але номер на ньому не проставляється.

4.1.6 Титульний аркуш надає відомості про академію, кафедру, роботу, прізвище виконавця та керівника.

4.1.7 Розділи, назви яких розміщують посередині сторінки, можуть мати підрозділи, які нумеруються за розділами (4.1, 4.2 і т.д.). Написання назви підрозділів необхідно починати з абзацного відступу і писати малими літерами крім першої великої, не підкреслюючи, без крапки після номера та в кінці.

4.1.8 Відстань між заголовком (розділу чи підрозділу) і подальшим чи попереднім текстом має бути не менш, ніж інтервал двох рядків тексту. Не допускається розміщувати назву розділу чи підрозділу в нижній частині сторінки, якщо після неї розміщено не більше одного рядка тексту.

4.1.9 Абзацний відступ повинен бути однаковим впродовж усього тексту і дорівнювати п'яти знакам.

4.1.10 Формули та рівняння розміщують безпосередньо після тексту, в якому вони згадуються, посередині рядка з відступом зверху та знизу на один рядок. Номер формули у дужках розміщують **наприкінці** рядка.

4.1.11 Пояснення значень символів та числових коефіцієнтів, що входять до формули, слід наводити безпосередньо під формулою з абзацним відступом у тій послідовності, в якій вони наведені у формулі. У формулах та рівняннях латинські букви друкуються курсивом, крім математичних функцій: sin, cos, lg, exp, tg, min, max тощо.

4.1.12 Під час виконання розрахунків треба використовувати одиниці виміру SI: *вольт, ампер, ом, фарада, генрі, метр, секунда* і т. ін.

Назви одиниць виміру у формулах не проставляються.

4.1.13 Порядок обчислювань: основна формула, підстановка числових даних без будь-якого їхнього перетворювання в послідовності позначень у формулі, остаточний результат з позначенням розмірності.

Розраховані опори резисторів мають бути округлені до найближчих стандартних номіналів (див. Додаток А).

Наприклад,

$$R_2 = \frac{U_{m\text{вих}} - U_{m\text{вх}}}{I_{m2}} = \frac{9,4 - 1}{2 \cdot 10^{-3}} = 4200 \text{ Ом} = 4,2 \text{ кОм}.$$

“Найближчий стандартний номінал $R_2 = 4,3 \text{ кОм}$ ”.

4.1.14 Остаточний результат розрахунків резисторів повинен мати такі одиниці виміру, щоб опір резистора визначався не більш, ніж трьома цифровими знаками.

Наприклад,

$$R_3 = 820 \text{ Ом};$$

$$R_4 = 8200 \text{ Ом} = 8,2 \text{ кОм}.$$

4.1.15 Розраховані напруги та струми мають бути округлені до порядків завданих величин.

4.1.16 Під час математичних обчислювань у формули слід підставляти величини в системі одиниць СІ: *вольт, ампер, ом*. При цьому множник числа, якщо він є, має бути кратним 10^3 (див. табл. 4.1).

Таблиця 4.1 – Правила підстановки величин у системі СІ

Величина	Запис у системі СІ	
	Правильно	<i>Неправильно</i>
10 мВ	$10 \cdot 10^{-3}$	10^{-2}
100 мкА	$100 \cdot 10^{-6}$	10^{-4}
82 мА	$82 \cdot 10^{-3}$	$8,2 \cdot 10^{-2}$
120 кОм	$120 \cdot 10^3$	$12 \cdot 10^4$

4.2 Правила оформлення графічної частини

4.2.1 Графічну частину роботи складають ілюстрації: схеми, діаграми роботи, епюри тощо.

4.2.2 За умовними позначеннями ілюстрації повинні відповідати стандартам ЕСКД “Единая система конструкторской документации”, ЕСПД “Единая система программной документации”. (Див. Додаток В).

4.2.3 Під час виготовлення графічної частини використовують олівець, туш, пасту або чорнила темного кольору.

Виконання графічної частини на ЕОМ не дозволяється.

4.2.4 Ілюстрації виконують засобами за п. 4.2.3 на міліметровому папері, кальці, сторінках зошита в клітинку або на тих самих аркушах паперу, що й текст.

4.2.5 Для ілюстрацій залишають вільне місце в тексті так, щоб ілюстрація не виходила за межі ***однієї*** сторінки формату А4 (297 x 210 мм).

4.2.6 Ілюстрацію розміщують безпосередньо після тексту, де вона згадується вперше, або на наступній сторінці.

4.2.7 Ілюстрації слід розміщувати так, щоб їх можна було розглядати без повороту аркуша з текстом. Якщо таке розміщення неможливе, то ілюстрації розміщують так, щоб для їхнього розглядання треба було повернути аркуш ***за годинниковою стрілкою*** на 90°.

Правильно

Неправильно

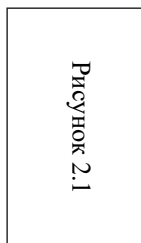
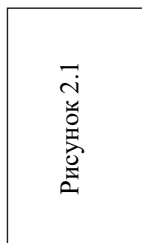


Рисунок 4.1

4.2.8 Усі ілюстрації нумерують за розділами та надають назву (наприклад: “Рисунок 2.1 – Схема підсилювача”). При цьому крапка в кінці назви не ставиться, скорочення “Рис.” не дозволяється. Номер та назва розміщуються внизу рисунка.

4.2.9 Епюри сигналів одного й того ж самого пристрою мають розміщуватись одна під одною, а їхні початки та кінці мають відповідно збігатись.

4.2.10 Дозволені масштаби: 1; 2; 4; 5; 10; 20; 40; 50; 100 і т.д.

4.2.11 При будь-якому масштабі більша амплітуда має бути більшою за кресленням.

4.2.12 Графіки повинні мати масштабну сітку, а їхні осі координат – скорочену назву з позначенням розмірності.

4.2.13 Назва вісі абсцис з розмірністю, відокремленою комою, проставляється наприкінці вісі *під* нею, а назва вісі ординат за інших різних умов проставляється зверху вісі *ліворуч*.

4.2.14 Таблиці обов’язково нумерують та дають назву (наприклад, „Таблиця 3.1 – Стани лічильника”). Номер та назва розміщуються зверху над таблицею.

4.2.15 Робота має бути зброшурованою степлером, нитками, дротом, або швидкозшивачем з прозорим верхнім листом обгортки.

Скріпки та файли не дозволяються.

4.2.16 Брошування має бути таким, щоб *не ховало* зміст роботи.

Додаток А

Номінальні значення опорів резисторів з ряду Е 24 з допуском $\pm 5\%$

1,0	1,5	2,2	3,3	4,7	6,8
1,1	1,6	2,4	3,6	5,1	7,5
1,2	1,8	2,7	3,9	5,6	8,2
1,3	2,0	3,0	4,3	6,2	9,1

Додаток Б

0,125 Вт	0,25	0,5	1,0	2,0	3,0	4,0
						

Рисунок Д.1 – Умовне позначення потужностей резисторів

Додаток В

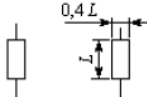
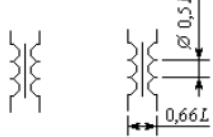
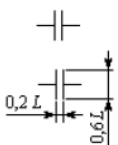
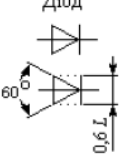
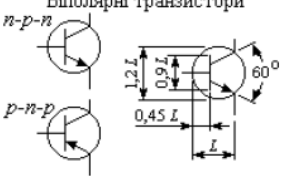
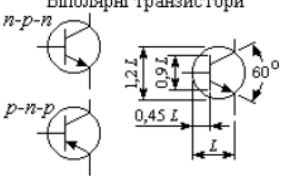
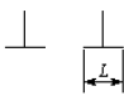
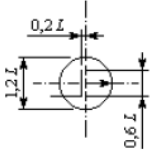
Резистор 	Трансформатор 	Конденсатор 
Діод 	Біполярні транзистори <i>n-p-n</i>  <i>p-n-p</i> 	Корпус ("земля") 
Польові транзистори: з <i>n</i>-каналом  з <i>p-n</i>-переходом  з індукованим каналом  з вбудованим каналом  		

Рисунок Д.2 – Умовне позначення приладів

РЕКОМЕНДОВАНА ЛІТЕРАТУРА

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – 359 с.
2. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 1. – С. 43-76, 136-169.
3. Воробйова Е.М. Методическое пособие для практических занятий и выполнения комплексного задания по дисциплине «Основы схемотехніки» / Е.М. Воробьева, В.П. Панфилов, Н.А. Тринтина, Л.А. Алешина. – Одесса: ОНАС им. А.С. Попова, 2015. – 100 с.

ДЛЯ НОТАТОК

Навчально-методичне видання

Олена Михайлівна Воробйова,
Юрій Вікторович Флейта

**Методичний посібник
для виконання курсової роботи
з дисципліни
«ПРОМИСЛОВА ЕЛЕКТРОНІКА»**

Підписано до друку 09.01.2023.
Формат 60х84/16. Папір офсетний. Гарнітура Times New Roman.
Друк офсетний. Обсяг 2,75 друк. арк. Наклад 50 прим.
Зам. № 812539967/5
Надруковано у ФОП Бондаренко М.О.
м. Одеса, вул. В. Арнаутська, 60.
т. +38 048 700 11 55
info@aprel.od.ua

Свідоцтво про внесення суб'єкта видавничої справи
до державного реєстру видавців ДК № 4684 від 13.02.2014 р.