

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Державний університет інтелектуальних технологій і зв'язку

Факультет електроніки, автоматизації та метрології
Кафедра автоматики та комп'ютерно-інтегрованих технологій

МЕТОДИЧНИЙ ПОСІБНИК
ДЛЯ ПРАКТИЧНИХ ЗАНЯТЬ
З ДИСЦИПЛІНИ
«ПРОМИСЛОВА ЕЛЕКТРОНІКА»

Частина 2

Одеса – 2022

Воробйова О.М., Флейта Ю.В. Методичний посібник для практичних занять з дисципліни «Промислова електроніка». Ч. 2. Одеса: ДУІТЗ, 2022. 132 с.

Методичний посібник містить матеріали для практичних занять з дисципліни «Промислова електроніка», ч. 2, теоретичний матеріал за основними розділами, комплексне завдання та методику його виконання, а також матеріали для факультативної роботи студентів.

Методичний посібник дозволяє студентам самостійно готуватися до практичних занять, розбиратися у темі дисципліни, що вивчається, перевірити свої знання та застосувати їх у подальшому на практиці.

Розглянуто
на засіданні кафедри
і рекомендовано до друку.
Протокол № 1 від 29.08.22 р.

Затверджено
навчально-методичною радою ДУІТЗ

ЗМІСТ

ВСТУП	5
В.1. Загальні відомості	5
В.2. Правила креслення принципів схем у цифрових пристроях	11
В.3. Правила креслення часових діаграм або епюр	12
Тема 1. Логічні функції бульового базису.....	13
1.1. Ключові положення.....	13
1.2. Завдання для розрахунку.....	20
1.3. Вихідні дані.....	20
1.4. Контрольні запитання.....	20
1.5. Рекомендована література.....	20
Тема 2. Класифікація та основні параметри логічних елементів	21
2.1. Ключові положення	21
2.2. Завдання для розрахунку.....	35
2.3. Вихідні дані.....	35
2.4. Контрольні запитання.....	36
2.5. Рекомендована література.....	36
Тема 3. Тригери	37
3.1. Ключові положення.....	37
3.2. Завдання для розрахунку.....	56
3.3. Вихідні дані.....	56
3.4. Контрольні запитання.....	57
3.5. Рекомендована література.....	57
Тема 4. Послідовні пристрої. Лічильники імпульсів. Двійкові лічильники	58
4.1. Ключові положення	58
4.2. Завдання для розрахунку.....	68
4.3. Вихідні дані.....	68
4.4. Контрольні запитання.....	68
4.5. Рекомендована література.....	68
Тема 5. Послідовні пристрої. Лічильники імпульсів. Двійково-десяткові лічильники	69
5.1. Ключові положення.....	69
5.2. Завдання для розрахунку.....	72
5.3. Вихідні дані.....	72
5.4. Контрольні запитання.....	72
5.5. Рекомендована література.....	72
Тема 6. Послідовні пристрої. Регістри.....	73
6.1. Ключові положення.....	73
6.2. Завдання для розрахунку.....	82
6.3. Вихідні дані.....	82
6.4. Контрольні запитання.....	82
6.5. Рекомендована література.....	82

Тема 7. Комбінаційні пристрої. Шифратор	83
7.1. Ключові положення	83
7.2. Завдання для розрахунку	86
7.3. Вихідні дані	86
7.4. Контрольні запитання	87
7.5. Рекомендована література	87
Тема 8. Комбінаційні пристрої. Дешифратор	88
8.1. Ключові положення	88
8.2. Завдання для розрахунку	92
8.3. Вихідні дані	92
8.4. Приклад виконання розрахунку	92
8.5. Контрольні запитання	96
8.6. Рекомендована література	96
Тема 9. Комбінаційні пристрої. Мультиплексор та демультиплексор	97
9.1. Ключові положення	97
9.2. Завдання для розрахунку	100
9.3. Вихідні дані	100
9.4. Контрольні запитання	100
9.5. Рекомендована література	100
Тема 10. Комбінаційні пристрої. Програмовані логічні матриці	101
10.1. Ключові положення	101
10.2. Завдання для розрахунку	107
10.3. Вихідні дані	107
10.4. Вказівки до виконання розрахунку	107
10.5. Контрольні запитання	107
10.6. Рекомендована література	107
Тема 11. Цифро-аналогові та аналого-цифрові перетворювачі	108
11.1. Ключові положення	108
11.2. Завдання для розрахунку	130
11.3. Вихідні дані	130
11.4. Контрольні запитання	131
11.5. Рекомендована література	131

ВСТУП

Перелік практичних занять (Ч. 2)

№ з/п	Тема	Кількість годин
1	Логічні функції бульового базису	2
2	Класифікація та основні параметри логічних елементів	2
3	Тригери	2
4	Послідовні пристрої. Лічильники імпульсів. Двійкові лічильники	2
5	Послідовні пристрої. Лічильники імпульсів. Двійково-десяткові лічильники	2
6	Послідовні пристрої. Регістри	2
7	Комбінаційні пристрої. Шифратор	2
8	Комбінаційні пристрої. Дешифратор	2
9	Комбінаційні пристрої. Мультиплексор та демультимплексор	2
10	Комбінаційні пристрої. Програмовані логічні матриці	2
11	Цифро-аналогові та аналого-цифрові перетворювачі	2

В.1. Загальні відомості

Цифровими інтегральними мікросхемами (ЦІС) називають мікросхеми, в яких вхідні і вихідні сигнали описуються абстрактними символами «1» і «0». Значення «0» і «1» є символічними (умовними) і не відповідають числовим значенням напруги, які виражені у вольтах. Наприклад, при використанні вихідної напруги ключового каскаду рівнем логічного «нуля» може бути напруга на колекторі насиченого транзистора $U_{\text{кє нас}}$ рівнем логічної «одиниці» – напруга на колекторі закритого транзистора $E_{\text{ж}}$. Сучасні логічні елементи і цифрові пристрої виконуються на основі інтегральних мікросхем.

Основні поняття

Логічна змінна x – змінна, що набуває два значення: істинне – 1 і хибне – 0.

Логічна функція y – логічна (залежна) змінна, значення якої є функцією однієї або декількох (незалежних) змінних, набуває тільки два значення: 1 і 0.

Таблиця істинності – таблиця, в якій задані значення логічної функції для всіх можливих значень незалежних змінних.

Логічний елемент – електронна схема, що виконує найпростіші логічні операції з логічними величинами.

Логічний базис – набір типів логічних елементів, з'єднання яких дозволяє реалізувати будь-яку логічну функцію.

Логічна схема – структурна модель цифрового пристрою, що реалізує задану логічну функцію.

Розрізняють два основні класи цифрових пристроїв (ЦП): комбінаційні і послідовнісні. У **комбінаційних пристроях** певному поєднанню вхідних сигналів відповідає певний вихідний сигнал. У **послідовнісних пристроях** вихідний сигнал залежить як від вхідних сигналів у даний момент, так і від стану схеми у попередній момент. Ці пристрої містять поряд з комбінаційними схемами елементи пам'яті (наприклад, тригери), які зберігають попередній стан до надходження вхідних сигналів у даний момент.

У комбінаційних пристроях широко застосовуються такі цифрові пристрої: суматори, шифратори і дешифратори, мульти- і демультиплексори, перетворювачі кодів та інші. У послідовнісних пристроях широко використовуються тригери, на їх основі будують регістри, лічильники, елементи пам'яті та інші.

Носієм інформації у цифрових пристроях є цифровий сигнал.

У цифрових пристроях найбільшого розповсюдження знайшла двійкова система – найпростіша з усіх систем числення. Вона складається лише з двох рівнів напруги, які кодується символами 0 та 1. Двійкова система дозволяє найефективніше відобразити інформацію, якщо, наприклад, низький рівень напруги U_x^0 позначити як логічний нуль «0», а високий рівень напруги U_x^1 – як логічну одиницю «1» (рис. В.1,а).

Цифрові сигнали забезпечують більш високу завадостійкість, ніж аналогові. Це пояснює рис. В.1. Тут наведені аналоговий u_a та цифровий $u_{ц}$ сигнали, які уражені однією й самою ж завадою $u_{зав}$ (рис. В.1,а та В.1,б).

Проте в цифровому сигналі $u_{ц}$ та ж сама напруга завади $u_{зав}$ спотворює тільки амплітуду, яка не є інформаційним параметром. Інформаційні ж параметри (рівні логічного «0» та логічної «1») вона не зміщує. Якщо цифровий сигнал $u_{ц}$ уражений завадою (рис. В.1,б), пропустити через обмежувач зверху з порогоми обмеження $U_{пор1}$ та $U_{пор2}$, то завада опиниться поза цими порогоми. Тому на виході згаданого обмежувача сигнал $u_{обм}$ (рис. В.1,в) позбавлений завади.

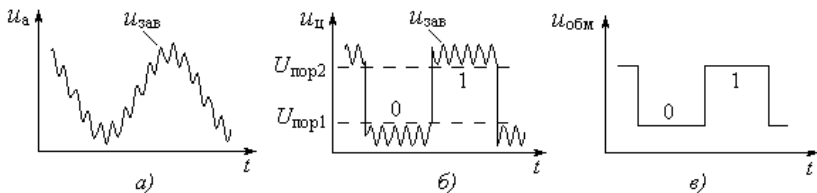


Рис. В.1. Вплив завади на сигнали: а) аналоговий ; б) цифровий; в) обмежений цифровий сигнал

Отже, на цифрові пристрої завада певної амплітуди не діє, тобто цифрові сигнали забезпечують завадостійкість вищу, ніж аналогові. Через це тепер проєктують тільки цифрові системи передачі (ЦСП). Проєктування аналогових систем передачі заборонене.

Двійкова цифра (0 або 1) носить назву *біт* інформації. Послідовна комбінація бітів зображує всю інформацію про подію і носить назву *слова*, в якому кожний біт є одиницею інформації або даних. Одиницею зображення та обміну даних, якою як єдиним цілим оперують між собою окремі цифрові пристрої чи вузли, є восьмирозрядне двійкове число, яке носить назву *байт*. Таким чином, 1 байт містить 8 біт.

Кожна цифра, що входить у число або слово, залежить від місця її розташування в записі числа, тобто від позиції цифри. Тому двійкова система числення носить назву *позиційної*. Позиція символу в зображенні числа називається *розрядом*. Так, десяткове число 13 у двійковій системі числення запишеться як 1101, десяткове число 10 – як 1010, 8 – як 1000, 5 – як 0101 і т.п.

Основні поняття алгебри логіки

Алгебра логіки (бульова алгебра) – це формальний апарат, за допомогою якого описується логічна сторона процесів у цифрових пристроях. Алгебра логіки має справу з логічними змінними, які набувають лише два значення ТАК(1) або НЕ(0). **Алгебра логіки – це алгебра станів**, а не алгебра чисел.

Логічні змінні досить точно описують стан таких механічних об'єктів, як реле, кнопки, тумблери та інші пристрої, що можуть перебувати у двох різноманітних станах: вимкнено – розімкнено. До таких об'єктів можна віднести напівпровідникові схеми, на вході яких може бути лише один із двох станів напруги.

Найчастіше високий рівень напруги приймають за логічну одиницю (1), а низький – за логічний нуль (0).

Основне поняття алгебри логіки – висловлення, тобто речення, в якому міститься суть твердження істинності або його заперечення. Кожне висловлення можна позначити символом x або y , і вважати, що $x = 1$ або $y = 1$, якщо висловлення істинне, а $x = 0$ або $y = 0$, якщо висловлення неістинне. В алгебрі логіки кожній двійковій змінній x ставиться у відповідність обернена до неї інверсна змінна \bar{x} . Наприклад, якщо $x = 0$, тоді $\bar{x} = 1$ (риска “–” означає операцію логічного заперечення).

Логічна функція $y = f(x_1, x_2, \dots, x_n)$ – це складне висловлення з кількох простих логічних операцій. Функція виду $y = f(x_1, x_2, \dots, x_n)$ називається *бульовою*, якщо вона та її аргументи (x_1, x_2, \dots, x_n) , можуть набувати лише два значення: “0” або “1”. Таку назву надано на шану англійського математика кінця XIX століття Джорджа Буля, який досліджував ці функції.

Оскільки аргументи бульової функції можуть набувати лише два значення, то область визначення будь-якої бульової функції завжди кінцева.

Сукупність значень бульової функції називається *набором*. Для кожної бульової функції від n змінних існують $Z = 2^n$ різних наборів, а число бульових функцій від n змінних дорівнює $2^Z = 2^{2^n}$.

Якщо логічна функція y набуває тільки одне значення при кожному значенні аргументу x , то вона носить назву *однозначної* і позначається формулою $y = f(x)$. *Двозначна функція* $y = f(x_1; x_2)$ залежить від 4-х

комбінацій аргументів $x_1; \bar{x}_1; x_2$ та \bar{x}_2 і набуває значення у або \bar{u} . Кількість аргументів x може бути більша ніж два.

Для функції від однієї змінної ($n = 1$) існують $2^2 = 4$ різних булевих функцій, де $Z = 2^n = 2^1 = 2$ – число наборів, на яких функція визначена. Особливо цікава одна з них – інверсія $y = \bar{x}$, решта – тривіальна.

При $n = 2$, тобто для булевих функцій від двох змінних x_1 та x_2 існують $2^4 = 16$ різних функцій, кожна з яких визначена на 4-х наборах. Булеві функції двох змінних, їхнє умовне визначення та назва надані в табл. В.1.

У бульовій алгебрі діють закони, за якими можна установити аналітичні зв'язки між різними логічними функціями і виконувати відповідні перетворення для спрощення складних виразів.

Серед 16 функцій (табл. В.1) фактично тільки 10 залежать від двох змінних, решта 6 функцій залежать від двох змінних формально: функції f_0 та f_{15} – тривіальні, функції f_3 та f_5 – це повторення змінної, а функції f_{10} і f_{12} – їхні інверсії. Всі наведені 16 логічних функцій на практиці не застосовуються.

Таблиця В.1. Двійкові функції

Функція	Операція	Назва функції	Назва операції	Приклад				
				x_1	0	0	1	1
				x_2	0	1	0	1
f_0	0	Константа 0		0	0	0	0	0
f_1	$x_1 \wedge x_2 = x_1 x_2$	Кон'юнкція (логічне множення)	I	0	0	0	0	1
f_2	$x_1 \wedge \bar{x}_2 = x_1 \bar{x}_2$	Заборона x_2		0	0	1	0	0
f_3	x_1	Повторення змінної x_1		0	0	1	1	0
f_4	$\bar{x}_1 \wedge x_2 = \bar{x}_1 x_2$	Заборона x_1		0	1	0	0	0
f_5	x_2	Повторення змінної x_2		0	1	0	1	0
f_6	$x_1 \oplus x_2$	Виняткове АБО (сума за mod 2)		0	1	1	1	0
f_7	$x_1 \vee x_2 = x_1 + x_2$	Диз'юнкція (логічне додавання)	АБО	0	1	1	1	1
f_8	$\bar{x}_1 \vee \bar{x}_2 = \overline{x_1 x_2}$	Стрілка Пірса	АБО-НЕ	1	0	0	0	0
f_9	$x_1 \sim x_2$	Рівнозначність або еквівалентність		1	0	0	0	1
f_{10}	\bar{x}_2	Інверсія (заперечення) x_2	НЕ	1	0	1	0	0
f_{11}	$x_1 \vee \bar{x}_2 = x_1 + \bar{x}_2$	Імплікація від x_2 до x_1		1	0	1	1	1
f_{12}	\bar{x}_1	Інверсія (заперечення) x_1	НЕ	1	1	0	0	0
f_{13}	$\bar{x}_1 \vee x_2 = \overline{x_1 x_2}$	Імплікація від x_1 до x_2		1	1	0	1	1
f_{14}	$\bar{x}_1 \wedge \bar{x}_2 = \overline{x_1 x_2}$	Штрих Шеффера	I-НЕ	1	1	1	0	0
f_{15}	1	Константа 1		1	1	1	1	1

Можна зауважити, що деякі функції з табл. В.1 отримують методом декомпозиції або перенумерації аргументів. Така операція носить назву *суперпозиції*. Так, наприклад, функція f_{12} може бути отримана з функції f_{11} ,

якщо x_1 перенумерувати на x_2 . Функція f_{14} може бути отримана з функції f_{12} шляхом підстановки замість аргументу x_1 функції f_1 .

Отже, застосовуючи метод суперпозиції, можна отримати більш складні логічні функції. При цьому виникає питання, чи можливо мати набір більше простих функцій, за допомогою яких можна було б отримати як завгодно складну логічну функцію. Це питання пов'язане з одним із основних понять бульової алгебри – функціонально повнотою систем логічних функцій.

Система булевих функцій вважається *функціонально повною*, якщо на її основі можна отримати довільну бульову функцію, застосовуючи лише метод суперпозиції. Можна отримати довільну множину функціонально повних наборів – базисів. Основні функції бульової алгебри, їх визначення та назва зведені в табл. В.2.

Найбільш поширеною серед усіх наборів функцій є система A , що складається з трьох булевих функцій.

$$A \begin{cases} f_1 = x_1 \wedge x_2 = x_1 \cdot x_2 & - \text{кон'юнкція} \\ f_7 = x_1 \vee x_2 = x_1 + x_2 & - \text{диз'юнкція} \\ f_{12} = \bar{x}_1 & - \text{заперечення} \end{cases} \quad (\text{В.1})$$

Властивість набору функцій виражати через себе будь-яку складну функцію носить назву *повноти цього набору*.

Властивість повноти має велику практичну цінність: дозволяє промисловості випускати обмежений набір логічних елементів, із яких можна побудувати будь-які логічні схеми, на базі яких будуються складні функціональні вузли цифрових систем.

Для згаданих операцій кон'юнкції, диз'юнкції та заперечення справедливі наступні аксіоми:

$$- \text{універсальна множина} \quad \begin{cases} 1 \wedge x = 1 \cdot x = x, \\ 1 \vee x = 1 + x = 1; \end{cases} \quad (\text{В.2})$$

$$- \text{нульова множина} \quad \begin{cases} 0 \wedge x = 0 \cdot x = 0, \\ 0 \vee x = 0 + x = x; \end{cases} \quad (\text{В.3})$$

$$- \text{повторення} \quad \begin{cases} x \wedge x \wedge \dots \wedge x = x \cdot x \cdot \dots \cdot x = x, \\ x \vee x \vee \dots \vee x = x + x + \dots + x = x; \end{cases} \quad (\text{В.4})$$

$$- \text{доповнення} \quad \begin{cases} x \wedge \bar{x} = x \cdot \bar{x} = 0, \\ x \vee \bar{x} = x + \bar{x} = x; \end{cases} \quad (\text{В.5})$$

$$- \text{подвійна інверсія} \quad \bar{\bar{x}} = x. \quad (\text{В.6})$$

В алгебрі логіки діють: принцип дуальності, правила Шеннона і де Моргана.

Принцип дуальності є основним принципом бульової алгебри, згідно з яким дві функції дорівнюють одна одній, якщо на всіх можливих наборах змінних вони набувають одного й саме того ж значення, тобто

$$f_1(x_1, x_2, \dots, x_n) = f_2(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n). \quad (\text{В.7})$$

Правило Шеннона стверджує, що для отримання алгебраїчного виразу інверсної функції необхідно у заданій функції всі змінні замінити на інверсні їм, всі знаки кон'юнкції – на знаки диз'юнкції і, навпаки, всі знаки диз'юнкції – на знаки кон'юнкції.

Правило де Моргана стверджує, що інверсія кон'юнкції дорівнює диз'юнкції інверсій, а інверсія диз'юнкції – кон'юнкції інверсій.

У бульовій алгебрі діють закони, за якими можна установити аналітичні зв'язки між різними логічними функціями і виконувати відповідні перетворення для спрощення складних виразів.

Основні закони бульової алгебри та їхні аналітичні зображення зведені в табл. В.2.

Таблиця В.2. Закони бульової алгебри

Назва закону	Аналітичне зображення
Закон комутативності	$x_1 x_2 = x_2 x_1$
Закон асоціативності	$x_1 (x_2 x_3) = (x_1 x_2) x_3 = x_1 x_2 x_3$
Закон дистрибутивності	$x_1 \cdot (x_2 \vee x_3) = x_1 x_2 \vee x_1 x_3$
Закон склеювання	$x_1 x_2 \vee x_1 \bar{x}_2 = x_1$
Закон поглинання	$x_1 \cdot (x_1 \vee x_2) = x_1; \quad \bar{x}_1 \vee x_1 x_2 = \bar{x}_1$
Закон дуальності (правило де Моргана)	$\overline{x_1 x_2} = \bar{x}_1 \vee \bar{x}_2$

Названі закони, аксіоми та правила не вичерпують усіх можливостей бульових рівностей, але вони є основними й їхні знання необхідні для виконання перетворень бульових функцій.

Логічні функції багатьох змінних отримують аналогічно розглянутому випадку для функції двох змінних застосуванням методу суперпозиції та аксіом і законів бульової алгебри. Слід зауважити, що базисні функції обов'язково містять у собі операцію інверсії.

Реалізація функцій можлива у вигляді електронних схем.

Форми зображення логічних функцій

Логічну функцію можна зобразити за допомогою таблиць, координатних карт або діаграм, словесно, у формі числового запису, аналітично. Розглянемо деякі форми зображення логічних функцій, які найбільш часто використовуються у цифровій схемотехніці.

Таблична форма зображення передбачає складення таблиці істинності логічної функції, яка містить у собі усі можливі поєднання значень аргументів та відповідні значення логічних функцій. Таблиця істинності має 2^n рядків по числу аргументів $x = n$. Кожен рядок має $(n + 1)$ стовпців, якщо логічна функція однозначна, або $(n + m)$ стовпців при багатозначній функції, де m – число значень функції y_1, y_2, \dots, y_m .

У кожному рядку розглядається комбінація станів аргументів x_n і записується відповідне значення функції y .

Наприклад, для функції інверсії з одним аргументом $y = \bar{x}$ таблиця істинності має 2 стовпці і 2 рядки (табл. В.3).

Таблиця В.3

x	y
1	0
0	1

Для однозначної функції y з двома аргументами x_1 та x_2 , таблиця істинності має $2^2 = 4$ рядки та $(2 + 1) = 3$ стовпці (табл. В.4).

Таблиця В.4

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Наприклад, якщо задана логічна функція $y = x_1 + x_2$, то табл.

В.4 істинності цієї функції має такий вигляд: табличне зображення логічної функції – це найпростіша та наочна форма. Однак зі зростанням числа n аргументів x_n табличне зображення є суттєво складним та громіздким, бо зростає число рядків та стовпців таблиці істинності. Так, для логічної функції y , що залежить від 4-х аргументів x_1, x_2, x_3, x_4 , таблиця істинності буде мати $(4 + 1) = 5$ стовпців та $2^4 = 16$ рядків. Таблична форма зображення логічних функцій широко використовується при розгляданні логічних функцій з малим числом аргументів. Для довільного числа змінних ця форма досить громіздка.

Словесне зображення логічної функції – це логічне висловлення, що підтверджує істинне значення функції y при істинному або неістинному значенні аргументів x . Наприклад, словесне зображення інверсної функції $y = \bar{x}$ має такий вигляд: функція $y = 1$, тобто істинна тоді і тільки тоді, коли x неістинний ($x = 0$), і функція $y = 0$ неістинна тоді, коли істинний аргумент, тобто $x = 1$.

Логічну функцію $y = x_1 + x_2$ словесно можна зобразити так: значення функції y дорівнює нулю тоді й тільки тоді, коли обидва аргументи нульові: $x_1 = 0$ та $x_2 = 0$; коли хоча б один із двох аргументів або x_1 , або x_2 , або обидва одиничні, то значення функції y також дорівнює одиниці.

При аналітичному зображенні функції задається алгебраїчним виразом, який отримують при застосуванні логічних операцій до змінних булевої алгебри. Така форма зображення зручна при аналізі властивостей функції, при виконванні різноманітних аналітичних перетворень.

В.2. Правила креслення принципових схем у цифрових пристроях

В.2.1. За умовними позначеннями всі елементи принципових схем (надалі: схем) мають відповідати діючим стандартам.

В.2.2. На принциповій схемі має бути позначене наступне:

- вхід та вихід;
- вхідна та вихідна величини;

- усі елементи (резистори, конденсатори, котушки, трансформатори, діоди, стабілітрони, транзистори, мікросхеми) тощо;
- з'єднання проводових ліній між собою має позначатись точкою на їх перетині;
- кінці проводових ліній мають позначатись кружками;
- креслення схем має бути таким, що б кількість перегонів та перетинів ліній була б якомога меншою.

В.3. Правила креслення часових діаграм або епюр

В.3.1. Часові діаграми роботи схеми повинні бути розміщені на одному аркуші одна під другою.

В.3.2. На осях діаграм необхідно вказати назву входів та виходів.

В.3.3. За необхідності часова діаграма зображується у масштабі. Масштаб кожної діаграми можна обирати різним, але зручним для нанесення та зчитування показань.

В.3.4. Приклади креслення часових діаграм роботи схеми.

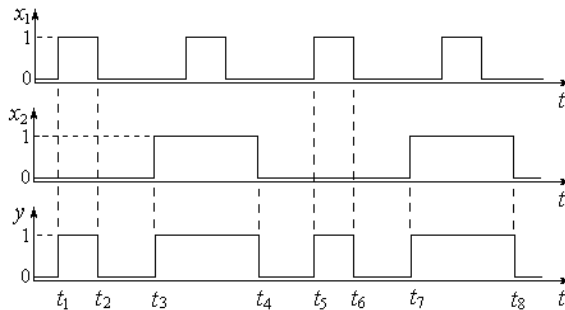


Рис. В.2. Часова діаграма схеми 2АБО

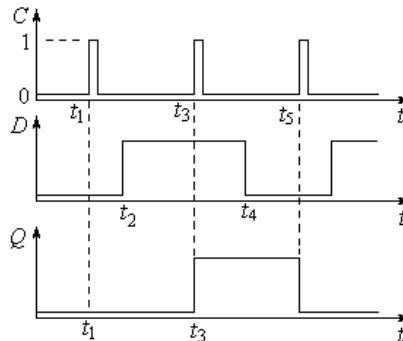


Рис. В.3. Часова діаграма роботи D-тригера в роздільному запуску

Тема 1. ЛОГІЧНІ ФУНКЦІЇ БУЛЬОВОГО БАЗИСУ

1.1. Ключові положення

Набір з трьох логічних функцій, що носять назву НЕ, І, АБО називають бульовим базисом. За допомогою законів алгебри можна висловити різноманітні логічні функції через набір трьох найпростіших.

Функція логічного заперечення НЕ

Найпростішою логічною функцією одного аргументу є функція логічного заперечення або інверсії

$$y = \bar{x}. \quad (1.1)$$

Логічний елемент, що виконує цю функцію носить назву *інвертора* або *схеми НЕ*.

Умовне позначення інвертора показано на рис. 1.1,а. У релейно-контактній схемі інверсну функцію реалізує розмикаючий контакт реле, який замкнутий, поки в обмотці реле нема струмкового сигналу, тобто аргумент $x = 0$ (рис. 1.1,б).

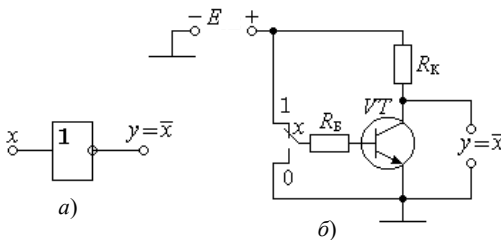


Рис. 1.1. Інвертор або схема НЕ: а) умовне позначення; б) реалізація за допомогою розмикаючого контура реле

При $x = 1$ вхід інвертора буде підключений до $+E$, через що транзистор VT відкритий і підключає вихід y до нуля, тобто $y = 0$ і навпаки, при $x = 0$ вхід інвертора підключений до нуля, транзистор VT закритий і підключає вихід y через R_K до $+E$, тобто $y = 1$. Таблиця істинності (табл. 1.1) логічної функції НЕ (заперечення) має найпростіший вигляд.

Таблиця 1.1

x	y
1	0
0	1

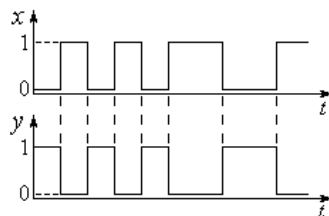


Рис. 1.2. Часова діаграма схеми НЕ

Часова діаграма роботи схеми логічного заперечення показана на рис. 1.2, з якої видно наступне.

Вхідний сигнал U_x складається з черги логічних нулів «0» та одиниць «1». Діаграма $U_y = f(t)$ вихідного сигналу теж набуває значення логічних нулів «0» або одиниць «1». Якщо до входу поданий рівень логічного «0» $x = 0$, то на виході з'являється логічна «1» $y = 1$ і навпаки, при логічній «1» на вході схеми $x = 1$ на виході установлюється рівень логічного «0» $y = 0$.

Функція логічного множення І

Функція логічного множення І – це функція двох або багатьох аргументів, що виконує операцію логічного множення або кон'юнкцію:

$$y = x_1 \wedge x_2 = x_1 x_2. \quad (1.2)$$

Функція І приймає значення логічної 1 тоді і тільки тоді, коли всі її аргументи x_1, x_2, \dots, x_n дорівнюють 1.

У релейно-контактній схемі функція І реалізується послідовним включенням двох або більшого числа (за кількістю аргументів x) замикаючих контактів, які керуються сигналами-аргументами x_n (рис. 1.3, б). Струм по колу пройде тільки тоді, коли усі контакти замкнуті, тобто знаходяться в одиничному стані. Якщо лише один контакт K_n буде розімкненим (його нульовий стан), то струм відсутній і функція дорівнює 0.

Умовне позначення логічного елемента, що реалізує функцію ІІ (кон'юнктора), показано на рис. 1.3, а (цифра 2 показує наявність двох входів).

У релейно-контактній техніці функція І реалізується послідовним включенням двох (K_1, K_2) або більшого числа (за числом аргументів n) замикаючих контактів, які керуються сигналами-аргументами x_n (рис. 1.3, б).

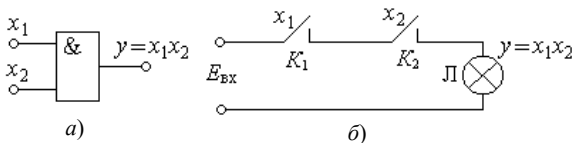


Рис. 1.3. Двовходовий кон'юнктор або схема 2І:
а) умовне позначення; б) реалізація за допомогою контактів реле

Таблиця 1.2

x_1	x_2	y
1	1	1
0	1	0
1	0	0
0	0	0

Лампа Л буде світитися тільки тоді, коли і контакт K_1 і контакт K_2 будуть замкнені, тобто перебувати в одиничному стані. Якщо хоча б один із контактів буде розімкненим (в нульовому стані), лампа світитися не буде, тобто функція дорівнює 0.

Двовходова функція 2І – однозначна. Тому для кожної комбінації значення аргументів x_1 та x_2 даної функції існує тільки одне значення функції y . Таблиця істинності для схеми 2І – це табл. 1.2.

Часова діаграма роботи логічної схеми 2І показана на рис. 1.4, де вхідними сигналами є групи П-імпульсів x_1 та x_2 , які діють на відповідних входах. Вихідним сигналом є y .

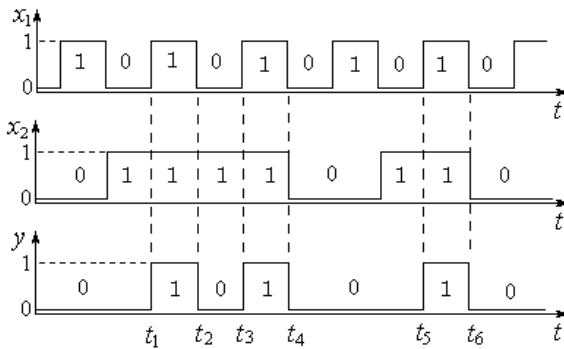


Рис. 1.4. Часова діаграма схеми 2І

Часова діаграма (рис. 1.4) наочно ілюструє алгоритм роботи функції, що впливає з таблиці істинності. Дійсно, рівень логічної «1» на виході y устанавлюється і підтримується тоді і тільки тоді, коли і на вході x_1 , і на вході x_2 присутні логічні «1», тобто $x_1 = x_2 = 1$. Збіг логічних «1» на входах x_1 та x_2 спостерігається в часи $t_1 - t_2$; $t_3 - t_4$ та $t_5 - t_6$ на часовій діаграмі. Протягом решти часу, коли на одному вході $x_1 = 0$ або на вході $x_2 = 0$, або обидва входи $x_1 = 0$; $x_2 = 0$ знаходяться під нульовим потенціалом, на виході схеми устанавлюється рівень $y = 0$.

Функція логічного додавання АБО

Функція логічного додавання АБО двох чи багатьох аргументів x_n виконує операцію логічного додавання або диз'юнкцію і записується формулою

$$y = x_1 \vee x_2 = x_1 + x_2. \quad (1.3)$$

Функція АБО набуває значення логічної «1» тоді, коли хоча б один із аргументів x_n дорівнює одиниці. Тут знак « \vee » або «+» означає логічне, а не алгебраїчне додавання.

Так, логічне додавання дає $y = x_1 \vee x_2 \vee \dots \vee x_n = 1 + 1 + \dots + 1 = 1$.

Умовне позначення логічного елемента, який реалізує функцію 2АБО, показано на рис. 1.5,а.

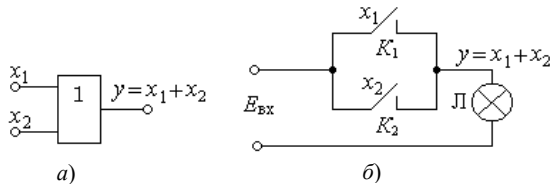


Рис. 1.5. Двовходовий диз'юнктор або схема 2АБО:
 а) умовне позначення; б) реалізація за допомогою контактів реле

У релейно-контактній техніці функція АБО реалізується паралельним з'єднанням двох або більшого числа (за числом аргументів n) замикаючих контактів $K_1, K_2 \dots$ (рис. 1.5, б).

Лампа L буде світитися тоді, коли хоча б один контакт або K_1 ($x_1 = 1$), або K_2 ($x_2 = 1$), або обидва ($x_1 = 1; x_2 = 1$) будуть замкнені, тобто перебувати в одиничному стані ($y = 1$). Лампа L буде погашеною ($y = 0$) лише тоді, коли всі контакти будуть розімкненими (у нульовому стані), тобто $x_1 = 0; x_2 = 0$.

Струм по колу (рис. 1.5, б) пройде тоді, коли будуть замкнені контакти K_1 або K_2 , або обидва контакти. При цьому на виході схеми y встановлюється рівень логічної «1». Лише у разі, коли обидва контакти розімкнені, тобто $x_1 = x_2 = 1$, на виході y з'являється логічний «0».

Таблиця 1.3

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Роботу схеми 2АБО відбиває таблиця істинності (табл. 1.3). Ця функція, як і 2І, теж однозначна.

Роботу схеми 2АБО можна проілюструвати часовою діаграмою (рис. 1.6), з якої видно, що достатньо хоча б на одному з входів x_1 або x_2 мати рівень 1, щоб на виході сигнал y дорівнював би 1. Тільки тоді, коли на обох входах $x_1 = 0; x_2 = 0$ (моменти часу $t_2 - t_3, t_4 - t_5, t_6 - t_7, t_8 \dots$) на виході $y = 0$.

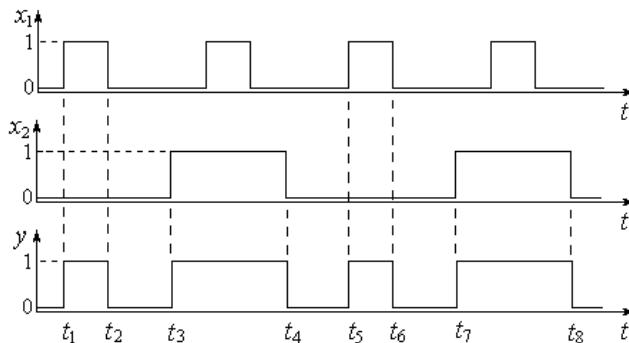


Рис. 1.6. Часова діаграма схеми 2АБО

Комбіновані логічні функції

Кожна з розглянутих функцій бульового базису набуває значення логічного "0" або логічної "1" в залежності від аргументів x_n , що входять до складу даної функції. Якщо мати логічні елементи, які реалізують найпростіші функції НЕ, І, АБО, то можна побудувати більш складні функції шляхом послідовного виконання функціональних залежностей, які зв'язують пари змінних. Таке з'єднання простих логічних елементів дає змогу отримати цифрові пристрої, що реалізують складні логічні функції.

За основний критерій при структурній реалізації береться мінімум апаратних витрат, під яким слід розуміти мінімальну кількість логічних елементів та мінімальне число зв'язків між ними. Значну роль у забезпеченні критерію за мінімумом апаратних затрат відіграє елементний базис, тобто певний набір функціонально повних логічних елементів. Якщо, як у нашому випадку, базис наперед заданий (бульовий), то логічну функцію, яку треба побудувати, необхідно спеціально перетворити. Головна мета цих перетворень – зведення виразу функції до заданого базису.

Наприклад, треба отримати функцію 2АБО-НЕ. Вона утворюється з двох булевих функцій 2АБО та НЕ.

Схемотехнічно така задача розв'язується шляхом послідовного з'єднання логічних елементів 2АБО та НЕ (рис. 1.7,а).

Це з'єднання реалізує функцію 2АБО-НЕ, яка носить назву стрілки Пірса й умовно позначається, як показано на рис. 1.7,б.

Роботу схеми 2АБО-НЕ описує таблиця істинності (табл. 1.4).

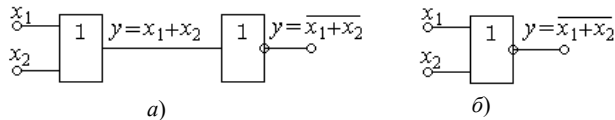


Рис. 1.7. Двовходова схема 2АБО-НЕ:

а) послідовне з'єднання логічних елементів 2АБО та НЕ; б) умовне позначення

Часова діаграма роботи схеми 2АБО-НЕ показана на рис. 1.8, з якої видно наступне.

Таблиця 1.4

x_1	x_2	y
0	0	1
1	0	0
0	1	0
1	1	0

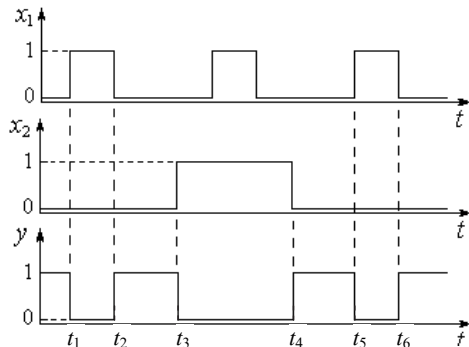


Рис. 1.8. Часова діаграма схеми 2АБО-НЕ

Якщо обидва входи нульові ($x_1 = 0$ та $x_2 = 0$), значення функції $y = 1$ одиничне.

Коли ж або $x_1 = 1$, або $x_2 = 1$, або обидва аргументи одиничні, то значення функції $y = 0$.

Якщо порівняти роботу схем 2АБО (рис. 1.6) та 2АБО-НЕ (рис. 1.8), то можна побачити, що вся різниця полягає лише в інверсії вихідного сигналу y .

Аналогічно можна отримати логічну функцію 2І-НЕ за допомогою двох логічних функцій бульового базису 2І та заперечення НЕ (рис. 1.9). Функція 2І-НЕ носить назву “штрих Шеффера”.

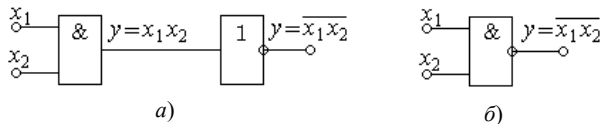


Рис. 1.9. Двохходова схема 2І-НЕ:
 а) послідовне з'єднання логічних елементів 2І та НЕ;
 б) умовне позначення

Елемент Шеффера будується послідовним з'єднанням двох логічних елементів, що реалізують функції 2І та НЕ. Тому таблиця істинності (табл. 1.5) є проінвертованою таблицею істинності (табл. 1.2) функції 2І.

Таблиця 1.5

x_1	x_2	y
1	1	0
0	1	1
1	0	1
0	0	1

Часова діаграма роботи логічної схеми 2І-НЕ (рис. 1.10) утворюється інверсією вихідного сигналу y логічної схеми 2І (див. рис. 1.4).

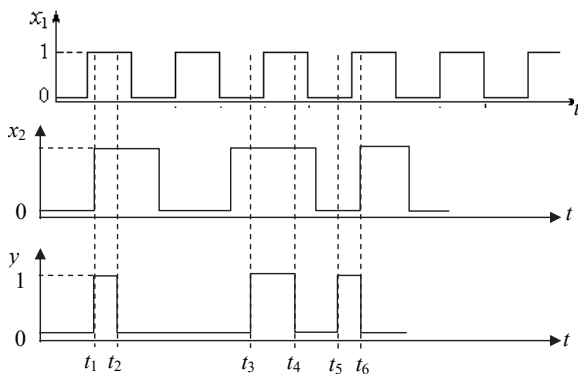


Рис. 1.10. Часова діаграма схеми 2І-НЕ

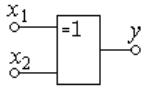


Рис. 1.11. Умовне позначення логічного елемента «виняткове АБО»

У цифрових функціональних пристроях комбінаційного типу багато застосовується логічний елемент, що реалізує функцію «виняткове АБО» (рис. 1.11). Цю функцію іноді називають «сума за mod 2».

Якщо обидва входи одиничні ($x_1 = 1$ та $x_2 = 1$), тільки тоді значення функції $y = 0$ нульове.

Коли ж або $x_1 = 0$, або $x_2 = 0$, або обидва аргументи нульові, то значення функції $y = 1$.

Логічна функція «виняткове АБО» описується формулою

$$x_1 \oplus x_2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2 = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2). \quad (1.4)$$

Символ \oplus означає, що змінні x_1 та x_2 пов'язані логічною функцією «виняткове АБО».

Її робота полягає в тому, що $y = 1$ тоді і тільки тоді, коли вхідні змінні різні $x_1 \neq x_2$. Коли ж усі змінні однакові $x_1 = x_2$, тобто $x_1 = 0$ та $x_2 = 0$ або $x_1 = 1$ та $x_2 = 1$, лише тоді $y = 0$ (табл. 1.6).

Таблиця 1.6

x_1	x_2	y
0	0	0
1	0	1
0	1	1
1	1	0

Виняткове АБО має властивості комутативності, асоціативності, дистрибутивності відносно кон'юнкції. Для неї також справедливі аксіоми бульової алгебри. На основі властивостей і аксіом функції «виняткове АБО» можна отримати функції елементарного базису.

Часова діаграма роботи схеми, яка реалізує логічну функцію «виняткове АБО», показана на рис. 1.12.

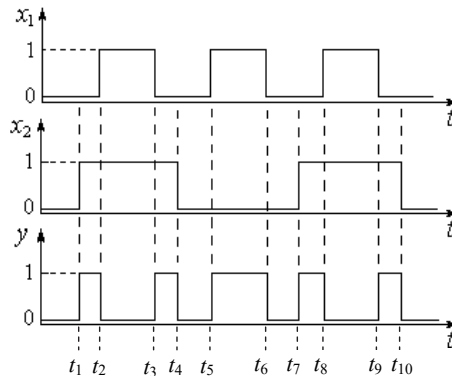


Рис. 1.12. Часова діаграма «виняткове АБО»

З цієї діаграми видно, функція $y = 1$ набуває одиничного значення лише тоді, коли обидва аргументи різні $x_1 \neq x_2$.

1.2. Завдання для розрахунку

1. Намалюйте умовне позначення логічного елемента, який виконує задану логічну функцію.
2. Запишіть задану логічну функцію у вигляді алгебраїчного виразу.
3. Складіть таблицю істинності заданої логічної функції.
4. Поясніть у масштабі тимчасову діаграму роботи заданого логічного елемента.

1.3. Вихідні дані

1. Вибір логічної функції здійснюється за цифрами M та N залікової книжки. Якщо номери залікової книжки відповідають зазначеним значенням, то $MN = 01 \dots 20$ – виконує завдання для логічної функції «НЕ»;
 $MN = 21 \dots 40$ – виконує завдання для логічної функції «2АБО»;
 $MN = 41 \dots 60$ – виконує завдання для логічної функції «2І»;
 $MN = 61 \dots 80$ – виконує завдання для логічної функції «2АБО-НЕ»;
 $MN = 81 \dots 00$ – виконує завдання для логічної функції «2І-НЕ».
2. Дані для побудови тимчасових діаграм:
рівень логічного нуля: $U' = (0,2 + 0,05 \cdot N) В$;
рівень логічної одиниці: $U' = (5 + 0,1 \cdot M) В$.

1.4. Контрольні запитання

1. Які сигнали називають цифровими.
2. Яка система числення називається двійковою.
3. Що таке логічна функція.
4. Який набір логічних функцій повний.
5. Які існують форми уявлення логічних функцій.
6. Що таке логічна функція НЕ.
7. Що таке логічна функція І.
8. Що являє собою логічна функція АБО.
9. Яка функція називається стрілкою Пірса?
10. Яка функція називається елементом Шеффера?

1.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 171-192.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 195-210.
3. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 137-152.
4. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 183-198.

Тема 2. КЛАСИФІКАЦІЯ ТА ОСНОВНІ ПАРАМЕТРИ ЛОГІЧНИХ ЕЛЕМЕНТІВ

2.1. Ключові положення

Залежно від схемотехнічного виконання базового логічного елемента (ЛЕ) сучасні цифрові схеми можна поділити на наступні типи:

ТТЛ – транзисторно-транзисторна логіка (універсальна, стандартна);

ТТЛШ – транзисторно-транзисторна логіка з діодом Шоттки;

КМОН – з комплементарними МОН-транзисторами;

ПЛ – елементи інтегральної інжекційної логіки;

ЕЗЛ – емітерно-зв'язана логіка;

Елементи на МОН-транзисторах із заслоном Шоттки на основі арсеніду галію.

За принципом побудови активного елемента інтегральні схеми (ІС) поділяються на біполярні та польові.

За способом передавання інформації – на синхронні та асинхронні.

За типом інформаційних сигналів – на потенційні (основний тип), імпульсні та імпульсно-потенційні.

Потенційними називаються ЛЕ, для яких вхідні та вихідні сигнали задаються певними рівнями напруги («низька» – «висока»). Причому на тривалість затримки сигналів на вході (виході) не накладається ніяких обмежень. В імпульсних ЛЕ значення логічної змінної визначено інтервалом дії тактового сигналу. Вихідні сигнали визначаються або наявністю, або відсутністю тактового імпульсу.

Основне розповсюдження отримали потенційні логічні елементи, що мають значні переваги над іншими.

За технологічними та конструктивними ознаками ІС випускаються серіями. Серія – це сукупність ІС різного функціонального призначення, що мають загальні електричні та експлуатаційні характеристики, виконані за єдиною технологією, поєднані одним конструктивним рішенням корпусу.

Ступінь інтеграції – показник складності ІС – оцінюється числом елементів, розміщених у одному кристалі або на підкладці:

– мала інтегральна схема (МІС)	до 100;
– середня ІС (СІС)	101...1000;
– велика ІС (ВІС)	1001...10000;
– надвелика ІС (НВІС)	понад 10000.

Основною статичною характеристикою ЛЕ є передатна характеристика – це залежність вихідної напруги $U_{\text{вх}}$ від напруги на одному з входів за сталих напруг на інших, рівних U^0 або U^1 .

За видом передатної характеристики розрізняють інвертуючі (рис. 2.1,а) та неінвертуючі ЛЕ (рис. 2.1,б).

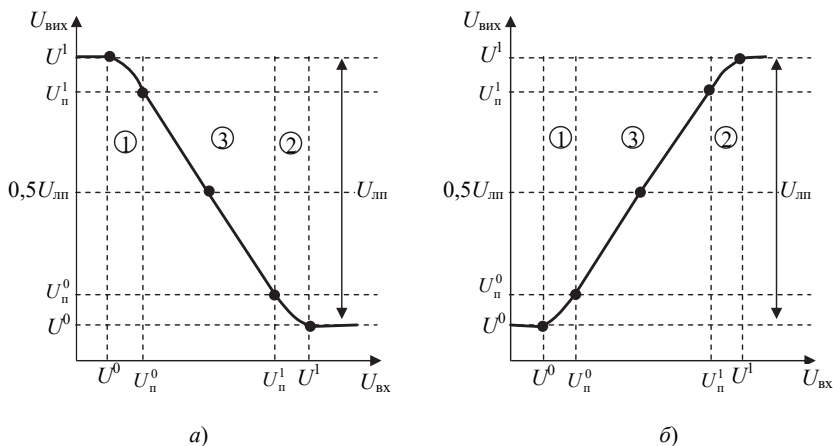


Рис. 2.1. Передатні характеристики ЛЕ:
 а) для інвертуючого ЛЕ; б) для неінвертуючого ЛЕ

Передатні характеристики мають три чітко виражені ділянки:

Ділянка 1. Стан високої вихідної напруги $U_{\text{вих}}^1$ для інвертуючого ЛЕ та низької вихідної напруги $U_{\text{вих}}^0$ для неінвертуючого ЛЕ. Рівень U^1 відповідає логічній «1», а рівень U^0 – логічному «0».

Ділянка 2. Стан $U_{\text{вих}}^0$ для інвертуючого ЛЕ та високої вихідної напруги $U_{\text{вих}}^1$ для неінвертуючого ЛЕ.

Ділянка 3 – це перехід з одного стану в інший: $U^1 - U^0$ або $U^0 - U^1$.

Межі ділянок визначаються точками одиничного підсилення

$$\frac{dU_{\text{вих}}}{dU_{\text{вх}}} = 1. \quad (2.1)$$

Вхідні напруги, що визначають межі ділянок, називаються *порогами перемикавання* $U_{\text{п}}^0$ та $U_{\text{п}}^1$.

Різниця напруг логічної «1» та логічного «0» називають логічним перепадом

$$U_{\text{лп}} = U^1 - U^0. \quad (2.2)$$

Завадостійкість визначає припустиму напругу завад на входах МС та безпосередньо зв'язана з її передатною характеристикою. Залежно від тривалості завади розрізняють *статичну* та *динамічну завадостійкість*.

Якщо на вході діє низька напруга U^0 , то небезпечні завади, що мають позитивну полярність, тому що вони підвищують вхідну напругу. При цьому робоча точка на передатній характеристиці може зміститися в область перемикавання, що призведе до збою у роботі. Максимально припустиму напругу позитивної завади можна визначити за передатною характеристикою як

$$U_{зав}^0 = U_{п}^0 - U^0. \quad (2.3)$$

Якщо на вході діє висока напруга U^1 , то небезпечна завада негативної полярності, що знижує рівень вхідної напруги. Максимальне значення завади за високим рівнем

$$U_{зав}^1 = U^1 - U_{п}^1. \quad (2.4)$$

Статична завадостійкість слугує основним показником захищеності мікросхеми від завод.

Динамічна завадостійкість вища статичної, тому що за короткочасних завод відбувається вплив паразитних ємностей та інерційність процесів у мікросхемі. Якщо тривалість імпульсу завади зменшується настільки, що стає меншим час перемикавання ЛЕ, то припустима амплітуда імпульсної завади збільшується.

Вхідна характеристика – це залежність вхідного струму $I_{вх}$ від напруги на вході за сталих напруг на решті входах. Для ЛЕ на біполярних транзисторах за цією характеристикою визначають вхідні струми для низького та високого рівнів вхідної напруги. При $U_{вх} = U^0$ струм витікає з даного входу й при $I_{вх}^0 \leq 0$; при $U_{вх} = U^1$ струм втікає в цей вхід $I_{вх}^1 \geq 0$.

Вихідна характеристика – це залежність вихідної напруги від струму навантаження $I_{вих}$. Визначається також для низького рівня $U_{вих}^0 = f(I_{вих}^0)$ та для високого $U_{вих}^1 = f(I_{вих}^1)$, де $I_{вих}^0$, $I_{вих}^1$ – вихідні струми низького й високого рівнів.

Коефіцієнт об'єднання за входом $K_{об}$ визначається числом входів ЛЕ. ЛЕ масового виробництва виробляються з 2, 3, 4 та 8 входами. Збільшення входів, зазвичай, знижує швидкодію. Якщо виникає необхідність у збільшенні числа входів, то слід використати кілька однотипних ЛЕ, з'єднавши їх з урахуванням законів бульової алгебри.

Споживана потужність ЛЕ оцінюється як середня споживана потужність у статичному режимі:

$$P_{ср} = 0,5E_{ж}(I_{дж}^0 + I_{дж}^1), \quad (2.5)$$

де $I_{дж}^0$, $I_{дж}^1$ – струм, споживаний від джерела живлення, при $U_{вх} = U_{вих}^0$ та $U_{вих}^1$ відповідно; $E_{ж}$ – напруга джерела живлення.

Потужність, споживану додатково у процесі перемикавання, називають *динамічною*. Вона пропорційна частоті перемикавання ЛЕ, у зв'язку з чим її визначають за заданою частотою, що близька до максимальної.

Для оцінки часових властивостей мікросхем існує кілька параметрів. Швидкодію логічного елемента оцінюють середнім часом затримки розповсюдження сигналу $t_{зт\ ср}$, що означає середній час затримки виконання логічної операції:

$$t_{зт\ ср} = 0,5(t_{зт}^{0,1} + t_{зт}^{1,0}), \quad (2.6)$$

де $t_{зт}^{0,1}$, $t_{зт}^{1,0}$ – час затримки розповсюдження сигналу при переходах $U^0 \rightarrow U^1$ та $U^1 \rightarrow U^0$ відповідно.

Значення затримки розповсюдження оцінюється, звичайно, на рівні 0,5 від напруги логічного перепаду $U_{\text{лп}}$ (рис. 2.2). Інколи оцінку ведуть за часом затримки ввімкнення та вимкнення, які вимірюються на рівнях 0,1 або 0,9 від логічного перепаду $U_{\text{лп}}$.

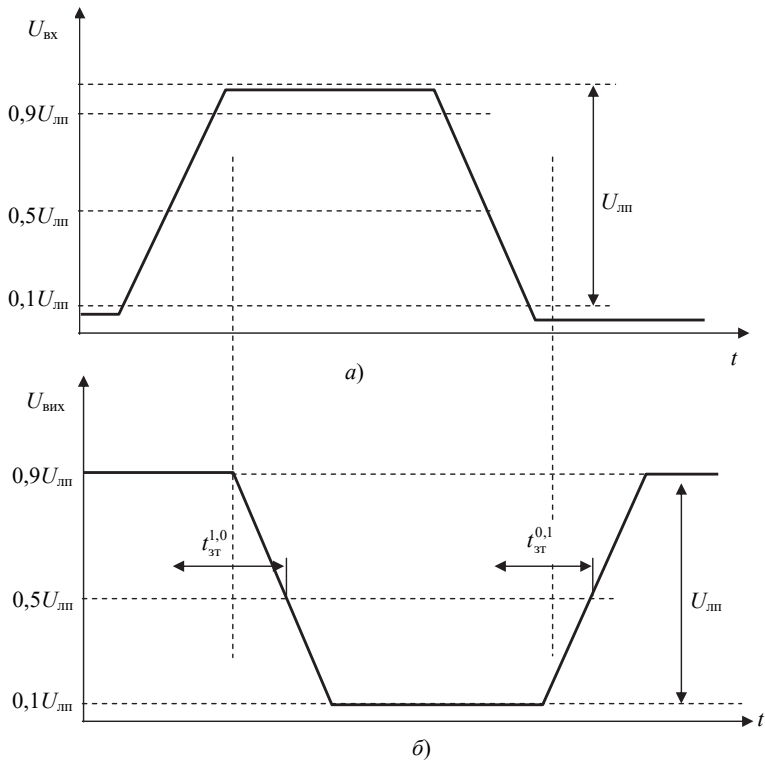


Рис. 2.2. Оцінка затримки сигналів:
 а) вхідний імпульс; б) вихідний імпульс з інверсією

Оцінку швидкодії послідовнісних пристроїв (тригерів, лічильників, регістрів) ведуть за максимальною частотою перемикавання, часом затримки управляючих сигналів і т.п. Зменшити час затримки ЛЕ у певних межах можна шляхом збільшення струму, споживаного від джерела живлення, тому що при цьому зменшується час перезаряду паразитних ємностей. Тому існує зворотній зв'язок між часом затримки та споживаною потужністю: чим більший споживаний струм, тим менша середня затримка.

Для порівняння за швидкістю ЛЕ різних типів використовують параметр, названий *енергією (роботою) перемикавання*

$$A = P_{\text{ср}} t_{\text{зт ср.}} \quad (2.7)$$

Для більшості серій цифрових мікросхем енергія перемикання знаходиться у межах 1...500 пДж для пристроїв малого ступеня інтеграції й 0,1...1,0 пДж для ЛЕ у ВІС та НВІС.

До інших показників можна віднести надійність та стійкість мікросхем до механічних та кліматичних впливів. Ці показники в інтегральних мікросхемах виключно значні. Ймовірність безвідмовної роботи за 15000 годин може скласти 99,8%. Мікросхеми можуть працювати за більших механічних навантажень (вібрації, удари тощо) у широкому температурному діапазоні (від -10 до +70°C для МС широкого застосування та від -60 до +120°C – спеціального) та значній вологості.

Транзисторно-транзисторна логіка (ТТЛ)

Схемотехніка ТТЛ має найбільше число різновидів. Мікросхеми ТТЛ на світовому ринку стабільно посідають перше місце протягом декількох десятиліть.

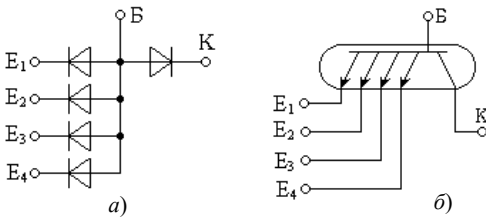


Рис. 2.3. Багатоемітерний транзистор: а) діодна збірка – еквівалент БЕТ; б) умовне позначення БЕТ

Умовне позначення БЕТ показано на рис. 2.3,б.

Типова двовходова схема 2І-НЕ показана на рис. 3.3. Число емітерів БЕТ дорівнює числу входів.

Рівнем логічного «0» є потенціал нульового проводу, тобто фізичний нуль, рівнем логічної «1» є напруга живлення + E_K .

Схема містить багатоемітерний транзистор $VT1$, який сумісно з $R1$ виконує логічну функцію 2І, фазорозщеплюючий каскад на $VT2$ та складний інвертор на транзисторах $VT3$ та $VT4$.

Фазорозщеплюючий каскад здійснює відкриття лише одного транзистора: або $VT3$, або $VT4$, забезпечуючи саме тим на виході відповідні або логічну одиницю, або логічний нуль.

Особливістю мікросхем ТТЛ є наявність у входному колі багатоемітерного транзистора. Багатоемітерний транзистор (БЕТ) являє собою інтегральний елемент, який має декілька (до 8) емітерних переходів. БЕТ у мікросхемах ТТЛ вмикають на вході, реалізуючи при цьому функцію діодних збірок (рис. 2.3,а).

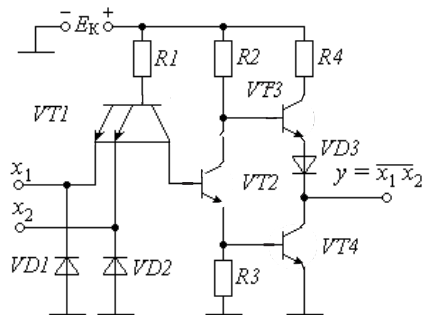


Рис. 2.4. Двовходова схема ТТЛ

При цьому складний інвертор, у якому один із транзисторів $VT3$ або $VT4$ завжди закритий, не споживає енергію.

Схема працює наступним чином.

Вхідне коло $R1$, $VT1$ є несиметричним розгалужуючим з'єднанням: одне коло містить лише один перехід (емітерний перехід $VT1$), а інше – три (колекторний $VT1$, емітерний $VT2$ та емітерний $VT4$). Через цю несиметричність струм бази $VT1$ може протікати тільки по одному колу: або через емітери, або через колектор $VT1$.

Напруга живлення E_K сумісно з опором резистора $R1$ створює джерело струму бази $VT1$, який тече завжди або по колах емітерів, або по колу колектора в залежності від стану входів x_1 та x_2 .

При обох одиничних входах $x_1 = 1$ та $x_2 = 1$ емітерні переходи $VT1$ закриті, через що струм бази $VT1$ через його колекторний перехід тече в базу транзистора $VT2$, відкриваючи його. Тоді емітерний струм транзистора $VT2$, втікаючи в базу $VT4$, відкриває і його.

Отже, при всіх одиничних входах транзистори $VT2$ та $VT4$ завжди відкриті. При цьому низький потенціал колектора $VT2$ закриває транзистор $VT3$.

Таким чином, при всіх одиничних входах закритий транзистор $VT3$ відключає вихід у від напруги E_K , а відкритий транзистор $VT4$ підключає вихід у до нуля.

Так, при всіх одиничних входах $x_1 = 1$ та $x_2 = 1$ вихід $y = 0$.

Якщо хоча б до одного входу надходить логічний "0", тобто $x_1 = 0$; $x_2 = 1$, або $x_1 = 1$; $x_2 = 0$, або $x_1 = 0$; $x_2 = 0$, то хоча б один або всі емітерні переходи $VT1$ відкриті і вони відгалужують на себе струм бази $VT1$. Бази $VT2$ і $VT4$ знеструмлені, через що транзистори $VT2$ та $VT4$ закриті. Одиничний потенціал колектора $VT2$ відкриває транзистор $VT3$.

Отже, закритий транзистор $VT4$ відключає вихід у від нуля, а відкритий транзистор $VT3$ підключає у до напруги E_K , тобто до логічної "1".

Таким чином, при хоча б одному вході під логічним "0" на виході є логічна "1" $y = 1$.

Схема здійснює логічну функцію 2І-НЕ і може бути описана таблицею істинності (табл. 2.1).

Таблиця 2.1

x_1	x_2	y
0	0	1
1	0	0
0	1	0
1	1	0

Щодо діодів $VD1 - VD3$, то $VD1$ та $VD2$ захищають входи схеми від переполюсовки напруги, а діод $VD3$ в емітері транзистора $VT3$ сприяє його закриттю.

Емітери БЕТ $VT1$ можна з'єднувати між собою, зменшуючи при цьому кількість переходів (діодів) на вході мікросхеми. Нарешті, якщо з'єднати всі емітери між собою, то можна отримати одноемітерний транзистор.

Типовий інвертор ТТЛ або логічна схема НЕ показана на рис. 2.5.

Порівнюючи схему 2І-НЕ (рис. 2.4) зі схемою інвертора (рис. 2.5), переконуємося в тому, що вони відрізняються лише кількістю входів (емітерів $VT1$). Тому принципи дії цих схем збігаються.

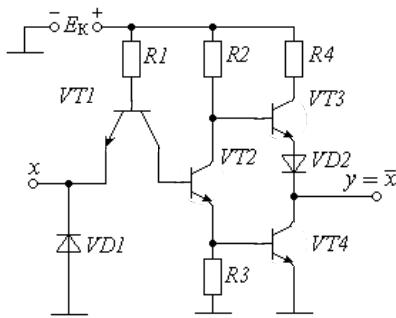


Рис. 2.5. ТТЛ інвертор

діод зменшує від'ємний викид до $-0,7$ В, підвищуючи, саме тим, завадостійкість мікросхеми та час її безвідмовної експлуатації.

Щодо вихідного кола, то через його двотактовість слід особливо попередити, що з'єднання елементів по виходах не припустиме.

Організація двотактового виходу в ТТЛ елементах робить неможливим паралельне з'єднання виходів декількох мікросхем, бо якщо з'єднані інвертори при цьому перебувають у різноманітних станах, то через відкриті транзистори $VT3$ одного з них (рис. 2.4, 2.5) та $VT4$ іншого потече неприпустимо великий струм, який може вивести з ладу з'єднані мікросхеми.

Цю проблему можна вирішити за рахунок використання логічного елемента з так званим *відкритим колектором*.

Схема логічного елемента з відкритим колектором створена тим, що з елементів (рис. 2.4, 2.5) вилучений транзистор $VT3$, а колектор $VT4$ виведений на вихід.

Спрощена схема логічного елемента з відкритим колектором та її умовне позначення показані на рис. 2.6. Схема має у своєму складі логічний елемент (в нашому випадку це схема 2І-НЕ), вихід якої підключений до бази транзистора VT (рис. 2.6,а). Колектор транзистора є виходом y .

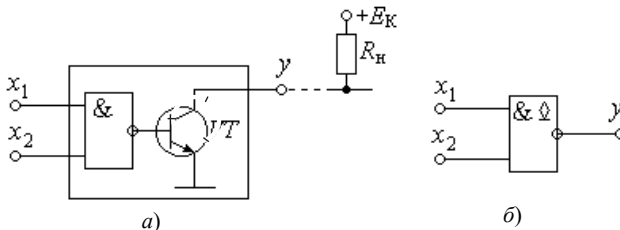


Рис. 2.6. Логічний елемент з відкритим колектором:
а) спрощена схема; б) умовне позначення

Щодо діодів $VD1$, $VD2$ у схемі (рис. 2.4) та $VD1$ у схемі (рис. 2.5), то вони необхідні для наступного.

Вхідні кола розглянутих схем мають розподілені ємності та індуктивності. Тому при дії на вході високочастотних сигналів можуть з'явитися "дренькоти" зі значними від'ємними викидами, які є згубними для схеми. З метою знищення цих викидів кожний вхід ТТЛ елемента з'єднують із загальною шиною через діод VD , як показано на рис. 2.5. Цей

Такий вихідний каскад (без опору навантаження в колекторному колі) не може сам собою сформувати на виході у високий рівень напруги. Для цього до виходу у зовнішнім монтажем підключається опір R_n , який носить назву *підтягуючого*. Замість резистора R_n можна підключити будь-яке зовнішнє навантаження: реле, світлодіод та ін.

Логічні елементи з відкритим колектором дозволяють підводити до вихідного транзистора напругу $E_K = 30$ В. За допомогою логічних елементів з відкритим колектором можна збільшувати кількість входів.

Крім схемотехнічних можливостей логічні елементи з відкритим колектором здатні реалізувати додатково і логічні операції завдяки тому, що вони допускають паралельне з'єднання аналогічних виходів на одне спільне навантаження. Таке об'єднання виходів називається *монтажною* або *провідниковою* логікою, бо вона утворюється в результаті зовнішнього монтажу.

На рис. 2.7 показана схема на логічних елементах 2І-НЕ з відкритим колектором, з'єднання яких на виході у разом з R_n утворюють *монтажне І*.

На об'єднаному виході у (рис. 2.7) рівень буде одиничним ($y = 1$) лише тоді, коли усі виходи y_i будуть одиничними: $y_1 = 1$; $y_2 = 1$; $y_3 = 1$.

Якщо хоча б один із елементів має на своєму виході низький потенціал $y_i = 0$, то на об'єднаному виході у рівень буде нульовим $y = 0$.

Отже виходи y_i разом з R_n утворюють *монтажне І*:

$$y = y_1 \cdot y_2 \cdot y_3 = \overline{x_1 x_2} \cdot \overline{x_3 x_4} \cdot \overline{x_5 x_6}. \quad (2.8)$$

Принцип монтажного І значно використовується у ВІС пам'яті та програмованих логічних матрицях (ПЛМ), а також для побудови двонаправлених числових шин.

Транзисторно-транзисторна логіка має низку переваг, а саме:

- досить мала споживана потужність, що досягається за рахунок ускладнення інвертора парою транзисторів $VT3$ та $VT4$ (див. рис. 2.4), які працюють у фазоінверсному режимі під дією керуючого фазорозщеплювача $VT2$;

- у статичному режимі один із транзисторів $VT3$ або $VT4$ завжди відкритий, тому вихідний опір, а тому й стала часу вихідного кола є досить малими, що сприяє підвищенню швидкодії;

- у динамічному режимі, коли на час переключення одночасно відкриті обидва транзистори $VT3$ і $VT4$ малий вихідний опір логічного елемента сприяє швидкому перезаряджанню ємності навантаження та паразитній ємності монтажу, що забезпечує високу навантажувальну здатність логічного елемента ТТЛ.

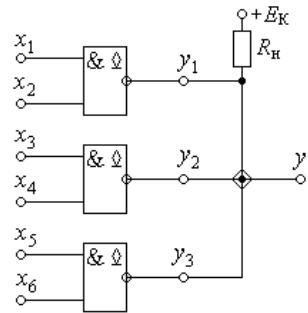


Рис. 2.7. Схема монтажного І

До недоліків серій ТТЛ відноситься порівняно низька швидкодія, тому що в статистичному режимі окремі транзистори, що складають схему ТТЛ, знаходяться у стані глибокого насичення. Це насичення забезпечує надлишковий вхідний струм, який зміщує емітерний перехід у прямому напрямі і приводить до накопичення рухомих носіїв у базах транзисторів. Після зникнення вхідного струму для переходу транзистора у стан відсікання потрібний тривалий час для подолання перехідного процесу розсмоктування накопичених носіїв, коли протягом десятків наносекунд транзистор залишається відкритим.

Отже, для підвищення швидкодії треба запобігти насиченню транзисторів. Ці недоліки ліквідовані в ТТЛ елементах з діодом Шоттки* (ТТЛШ).

Транзисторно-транзисторна логіка з діодом Шоттки (ТТЛШ)

Більш швидкодіючими порівняно із серією ТТЛ є логічні елементи на діодах та транзисторах Шоттки (ТТЛШ). Мікросхеми ТТЛШ мають ту саму структуру електричної схеми, що й ТТЛ, тільки замість діодів та транзисторів використовуються напівпровідникові прилади з бар'єром Шоттки.

В діодах Шоттки VD (рис. 2.8,а) використаний перехід “метал-напівпровідник”. Пряма напруга цього переходу становить 0,35 ... 0,40 В, що значно менше, ніж у звичайних діодів (0,7 В).

Для зменшення насичення паралельно до колекторного переходу біполярного транзистора VT підключається діод Шоттки, чим і утворюється *транзистор Шоттки* (рис. 2.8,б).

При закритому транзисторі VT потенціал колектора є позитивним відносно бази, через що діод VD перебуває під зворотною напругою і не впливає на роботу ключа.

Коли ж транзистор VT відкритий, то діод VD знаходиться під прямою напругою і відгалужує частину струму бази VT у колекторне коло. Струм бази зменшується, через що зменшується накопичення рухомих носіїв заряду в базі. Тому при переході транзистора у стан відсікання буде зменшений час розсмоктування накопичених носіїв у базі.

Інвертор ТТЛШ (рис. 2.8,в) працює також як звичайна ТТЛ.

Струм бази $VT1$ може протікати або по вхідному колу x , або по колу бази $VT2$.

При нульовій вхідній напрузі ($x = 0$) струм бази $VT1$ тече по вхідному колу x і не втікає в базу $VT2$. Транзистори $VT2$ і $VT4$ закриті, через що вихід у відірваний від нуля і через відкритий $VT3$ підключений до $+E_K$, тобто до логічної “1” $y = 1$.

Коли ж напруга на вході x дорівнює логічній «1» ($x = 1$), то струм бази $VT1$ тече через його колекторний перехід у базу транзистора $VT2$, відкриваючи його. Відкривається і $VT4$, підключаючи вихід y до нуля і утворюючи тим самим на виході логічний “0” ($y = 0$).

* Шоттки (Schottky) – німецький фізик, який відкрив у 1914 р. фізичне явище, що виникає при проходженні струму через контакт “метал-напівпровідник”, так званий бар'єр Шоттки.

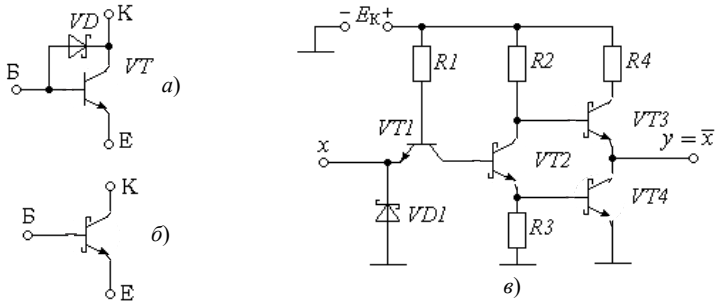


Рис. 2.8. Типовий інвертор ТТЛШ:
 а) БТ з діодом Шоттки; б) транзистор Шоттки; в) схема інвертора

Суттєве зменшення часу розсмоктування надлишкового заряду у схемі з використанням транзисторів Шоттки скорочує час затримки до 3 ... 5 нс.

Проте слід зауважити, що на відміну від ТТЛ елементи ТТЛШ мають нижчу завадостійкість унаслідок малого порога відкриття транзисторів Шоттки і зменшення їхнього насичення.

Логічні елементи на польових структурах. МОН-логіка

Головним конкурентом мікросхем ТТЛ за широтністю використання є ЛЕ на *польових* МОН- і КМОН-структурах. Це зумовлено дуже незначним споживанням вхідного струму, великим вхідним опором, повним гальванічним розв'язанням вхідного та вихідного кіл, малим споживанням потужності, досить високою густиною розміщення елементів. Мікросхеми МОН- або КМОН-структур мають широкий діапазон напруг живлення (від 3 до 15 В), що дозволяє виконувати просте поєднання з мікросхемами ТТЛ та операційними підсилювачами.

Польові транзистори забезпечили на початку 70-х років створення ВІС та СВІС. Велике практичне застосування при розробці логічних схем на МДН- та КМОН-структурах набули польові транзистори (ПТ). Польові транзистори розподіляються за способом формування каналу і видом носіїв. Наприклад, базовий ЛЕ на МОН-транзисторах з індукованим каналом *n*- або *p*-типів носять назву відповідно *n*МОН- і *p*МОН-структури.

*n*МОН-структури мають низку переваг порівняно з *p*МОН. Вони мають більшу швидкодію, бо носіями струму в *n*-структурах є електрони, що мають більшу рухомість ніж дірки, які відіграють таку ж роль в *p*-структурах. Зауважимо, що ПТ *p*-типу відкриваються *негативною* напругою на заслоні відносно витоків, а *n*МОН-транзистори – *позитивною*. Тому для реалізації ЛЕ позитивної логіки зручніше використовувати *n*-канальні транзистори, а для негативної логіки – *p*-канальні.

З цих причин логічні елементи *n*МОН зустрічаються частіше, ніж *p*МОН-структур.

МОН-логіка

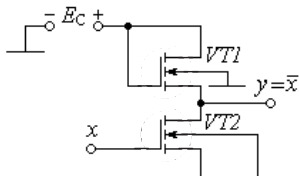


Рис. 2.9. Інвертор на *n*МОН-транзисторах з індукованими каналами

МОН-логіка вигідно відрізняється від ТТЛ зменшеним споживанням енергії.

Інвертор на *n*МОН-структурі показаний на рис. 2.9.

Транзистор *VT1* відіграє роль опора навантаження, тобто він має бути певною мірою відкритим. Тому затвор транзистора *VT1* з'єднується з колом живлення $+E_C$.

Коли на вхід схеми поданий низький рівень напруги, тобто $x = 0$, то транзистор *VT2* закритий, через що вихід *y* відірваний від нуля і на виході інвертора установлюється високий рівень $y = 1$. Якщо $x = 1$, то транзистор *VT2* відкритий, через що вихід *y* підключений до нуля і тому на виході $y = 0$.

Так інвертор здійснює реалізацію функції НЕ.

Для створення схеми І використовують транзистори *VT2* та *VT3* (рис. 2.10). Кількість таких транзисторів збігається з числом *i* входів x_i .

Як і в інверторі, транзистор *VT1* є опором навантаження.

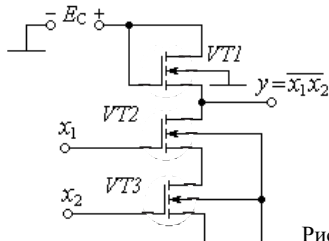


Рис. 2.10. Схема І-НЕ

Таблиця 2.2

x_1	x_2	y
0	0	1
1	0	1
0	1	1
1	1	0

Роботу схеми віддзеркалює таблиця істинності (табл. 2.2).

Якщо хоч би один із входів x_1 або x_2 нульовий, то або *VT2*, або *VT3*, або обидва транзистори закриті і відривають вихід *y* від нуля. На виході $y = 1$. Лише, коли обидва входи одиничні $x_1 = 1$ та $x_2 = 1$, то обидва транзистори *VT2* та *VT3* відкриті і підключають вихід *y* до нуля, тобто $y = 0$. Так здійснюється реалізація функції І-НЕ.

Для створення схеми АБО слід *VT2* та *VT3* з'єднати паралельно відповідно по стоках та витоках (рис. 2.11).

Роботу схеми віддзеркалює таблиця істинності (табл. 2.3).

Якщо обидва входи одиничні $x_1 = 1$ та $x_2 = 1$, то обидва транзистори *VT2* та *VT3* відкриті і підключають вихід *y* до нуля, тобто $y = 0$.

Коли хоча б один із входів або x_1 , або x_2 , або обидва одиничні, то або $VT2$, або $VT3$, або обидва транзистори відкриті і підключають вихід y до нуля. На виході $y = 0$. Так здійснюється реалізація функції АБО-НЕ.

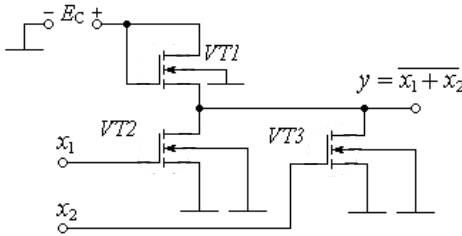


Рис. 2.11. Схема АБО-НЕ

Таблиця 2.3

x_1	x_2	y
0	0	1
1	0	0
0	1	0
1	1	0

Основною перевагою МОН-логіки за ТТЛ є зменшене споживання потужності, бо при $x = 0$ транзистори $VT2$ та $VT3$ закриті і схема не використовує струму.

Недоліком МОН-логіки є певне споживання потужності, бо при одиничних входах транзистори $VT2$ та $VT3$ відкриті і схема споживає струм.

Цей недолік усунений в КМОН-логіці.

КМОН-логіка

Літера “К” розшифровується як “*комплементарний*”.

Комплементарною називається пара послідовно з’єднаних транзисторів з протилежними типами провідностей: p -каналом та n -каналом.

Перевагами КМОН-логіки є практична відсутність споживання енергії і простота виготовлення.

Щодо відсутності споживання енергії, то вона забезпечується тим, що в комплементарній парі за будь-якого стану її входу один із двох транзисторів обов’язково закритий, через що комплементарна пара не споживає струму.

Простота виготовлення зумовлена тим, що мікросхеми КМОН-логіки вільні від резисторів, діодів, складних багатоємітерних транзисторів і містять лише МОН-транзистори з індукованим каналом. Ці транзистори мають досить високу порогову напругу затвору (до 4 В), що забезпечує певну завадостійкість.

Підвищення завадостійкості пояснюється існуванням порогової напруги заслону, яка досягає кількох вольт. Тому зона невизначеності КМОН-логіки значно більше за схеми ТТЛ. Так при напрузі живлення + 10 В зона невизначеності становить 2 В, тобто втричі більше за схеми ТТЛ.

Крім того, мікросхеми КМОН-серій живляться підвищеною напругою (до + 15 В). Це дає можливість рознести пороги перемикання також на декілька вольт. Результатом є те, що при напрузі живлення + 10 В рівень логічного «0» становить $U_x^0 = 0,5$ В, а рівень логічної «1» $U_x^1 = 9,5$ В. Це означає, що логічний

елемент КМОН-логіки не чутливий до амплітуди завади, яка не перевищує $U_{mз} < U_x^1 - U_x^0 = 9,5 - 0,5 = 9,0$ В, тобто завадостійкість КМОН-логіки майже у шість разів вище за ТТЛ.

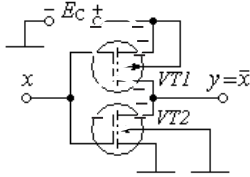


Рис. 2.12. КМОН-інвертор

Найпростішим елементом КМОН-логіки є інвертор. Він складається лише з однієї комплементарної пари.

Схема інвертора показана на рис. 2.12.

До складу інвертора надходять два МОН-транзистори з різними провідностями: $VT1$ з p -каналом та $VT2$ з n -каналом. Ці транзистори і створюють комплементарну пару, в якій входом x є з'єднання заслонів, а виходом y – з'єднання стоків.

Транзистори відкриваються, якщо між заслоном та прошарком прикладена одинична напруга, та закриваються, якщо ця напруга нульова.

Інвертор працює наступним чином.

Якщо на вході діє рівень логічного "0" ($x = 0$), то транзистор $VT1$ буде відкритим, бо напруга "затвор-прошарок" цього транзистора одинична (затвор нульовий, прошарок одиничний).

Щодо транзистора $VT2$, то він закритий, бо напруга "затвор-прошарок" для нього дорівнює нулю.

Закритий транзистор $VT2$ відключає вихід y від нульової шини, тобто від логічного "0", а відкритий $VT1$ підключає вихід y до $+E_c$, тобто до одиниці ($y = 1$).

Якщо на вході логічна "1" ($x = 1$), то транзистор $VT1$ закриється, бо напруга "затвор-прошарок" для нього нульова, а транзистор $VT2$ відкриється через те, що напруга "затвор-прошарок" для нього одинична.

Закритий транзистор $VT1$ відключає вихід y від напруги $+E_c$, тобто від логічної "1", а відкритий транзистор $VT2$ підключає вихід y до нульової шини, тобто до логічного "0" ($y = 0$).

Так здійснюється функція НЕ.

В обох випадках і при $x = 0$, і при $x = 1$ один із транзисторів або $VT1$, або $VT2$ обов'язково закритий. Через це логічні елементи КМОН-логіки практично не споживають струму.

Таким чином, можна дійти висновку, що у статистичному режимі схеми на КМОН-структурах практично не споживають потужності. Практично тому, що в момент, коли рівень вихідної напруги змінюється від 0 до 1, має місце коротка тривалість часу, коли обидва транзистори $VT1$ та $VT2$ відкриті і від кола живлення $+E_c$ споживається помітний струм. Однак це явище впливає на споживану потужність тільки на занадто високих частотах.

Розглянемо мікросхеми для реалізації останніх двох функцій бульового базису.

На рис. 2.13 показана схема І-НЕ на КМОН-структурах, тобто на комплементарних парах МОН-транзисторів.

Комплементарні пари створюють ті транзистори, затвори яких з'єднані. В цих парах за будь-якого стану затвору один із транзисторів обов'язково

закритий, бо транзистори комплементарної пари мають протилежні провідності. Тому комплементарні пари не споживають струму.

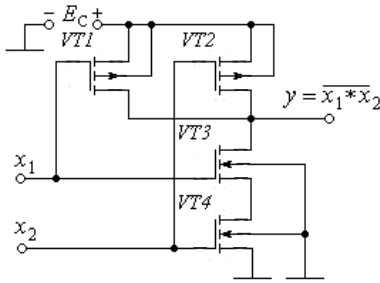


Рис. 2.13. Схема 2I-HE

Таблиця 2.4

x_1	x_2	y
0	0	1
1	0	1
0	1	1
1	1	0

Тут комплементарними парами є $VT1$ та $VT3$ і $VT2$ та $VT4$.

Роботу схеми відзеркалює таблиця істинності (табл. 2.4).

Якщо хоча б один із входів x_1 або x_2 нульовий, то або $VT3$, або $VT4$, або обидва транзистори закриті, бо напруга “затвор-прошарок” цих транзисторів нульова. Закриті $VT3$, $VT4$ відривають вихід y від нуля.

Проте напруга “затвор-прошарок” транзисторів $VT1$ та $VT2$ одинична, через що вони відкриті і підключають вихід y до $+E_C$, тобто одиниці. На виході $y = 1$.

Коли ж обидва входи одиничні і $x_1 = 1$, і $x_2 = 1$, то напруга “затвор-прошарок” транзисторів $VT1$ та $VT2$ нульова, через що вони закриті і відривають вихід y від $+E_C$, тобто від одиниці.

Проте напруга “затвор-прошарок” транзисторів $VT3$ та $VT4$ одинична, через що вони відкриті і підключають вихід y до нуля, тобто $y = 0$. Так здійснюється реалізація функції 2I-HE.

На рис. 2.14 показана схема 2АБО-HE.

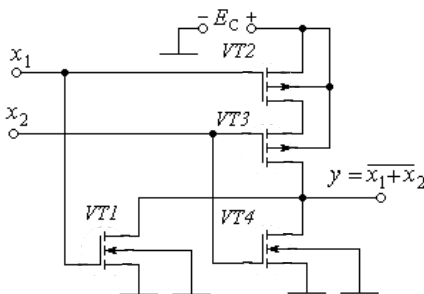


Рис. 2.14. Схема 2АБО-HE

Таблиця 2.5

x_1	x_2	y
0	0	1
1	0	0
0	1	0
1	1	0

Тут комплементарними парами є $VT1$ та $VT2$ і $VT3$ та $VT4$.

Роботу схеми віддзеркалює таблиця істинності (табл. 2.5).

При обох нульових входах ($x_1 = 0$; $x_2 = 0$) напруга “затвор-прошарок” транзисторів $VT1$ та $VT4$ нульова, через що вони закриті і відривають вихід у від нуля.

Проте напруга “затвор-прошарок” транзисторів $VT2$ та $VT3$ одинична, через що вони відкриті і підключають вихід u до $+E_C$, тобто $y = 1$.

Якщо хоча б один із входів x_1 або x_2 одиничний, то або $VT1$, або $VT4$, або обидва транзистори відкриті, бо напруга “затвор-прошарок” цих транзисторів одинична. Відкриті $VT1$, $VT4$ підключають вихід u до нуля, тобто $y = 0$.

Так здійснюється функція 2АБО-НЕ.

Кожна серія мікросхем має значну кількість комбінацій логічних схем, що робить кожну серію гнучкою при проектуванні цифрових приладів.

2.2. Завдання для розрахунку

1. Намалюйте умовне позначення логічного елемента, який виконує задану логічну функцію.

2. Намалюйте принципову схему логічного елемента, який виконує задану логічну функцію.

3. Запишіть задану логічну функцію у вигляді алгебраїчного виразу.

4. Складіть таблицю істинності заданої логічної функції.

5. Намалюйте тимчасову діаграму роботи при заданих вихідних даних обох входів (x_1 ; x_2).

2.3. Вихідні дані

1. Вибір логічної функції здійснюється за цифрами M та N залікової книжки. Якщо номери залікової книжки відповідають зазначеним значенням, то $MN = 01 \dots 40$ – виконуєте завдання для логічної функції «АБО-НЕ»;

$MN = 41 \dots 80$ – виконуєте завдання для логічної функції «І-НЕ»;

$MN = 41 \dots 80$ – виконуєте завдання для логічної функції «2І»;

$MN = 81 \dots 00$ – виконуєте завдання для логічної функції «І».

2. Вибір типу логічного елемента здійснюється також по цифрам M та N залікової книжки.

$MN = 01 \dots 20$ – ТТЛ транзисторно-транзисторна логіка (універсальна, стандартна);

$MN = 21 \dots 40$ – КМОН логіка з комплементарними МОН-транзисторами.

$MN = 41 \dots 60$ – ТТЛ;

$MN = 61 \dots 80$ – КМОН;

$MN = 81 \dots 00$ – ТТЛ.

3. Дані для побудови тимчасових діаграм:

Вхід $x_1 = \text{const}$ (лог. 1);

Вхід $x_2 =$ довільна серія П-імпульсів.

2.4. Контрольні запитання

1. Що таке багатоємітерний транзистор і де він використовується?
2. Які переваги та недоліки мікросхем ТТЛ?
3. Що таке МОН- або МДН-логіка?
4. Що таке КМОН-інвертор?
5. Які переваги та недоліки мікросхем ТТЛ?

2.5. Рекомендованная литература

1. Воробйова О.М. Промислова електроника : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 199-223.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 211-227.
3. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 137-152.
4. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 183-198.

Тема 3. ТРИГЕРИ

3.1. Ключові положення

Послідовнісні пристрої – це цифрові автомати з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини й елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача, що може запам'ятовувати один біт інформації (0 або 1), виконує тригер.

Тригери

Тригери – це елементи з двома стійкими станами. Тригери – це найбільш поширені функціональні елементи цифрових систем. Тригери застосовуються в лічильниках імпульсів, регістрах, запам'ятовувачах, розподільвачах сигналів, накопичувальних суматорах тощо. Тригери мають самостійне застосування, наприклад, у приладах керування, виконуючи важливі функції логічного перетворення та схову інформації.

Тригерами називають логічну схему з додатним зворотним зв'язком, яка має два стійких стани, і під дією зовнішніх сигналів переключається в будь-який стан та знаходиться в цьому стані необмежений час після припинення дії вхідних сигналів.

Тригер, що може запам'ятовувати один біт двійкової інформації (логічний нуль “0” або логічна одиниця “1”), носить назву двостанового запам'ятовувача. Як правило, двостанові тригери мають два виходи, за рівнем яких можна судити про стан тригера. Перший з виходів має назву *прямого* і позначається Q , другий – *інверсний* \bar{Q} .

Перший із станів тригера приймається за нульовий і носить назву *скинутого*. При цьому його вихід Q знаходиться під нульовим потенціалом, тобто $Q = 0$, а $\bar{Q} = 1$.

Другий стан тригера – одиничний, коли $Q = 1$, а $\bar{Q} = 0$ і його називають *встановленим*.

Переключення тригера в одиничний стан носить назву *встановлення*, а в стан 0 – *скидання* або *скиду*.

Узагальнена структурна схема тригера (рис. 3.1) складається з двох частин: елемента пам'яті – власне двостанового тригера T та схеми

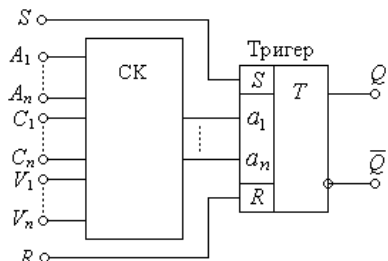


Рис. 3.1. Узагальнена структурна схема тригера

керування СК, на яку надходять зовнішні сигнали керування роботою схеми.

Входи A_1, \dots, A_n називають *інформаційними* або *логічними*. До них подають двійкову інформацію у вигляді логічних нуля або одиниці. За допомогою схеми управління вхідна інформація перетворюється в комбінації сигналів 00, 01, 10, 11, що діють безпосередньо на входах a_1, \dots, a_n власно тригера.

Схема тригера, крім логічних, може мати тактові входи *синхронізації* (C_1, \dots, C_n), *керуючі* входи (V_1, \dots, V_n), а також *настановні S-* та *R-*входи безпосереднього *встановлення* або *скидання* тригера.

Вхід *S* – вхід встановлення *одиночного* стану або *одиночний вхід*.

Вхід *R* – вхід встановлення *нульового* стану або *нульовий вхід*.

Тактові або синхронізуючі сигнали, які подаються до входів C_1, \dots, C_n , визначають у СК момент запису чи зчитування стану, тобто переключення тригера.

Класифікація тригерів може бути надана за багатьма ознаками: за способом схемної реалізації, за логікою функціонування, за способом запису інформації.

Згідно з ознакою за способом схемної *реалізації* визначають основні властивості тригерних приладів:

- тип використовуваного запам'ятовувача (статичний, динамічний, статично-динамічний);

- вид керуючого сигналу, з яким може працювати тригер: імпульсний (або сигнал обмеженої тривалості) і потенційний (або сигнал безмежної тривалості; імпульсно-потенційний);

- наявність або відсутність у структурній схемі вузлів, перетворюючих потенційні вхідні сигнали в імпульсні.

У відповідності з цими ознаками тригери поділяються на *статичні*, *квазістатичні*, *імпульсно-статичні*, *динамічні*.

Функціональна ознака, тобто логіка функціонування тригера визначає той чи інший тип тригера за видом характеристичного рівняння, що в загальному випадку записується як

$$Q^{n+1} = f(Q^n, A_1^n, A_2^n, \dots, A_n^n) \quad (3.1)$$

і відбиває стан виходу Q^{n+1} тригера на нинішній момент t_{n+1} в залежності від комбінації сигналів, діючих на входах тригера A_1, \dots, A_n , та його стану Q^n на попередній момент t_n . Назва тригера надається за значенням його інформаційних входів, яким замість символів A_1, \dots, A_n присвоюються символи D, J, K, T та інші.

В інтегральній схемотехніці, здебільшого, зустрічаються двовходові *RS-* і *JK-*тригери, універсальні – *D(RS)*, *JK(RS)*-тригери. Всі типи тригерів, яких досить багато, можуть бути побудовані в базисі різних логічних елементів.

За способом запису інформації розрізняють два типи тригерів: *асинхронні* та *синхронні*.

До асинхронних відносяться тригери, які мають лише інформаційні входи без входу синхронізації. Запис інформації в них здійснюється в будь-який час безпосередньо з надходженням інформаційного сигналу, який подається на інформаційний вхід тригера.

Відмінною особливістю синхронних тригерів є наявність додаткового тактового (синхронізуючого) входу C для подачі синхронізуючих імпульсів, які здійснюють запис інформації. У той самий час синхронні тригери поділяються на тригери одноктактової та багатотактової дії. В тригерах одноктактової дії спрацьовування відбувається з надходженням кожного синхроімпульсу. В тригерах багатотактової дії запис інформації закінчується наприкінці дії n -го тактового імпульсу.

У тригерах розрізняють входи *статичні* та *динамічні*.

На статичні входи подають потенційні цифрові сигнали для переключення тригера, тобто такі сигнали x , що визначені рівнями $x = 0$ або $x = 1$.

Динамічні входи керуються імпульсними сигналами, часова тривалість яких нескінченно мала, тобто при зміні потенційного сигналу з одиниці на нуль (зрізу), або навпаки, при зміні на вході сигналу з нуля на одиницю (фронт).

Параметри тригера можна поділити на *функціональні* та *схемотехнічні*.

До *функціональних* відносяться параметри, яким повинні задовольняти тригери при їхньому конкретному застосуванні. Це такі параметри:

- функціональний тип тригера;
- спосіб запису інформації в тригер;
- спосіб керування записом інформації в тригер;
- число тактових, інформаційних, дозволяючих та установлюючих входів;
- еквівалент навантаження тригера по тактовому входу;
- навантажувальна здатність тригера по виходу;
- швидкодія тригера;
- функціональна надійність тригера.

До *схемотехнічних* параметрів мають відношення такі параметри:

- апаратні витрати;
- потужність споживання.

Функціональний тип тригера припускає вибір готового або розробку нового тригера, характеристичне рівняння якого повинне задовольняти необхідним вимогам за логікою дії.

Способів запису інформації в тригер два: асинхронний або синхронний. При цьому треба враховувати, в якому режимі тригер може працювати. Наприклад, асинхронний тригер працює у синхронному режимі, або навпаки.

Спосіб керування записом інформації припускає вибір одного з типів тригерів, який необхідно мати за логікою праці в конкретному випадку.

Число тактових, інформаційних та інших входів визначається конкретикою його застосування. В загальному випадку тригер може мати безліч входів або в найпростішому випадку може бути лише один або два інформаційних входи.

Еквівалент навантаження тригера по тактовому входу n_c показує, яке число тригерів з боку тактового входу C може бути підключено до типового елемента без порушення його працездатності.

Для тригерів, які виконані на логічних елементах, параметр n_c визначається числом зв'язків S_c тактового входу C з рештою елементів тригера.

Навантажувальна здатність по виходу n_Q показує, яке число елементів можна підключити до виходу тригера без відхилення вихідної напруги від сталого логічного рівня, і визначається за формулою

$$n_Q = n_e - S_Q, \quad (3.2)$$

де n_e – навантажувальна здатність елемента, на якому виконаний тригер;

S_Q – число зв'язків виходу тригера.

Швидкодія тригера показує максимальну частоту проходження вхідних сигналів f_{\max} , за якої тригер повністю виконує свої функції. В загальному випадку f_{\max} будь-якого тригера визначається формулою

$$f_{\max} = \frac{1}{\tau_{i\min} - \tau_{п\min}} = \frac{1}{t_d}, \quad (3.3)$$

де $\tau_{i\min}$ – мінімальна тривалість сигналу, за якого працює тригер;

$\tau_{п\min}$ – мінімальна тривалість паузи між сигналами запису інформації;

$t_d = \tau_{i\min} - \tau_{п\min}$ – мінімальний часовий інтервал між двома вхідними імпульсами.

Вимога функціональної надійності припускає схемну реалізацію тригера, в якому немає небезпечних змагань фронтів імпульсів.

Число логічних елементів у тригері $n_{сп}$ зумовлює *потужність споживання тригера*.

Апаратні трати обраховують витрати за числом корпусів інтегральних мікросхем.

Схемотехнічні параметри допомагають виконувати оптимальний вибір тригера. Слід зауважити, що вибір типу тригера здійснюється за розглядом як схемотехнічних, так і функціональних параметрів. Тут слід звернути увагу на те, що в деяких випадках різні типи тригерів можуть виконувати одну й ту ж функцію. Наприклад, лічильну функцію виконують тригери D -; JK -типів та ін.

Асинхронний RS-тригер

Асинхронним RS-тригером називають логічний прилад з двома стійкими станами, що має два інформаційних входи S та R . Якщо на S -вхід поданий рівень логічної "1" ($S = 1$), а на R – логічний "0" ($R = 0$), тригер RS типу встановлюється, тобто набуває одиничний стан, за якого на виході Q потенціал досягає одиничного рівня напруги ($Q = 1$), а при $S = 0$ і $R = 1$ тригер набуває нульового стану, в якому $Q = 0$.

Тригер RS -типу має найпростішу структуру, яку умовно назвемо базовою. Реалізувати RS тригер можна на будь-яких логічних елементах бульового базису.

На рис. 3.2,*a* показана базова схема *RS*-тригера, яка реалізована на двох логічних елементах 2АБО-НЕ (стрілка Пірса), а на рис. 3.2,*б* – умовне позначення *RS*-тригера.

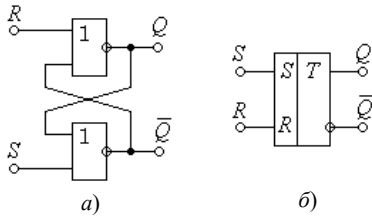


Рис. 3.2. Асинхронний *RS*-тригер:
а) схема; б) умовне позначення

Таблиця 3.1 – Стани *RS*-тригера

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Роботу *RS*-тригера віддзеркалює *таблиця переходів* (табл. 3.1), у якій Q^n – попередній стан тригера, а Q^{n+1} – теперішній стан тригера. Хрестиком X позначена незалежність від стану.

З таблиці видно наступне.

При обох нульових входах $R = 0$ та $S = 0$ тригер знаходиться в режимі зберігання, тобто він не спрацьовує, а зберігає попередню інформацію (попередній стан) Q^n : або $Q^n = 0$, або $Q^n = 1$. Якщо тригер був скинутий ($Q^n = 0$) до подачі сигналів $R = 0$; $S = 0$, то скинутим він і залишиться, тобто $Q^{n+1} = 0$. Коли ж тригер до подачі сигналів $R = 0$; $S = 0$ перебував у зведеному (одичинному) стані ($Q^n = 1$), то зведеним він і залишиться, тобто $Q^{n+1} = 1$.

Якщо на нульовий вхід R подати логічну “1” ($R = 1$), а на одиничний вхід S – логічний “0” ($S = 0$), то незалежно від попереднього стану тригер переходить в нульовий стан ($Q = 0$, $\bar{Q} = 1$). *Надалі стан тригера будемо визначати значенням тільки прямого виходу Q* . Дійсно, при $R = 1$ рівень прямого виходу становить $Q = 0$. Тоді до обох входів нижньої схеми АБО-НЕ (рис. 4.2,*a*) надходять логічні “0” ($Q = 0$ та $S = 0$), через що на виході $\bar{Q} = 1$. Так при $R = 1$; $S = 0$ тригер скидається, тобто в нього *записується* логічний “0” (нульовий стан).

Якщо на одиничний вхід S подати логічну “1” ($S = 1$), а на нульовий вхід R – логічний “0” ($R = 0$), то незалежно від попереднього стану тригер установлюється в одиничний стан $Q = 1$. Дійсно, при $S = 1$ рівень інверсного виходу становить $\bar{Q} = 0$. Тоді до обох входів верхньої схеми АБО-НЕ надходять логічні “0” ($\bar{Q} = 0$ та $R = 0$), через що на виході $Q = 1$. Так при $S = 1$; $R = 0$ тригер встановлюється, тобто в нього *записується* логічна “1” (одиничний стан).

Якщо ж на входах R і S діють одночасно одиничні сигнали ($S = 1$; $R = 1$), то стан тригера стає невизначеним, що позначено в табл. 4.1 значком “–”. За такої комбінації вхідних сигналів обидва елементи 2АБО-НЕ мають на своїх виходах рівні логічного “0”, що не визначає стан тригера. Така комбінація вхідних

сигналів для RS -тригера є забороненою і тому її треба уникати, щоб запобігти можливих збоїв у цифровій системі.

Базовий RS -тригер (рис. 3.2) належить до *асинхронних*, через що особливість його функціонування полягає в тому, що він змінює свій стан безпосередньо в момент подачі сигналів на входи S або R .

Принцип дії RS -тригера пояснюється часовою діаграмою роботи, яка показана на рис. 3.3.

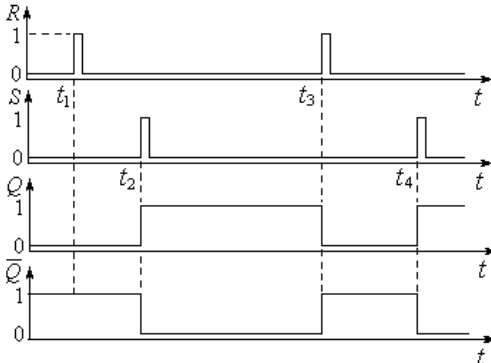


Рис. 3.3. Часова діаграма роботи асинхронного RS -тригера

Нехай до моменту t_1 тригер знаходиться у нульовому стані ($Q = 0; \bar{Q} = 1$).

У момент t_1 надходження одиничного імпульсу на R -вхід на вході S залишається нульовий рівень, через що згідно з табл. 4.1 тригер зберігає попередню інформацію, тобто $Q^{n+1} = 0$. Цей стан тригера не зміниться до того моменту t_2 , коли на вхід S надійде одиничний імпульс.

У момент t_2 надходження одиничного імпульсу на S -вхід на R -вході залишається нульовий

рівень, через що згідно з табл. 3.1 тригер встановлюється, тобто в нього записується логічна «1». Незважаючи на те, що імпульс на S -вході зник, тригер залишається зведеним. Так, він пам'ятає, що в нього записали логічну «1». Цей стан тригера може зберігатись, скільки завгодно довго, доки на R -вхід надійде одиничний імпульс у момент t_3 .

У момент t_3 надходження одиничного імпульсу на R -вхід на S -вході залишається нульовий рівень, через що згідно з табл. 3.1 тригер скидається, тобто в нього записується логічний «0». Незважаючи на те, що імпульс на R -вході зник, тригер залишається скинутим. Так він пам'ятає, що в нього записали логічний «0». Цей стан тригера може зберігатись, скільки завгодно довго, доки на S -вхід надійде черговий одиничний імпульс у момент t_4 і т.д.

З діаграми роботи (рис. 3.3) видно, чим зумовлена назва *асинхронний*, а саме: тригер спрацьовує безпосередньо у будь-які моменти надходження сигналів до настановних входів S та R .

RS -тригер може бути побудований також на логічних елементах 2І-НЕ (штрих Шеффера), якщо в кола R - і S -входів включити інвертори (рис. 3.4). Роботу тригера віддзеркалює таблиця переходів (табл. 3.2).

Порівнюючи таблиці переходів (табл. 3.1) та (табл. 3.2), переконуємось у тому, що тригер на елементах Шеффера (2І-НЕ) працює так само, як і тригер на стрілках Пірса (елементах 2АБО-НЕ).

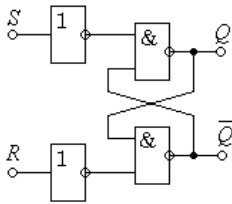


Рис. 3.4. Асинхронний RS -тригер на елементах 2I-HE

Таблиця 3.2

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

RS -тригер можна побудувати без інверторів у колах R та S на двох елементах Шеффера (2I-HE), якщо керувати тригер інверсними сигналами \bar{R} та \bar{S} . Такий тригер носить назву інверсного $\bar{R}\bar{S}$ -тригера (рис. 3.5).

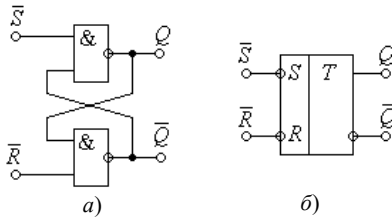


Рис. 3.5. Інверсний асинхронний $\bar{R}\bar{S}$ -тригер: а) схема; б) умовне позначення

Таблиця 3.3 – Стани інверсного асинхронного $\bar{R}\bar{S}$ -тригера

Q^n	\bar{R}	\bar{S}	Q^{n+1}
0	1	1	0
1	1	1	1
X	0	1	0
X	1	0	1
X	0	0	–

З таблиці переходів (табл. 3.3) інверсного RS -тригера видно, що активним сигналом для цієї схеми приймається низький рівень логічного “0”.

Інверсний RS -тригер змінює стан на протилежний в наступних випадках: встановлюється при $\bar{R} = 1$; $\bar{S} = 0$; скидається при $\bar{R} = 0$; $\bar{S} = 1$. Для інверсного тригера забороненим є стан, коли на обох інверсних входах діє рівень логічного “0”, тобто $\bar{R} = 0$; $\bar{S} = 0$.

У решті робота тригера з інверсними входами \bar{R} і \bar{S} така сама, як і тригера з прямими входами R і S .

Синхронний RS -тригер

Синхронний RS -тригер позначається як CRS -тригер. Він відрізняється від асинхронного тригера лише тим, що сигнали R і S тільки готують тригер до спрацьовування, а стан тригера змінюється лише тоді, коли надійде синхронізуючий сигнал C .

Синхронний CRS -тригер можна отримати з асинхронного, якщо доповнити його синхронізуючим входом C . CRS -тригер можна реалізувати, наприклад, на

базі RS -тригера на чотирьох логічних елементах 2І-НЕ, як показано на рис. 3.6,а.

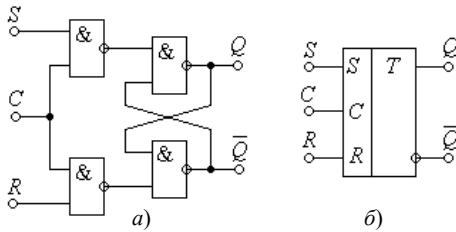


Рис. 3.6. \overline{CRS} -тригер:

а) схема; б) умовне позначення

Таблиця 3.4 – Стани синхронного RS -тригера

Q^n	R	S	C	Q^{n+1}
0	0	0	⌈	0
1	0	0	⌈	1
X	1	0	⌈	0
X	0	1	⌈	1
X	0	0	⌈	–

Умовне позначення \overline{CRS} -тригера (рис. 3.6,б) схоже на тригер RS типу (див. рис. 3.2,б). Уся різниця полягає в наявності додаткового входу синхронізації C . Робота тригера відзеркалює таблиця переходів (табл. 3.4).

Принцип дії \overline{CRS} -тригера полягає в тому, що стани входів R і S лише готують тригер до спрацьовування, а встановлення або скид в залежності від станів R - і S -входів здійснюється лише тоді, коли з'явиться імпульс “⌈” (фронт) на вході C .

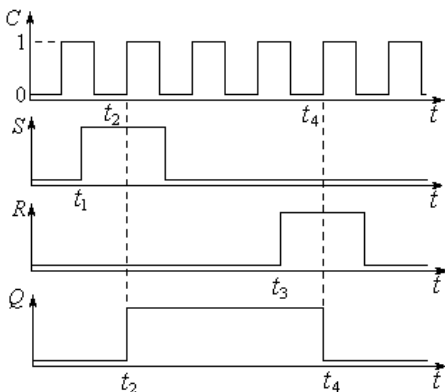


Рис. 3.7. Часова діаграма роботи \overline{CRS} -тригера

Отже, входи R і S цього тригера відіграють роль керуючих процесом спрацьовування тригера, а саме ж спрацьовування відбувається тільки з надходженням синхроімпульсу C . Часова діаграма роботи \overline{CRS} -тригера показана на рис. 3.7.

Нехай тригер знаходиться в нульовому стані. Якщо на вхід S надходить логічна “1” у будь-який час t_1 , то тригер у цей момент не спрацьовує. Він встановиться тільки при надходженні синхронізуючого імпульсу на вхід C у момент t_2 .

Аналогічна послідовність надходження і при скиді тригера. Незважаючи на те, що одиничний сигнал надходить до входу R у момент t_3 , тригер скинеться лише в момент t_4 , коли на синхровході C з'явиться фронт, тобто спочатку подається сигнал скиду R , а потім синхросигнал C скидає тригер.

Синхронний \overline{CRS} -тригер, схема якого показана на рис. 3.6, можна перетворити в асинхронний, якщо на синхровхід C подати одиничний потенціал на весь час роботи.

Синхронний D-тригер

D-тригер або тригер-затримка (названий так від англійського *Delay* – затримка) – це елементарний автомат, який має один інформаційний вхід *D* та вхід синхросигналу *C*. *D*-тригер є синхронним. *D*-вхід готує тригер до спрацьовування, а саме спрацьовування здійснюється фронтом синхросигналу *C*, тобто фронтом *C* тригер копіює стан входу *D*.

D-тригер, як і будь-який синхронний, має два види запуску: роздільний та лічильний.

У *роздільному* запуску *D*-вхід підключений до якогось зовнішнього пристрою, а в *лічильному* – до інверсного виходу саме цього тригера.

Наявність лише одного інформаційного входу *D* є перевагою цього тригера перед двовходовими, бо зменшується кількість міжкаскадних зв'язків.

Схема *D*-тригера та його умовне позначення показані на рис. 3.8.

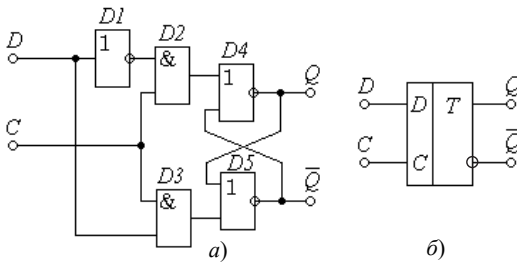


Рис. 3.8. *D*-тригер: а) схема; б) умовне позначення

Таблиця 3.5 –
Стани *D*-тригера

Q^n	<i>D</i>	<i>C</i>	Q^{n+1}
0	X	0	0
1	X	1	1
0	0	∟	0
1	0	∟	1
X	0	∟	0
X	1	∟	1

Тут організація *D*- та *C*-входів здійснюється відповідно на інверторі *D1* та схемах І *D2* та *D3*. Схеми АБО *D4* та *D5* утворюють *RS*-тригер.

Закон функціонування *D*-тригера наданий в таблиці переходів (табл. 3.5). З цієї таблиці видно, що і при $C = 0$, і при $C = 1$ тригер зберігає свій попередній стан, тобто зберігає інформацію.

Спрацьовує ж тригер тільки від фронту синхросигналу *C*, коли його рівень змінюється від 0 до 1 (“∟”).

D-тригер не сприймає зміну на вході *D* при постійних сигналах $C = 0$ та $C = 1$, а також при зрізі, коли синхросигнал *C* змінюється від 1 до 0.

У відсутності синхроімпульсів на вході *C* тригер перебуває у стані зберігання інформації Q^n і на зміну сигналу *D*-входу не реагує. Останнє зумовлює високу завадостійкість тригера за інформаційним входом *D*.

D-тригер у *роздільному* запуску працює наступним чином.

Нехай до моменту t_1 (рис. 3.9) тригер був скинутий ($Q^n = 0$). При $D = 0$ на виході інвертора *D1* (рис. 3.8) діє логічна одиниця, яка готує до спрацьовування схему І *D2*.

Якщо $C = 0$, то схеми I D2 та D3 заперті і можуть спрацьовувати лише в моменти t_1, t_2, t_3 і т.д., коли на C -вхід надійдуть фронти (рис. 3.9).

У момент t_1 з надходженням фронту C на виході D2 діє логічна "1", яка встановлює на виході D4 нуль ($Q = 0$).

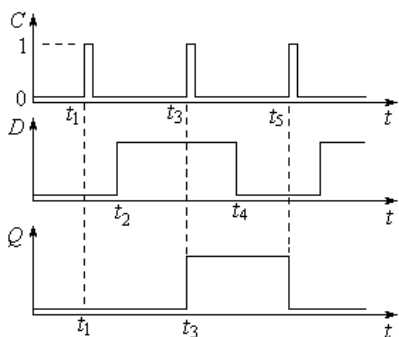


Рис. 3.9. Часова діаграма роботи D-тригера в роздільному запуску

Проте на входах і виході D3 нулі, через що стан D5 не змінюється. Отже $Q = 0$, а $\bar{Q} = 1$, тобто тригер перебуває в нульовому стані.

Так, інформаційний вхід $D = 0$ скидає тригер ($Q = 0$) тільки з надходженням фронту C . (У момент t_1 нульовий стан підтверджується).

Нехай в момент t_2 до входу D надійшов одиничний сигнал ($D = 1$).

Тригер на нього не реагує, бо в момент t_2 стан $C = 0$ запирає схеми I D2 та D3. На їхніх виходах нулі, які не змінюють станів D4, D5.

Проте при $D = 1$ схема D3 підготовлена до спрацьовування і в момент t_3 фронтом C на її виході встановлюється одиниця, яка схемою D5 забезпечує $Q = 0$. Тоді на обох входах D4 логічні «0», через що $Q = 1$. Отже при $D = 1$ з надходженням фронту C тригер переходить у стан $Q = 1$, а $\bar{Q} = 0$, тобто одиничний (встановлюється). Так інформаційний вхід $D = 1$ встановлює тригер ($Q = 1$) тільки з надходженням фронту C .

Таким чином, щоб записати в D-тригер логічний "0", треба до D-входу підвести нуль і подати на C-вхід фронт. Щоб записати логічну "1", слід до D-входу підвести одиницю і подати на C-вхід фронт.

Слід зауважити, що для роботи з D-тригером у роздільному запуску слід виконувати часові погодження надходження сигналів на його входи. Щоб копіювання стану входу D пройшло без помилок, необхідно установлювати рівні на вході D до надходження фронту (або зрізу) синхроімпульсу C.

Це означає, що всі зміни стану D-входу разом з перехідними процесами мають закінчитися за деякий час до приходу фронту (або зрізу) синхроімпульсу C. Цей час носить назву *часової підготовки*. Тому всі зміни рівнів на входах тригера можна починати не раніше закінчення цього часу.

Бувають випадки, коли необхідні D-тригери, які синхронізуються низьким рівнем, тобто встановлення та скид тригера виконується під час дії на синхровході C зрізу, тобто переходу синхронізуючого імпульсу на вході C з одиниці в нуль. Такий тригер має умовне позначення, яке показано на рис. 3.10, і носить назву *D-тригера зі зворотним динамічним входом*.

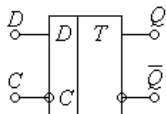


Рис. 3.10. D-тригер зі зворотним динамічним входом

Розглянемо лічильний запуск D -тригера.

У лічильному запуску D -тригер з кожним імпульсом на синхровході C змінює свій стан на протилежний.

Це здійснюється з'єднанням входу D з інверсним виходом \overline{Q} .

Схема D -тригера з лічильним запуском та часова діаграма його роботи показані на рис. 3.11.

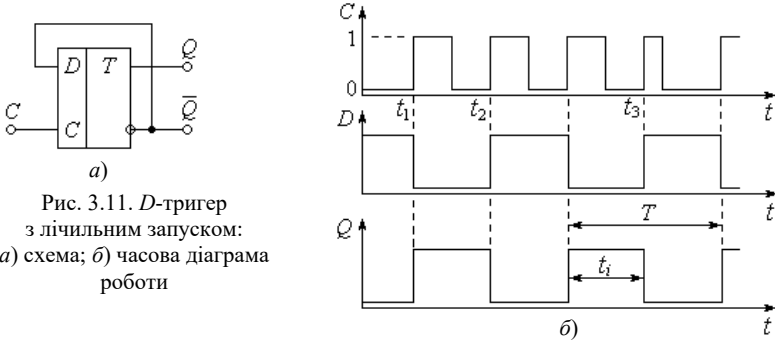


Рис. 3.11. D -тригер з лічильним запуском: а) схема; б) часова діаграма роботи

D -тригер з лічильним запуском працює наступним чином.

Нехай до моменту t_1 тригер перебував у нульовому стані ($Q = 0$, $\overline{Q} = 1$). Оскільки вхід D закорочений з інверсним виходом \overline{Q} , то в нульовому стані тригера $D = \overline{Q} = 1$, тобто стан входу D одиничний і підготовлює тригер до взведення. В момент t_1 фронтом C тригер зводиться ($Q = 1$, $\overline{Q} = 0$).

Починаючи з моменту t_1 тригер в одиничному стані, через що $D = 0$, тобто стан входу D нульовий і підготовлює тригер до скиду, який відбувається фронтом C у момент t_2 і т.д.

З діаграми роботи видно, що в лічильному запуску з кожним фронтом C стан тригера змінюється на протилежний.

Результатом роботи D -тригера з лічильним запуском є наступне:

- поділ частоти слідкування входних імпульсів C на два;
- забезпечення щільності вихідних імпульсів, яка дорівнює двом.

Щодо ділення частоти на два, то з діаграми роботи видно, що період вихідних імпульсів Q вдвічі більший за період входних імпульсів C .

Забезпечення ж щільності два пояснюється наступним.

Щільністю імпульсів є відношення їхнього періоду T до тривалості t_i :

$$N = \frac{T}{t_i}. \quad (3.4)$$

Як видно з діаграми, тривалість імпульсів t_i зберігається навіть тоді, коли щільність імпульсів C відрізняється від двох (момент t_3). Тому щільність два вихідних імпульсів тригера з лічильним запуском гарантована.

JK-тригер

JK-тригер має два інформаційні входи J і K та вхід синхросигналу C .

JK-тригер, як і CRS-тригер є синхронним, але має ту перевагу, що на відміну від CRS-тригера не має заборонених (непевних) станів. Ця перевага стала основою для побудови цілої низки синхронних тригерів в інтегральному виконанні.

Найбільшого практичного застосування в інтегральній схемотехніці дістали синхронні одноступеневі JK-тригери.

Одноступеневий синхронний JK-тригер будується за аналогією синхронного CRS-тригера.

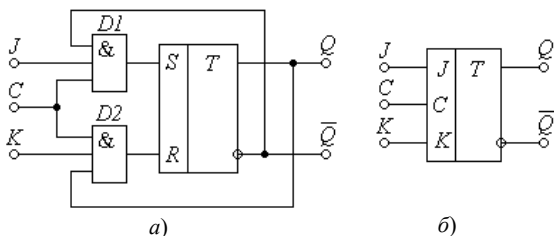


Рис. 3.12. JK-тригер:

а) схема; б) умовне позначення

Схема JK-тригера (рис. 3.12) побудована на RS-тригері і двох логічних схемах збігу з $D1$ та $D2$.

У початковому (нульовому) стані тригера ($Q = 0$; $\bar{Q} = 1$) з виходу \bar{Q} до входу $D1$ подається одиничний рівень, підготовлюючи саме тим установлення (взведення) тригера.

Тригер установиться, коли $J = 1$, $K = 0$ і до входу C надійде фронт “Г”.

У взведеному (одиничному) стані тригера ($Q = 1$; $\bar{Q} = 0$) з виходу Q одиничний рівень подається до входу $D2$, готуючи саме тим скид тригера. Тригер скинеться, коли $K = 1$, $J = 0$ і до входу C надійде фронт “Г”.

Роботу тригера видно з табл. 4.6 та часової діаграми роботи в роздільному запуску (рис. 3.13).

З табл. 3.6 видно, що одноступеневий JK-тригер спрацьовує лише за наявності фронту “Г” на вході синхронізації C . За відсутності синхроімпульсу, коли $C = 0$, входи J і K блокуються і тригер залишається в попередньому стані Q .

Комбінація сигналів на J - і K -входах визначає стан, в якому буде тригер після надходження фронту на вхід C .

Так, до моменту t_1 (рис. 3.13) тригер знаходиться в нульовому стані ($Q = 0$).

У момент t_1 комбінація $J = 1$; $K = 0$ підготовлює тригер до переходу в одиничний стан ($Q = 1$), але це відбудеться тільки в момент t_2 з надходженням фронту C .

У момент t_3 комбінація $J = 0$; $K = 1$ готує тригер до переходу в нульовий стан ($Q = 0$), який установиться фронтом C у момент t_4 .

Після моменту t_4 , коли на вході C немає фронтів, як би не змінювались сигнали на входах J і K (моменти t_5 ; t_6), тригер не спрацьовує.

Таблиця 3.6 – Стани
JK-тригера

n	J^n	K^n	C	Q^{n+1}
0	X	X	0	0
1	X	X	0	1
0	0	0	\uparrow	0
1	0	0	\uparrow	1
X	0	1	\uparrow	0
X	1	0	\uparrow	1
X	1	1	\uparrow	$\overline{Q^n}$

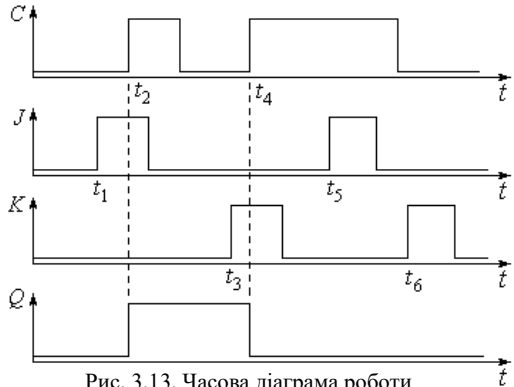


Рис. 3.13. Часова діаграма роботи
одноступеневого JK-тригера

З табл. 3.6 видно, що при $J = 1$ та $K = 1$ стан JK-тригера змінюється на протилежний з приходом кожного синхроімпульсу C , тобто здійснюється лічильний запуск. Отже, для здійснення лічильного запуску слід подати логічну одиницю одночасно на входи J і K ($J = 1$ і $K = 1$). У цьому випадку одноступеневий JK-тригер працює в лічильному запуску, здійснюючи поділ частоти на два. На базі одноступеневих синхронних JK-тригерів можна комутацією зовнішніх виводів будувати різні типи тригерів, наприклад, D-тригер (рис. 3.14).

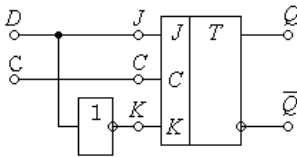


Рис. 3.14. D-тригер
на базі JK-тригера

MS-тригер

MS-тригер містить два каскадно з'єднанні RS-тригери: *основний* і *допоміжний*. Звідси назва MS (скорочено від англійських слів *master* – господар і *slave* – раб, невільник). Ці тригери працюють за принципом “ведучий – ведений” (рис. 3.15).

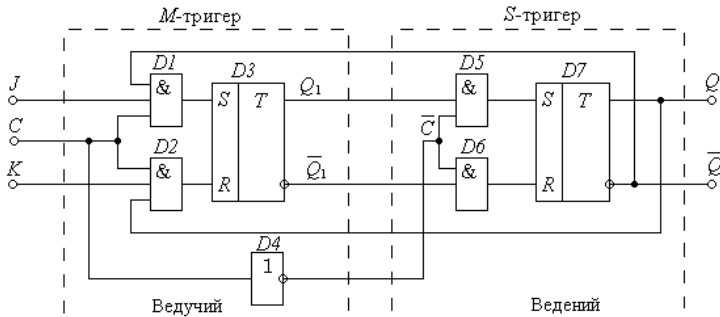


Рис. 3.15. MS-тригер

У MS -тригері для приймання (запису) і передавання (зчитування) інформації використовуються два фрагменти: і фронт, і зріз синхросигналу. Тригери цього типу ще називають тригерами з внутрішньою затримкою або двоступеневими синхронними тригерами.

Основною перевагою двоступневих синхронних тригерів перед одноступеневими є їхня підвищена завадостійкість.

Ця перевага досягається тим, що спрацювання MS -тригера в цілому відбувається двома етапами:

- при переході синхроімпульсу у стан $C = 1$ здійснюється запис інформації тільки в M -тригер відповідно станам входів J і K з одночасним блокуванням (запиранням) інформаційних входів S -тригера;
- при зворотному переході у стан $C = 0$ синхроімпульсу стан M -тригера записується в S -тригер з одночасним блокуванням (запиранням) інформаційних входів M -тригера.

Отже, на відміну від одноступеневого тригера, в якому запис інформації та її передавання збігаються, в двоступеневому тригері вони рознесені в часі, причому, під час запису інформації в один тригер блокуються інформаційні входи іншого, вилучаючи вплив завад.

Двоступеневий синхронний JK -тригер побудований на базі каскадного з'єднання двох одноступневих синхронних RS -тригерів та схеми блокування на логічному елементі $D4$ (рис. 3.15).

Перший тригер ($D1, D2, D3$) називається M , а другий – S ($D5, D6, D7$). Особливістю запуску S -тригера є те, що в його коло синхросигналу включений інвертор $D4$, який не припускає передачу стану тригера M в S під час запису. Наявність інвертора $D4$ забезпечує рознесення активних рівнів спрацювання M - і S -тригерів.

Так, для M -тригера активним сигналом запису інформації є $C = 1$, а для S -тригера – $\bar{C} = 1$, тобто $C = 0$.

Тоді стан M -тригера змінюється в момент переходу синхросигналу C з нуля в одиницю (фронтом імпульсу), а стан S -тригера – в момент переходу синхросигналу з одиниці в нуль (зрізом імпульсу). У цілому, таким чином, MS -тригер запускається зрізом.

В MS -тригері існує небезпека хибного спрацювання через так звані гонки між моментами запису в M - і S -тригери. Запобігання цьому недоліку здійснюється вибором порогів спрацювання інвертора $D4$ та елементів $D1$ і $D2$.

Співвідношення згаданих порогів ілюструє часова діаграма роботи тригера (рис. 3.16).

Тут:

$U_{1,2}$ – поріг спрацювання елементів $D1$ і $D2$;

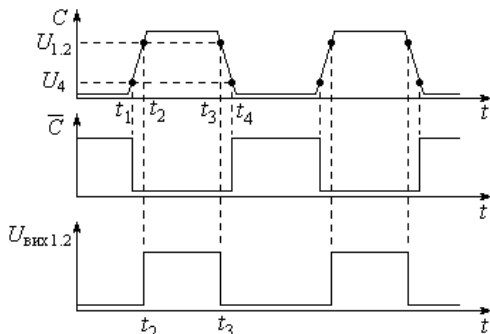


Рис. 3.16. Часова діаграма формування синхросигналів MS -тригера

U_4 – поріг спрацьовування інвертора $D4$;

$U_{\text{вих 1.2}}$ – вихідна напруга елементів або $D1$, або $D2$.

Спрацьовування MS -тригера без впливу завад вихідних кіл Q та \bar{Q} відбувається наступним чином.

Поріг U_4 спрацьовування інвертора $D4$ нижчий за поріг $U_{1.2}$ спрацьовування елементів $D1$ і $D2$, тобто $U_4 < U_{1.2}$. Тому на початку появи напруги синхроімпульсу C входи S і R тригера $D3$ закриті (заблоковані) елементами $D1$ і $D2$ і лишатимуться заблокованими, доки напруга C не перевищить поріг $U_{1.2}$.

Коли напруга C в момент t_1 досягне порогу U_4 , спрацьовує інвертор $D4$, через що синхроімпульс \bar{C} стає нульовим $\bar{C} = 0$. Тоді елементи $D5$ і $D6$ заблоковані і закривають входи S - і R -тригера $D7$. При $\bar{C} = 0$ стан S -тригера ні в якому разі змінитися не може.

В момент t_2 напруга C досягає порогу $U_{1.2}$ спрацьовування елементів $D1$ і $D2$, через що розблоковуються елементи $D1$ і $D2$ і на одному з їхніх виходів, в залежності від стану входів J і K , з'являється напруга $U_{\text{вих 1.2}}$, яка забезпечує спрацьовування M -тригера. При цьому S -тригер спрацювати не може, бо синхроімпульс $\bar{C} = 0$ блокує його входи.

В момент t_3 напруга $U_C < U_{1.2}$, через що блокуються входи M -тригера і тому його стан ні в якому разі змінитися не може.

В момент t_4 напруга U_C стає менша за поріг спрацьовування інвертора $D4$, через що його вихідна напруга стає одиничною ($\bar{C} = 0$), розблоковуючи входи S -тригера. Тоді стан M -тригера переписується в S -тригер.

Таким чином, запис в один з M - або S -тригерів відбувається лише тоді, коли другий заблокований. При цьому вихідні кола Q та \bar{Q} функціонально ізолювані від ведучого M -тригера, чим зумовлене підвищення завадостійкості.

Роботу двоступеневого синхронного JK -тригера або MS -тригера можна пояснити за допомогою часової діаграми роботи, яка показана на рис. 3.17.

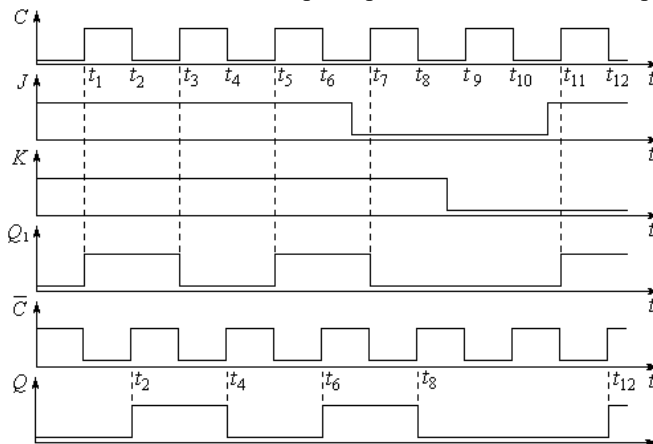


Рис. 3.17. Часова діаграма роботи MS -тригера

При $J = 1$; $K = 1$ в інтервалі моментів $t_1 \dots t_5$ тригер працює у лічильному запуску, аналогічно випадку одноступеневого JK -тригера (див. табл. 3.5). Різниця лише в тому, що в двоступеновому тригері зміна стану тригера в лічильному режимі відбувається за зрізом, а не за фронтом синхроімпульсів C (моменти t_2 ; t_4 , $t_6 \dots$).

Якщо, наприклад, $J = 0$ і $K = 1$ ($t_7 - t_8$), то тригер має перейти у стан $Q^{n+1} = 0$.

Це виконується в момент t_8 , коли синхросигнал на вході C переходить з одиниці в нуль, бо лише в цей момент відбувається зміна або збереження стану S -тригера під дією синхроімпульсу \bar{C} .

Запис інформації в M -тригер (тобто в MS -тригер) здійснюється в момент t_7 , коли синхросигнал C на вході MS -тригера переходить з нуля в одиницю, а зчитування – в момент t_8 , тобто на наступному такті періоду синхроімпульсів.

Якщо $J = 0$; $K = 0$ ($t_9 - t_{10}$), то тригер перебуває в режимі зберігання попереднього біта інформації.

Якщо на момент t_{11} стани входів $J = 1$; $K = 0$, то M -тригер переходить у стан 1, здійснюючи при цьому запис 1 в JK -тригер. В наступний такт t_{12} у стан 1 переходить S -тригер і при цьому на Q -виході MS -тригера установлюється рівень логічної "1", що відповідає процесу зчитування одиничної інформації з виходу MS -тригера.

Важливою перевагою двоступеневого JK -тригера є те, що інформаційні входи за період синхроімпульсів функціонально ізольовані від вихідних кіл. Така своєрідна властивість MS -тригера забезпечує стійке переключення тригера. Завдяки таким властивостям на двоступеневих JK -тригерах можна будувати завадостійкі цифрові пристрої.

Умовне позначення MS -тригера показано на рис. 3.18.

У мікросхемотехніці широке застосування має універсальний JK -тригер, що крім інформаційних J - та K -входів і входу синхронізації C , має також несинхронізовані входи S і R або \bar{S} і \bar{R} . Під час переключення тригера з одного стану в інший під дією сигналів на інформаційних входах J і K та синхронізуючому вході C , на входи S і R (\bar{S} і \bar{R}) слід подати пасивні рівні, тобто $S = 0$; $R = 0$ або $\bar{S} = 1$; $\bar{R} = 1$.

На базі двоступеневого JK -тригера можна будувати інші схеми тригерів шляхом комутації зовнішніх входів J , K , C , S та R .

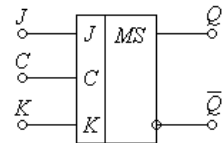


Рис. 3.18. Умовне позначення MS -тригера

Підвищення завадостійкості тригерів

Для підвищення завадостійкості тригерів захист необхідно не тільки по входах, а й по виходах. Це пояснюється тим, що виходи тригера через кола зворотного зв'язку зв'язані із входами.

Дійсно, якщо на лінії зв'язку, підключеної до виходу Q тригера (див. рис. 3.2,а), з'явиться одинична завада, то вона впливатиме і на вхід протилежного елемента тригера, що може викликати переключення усього тригера, як від звичайного вхідного сигналу.

Тому, якщо тригер будь-якого типу $D1$ (рис. 3.19) працює на лінію, де можливі завади, то його слід підключати до лінії через буфер $D2$, яким може бути RS -тригер.

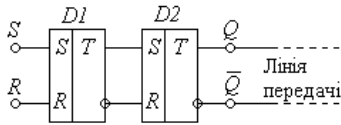


Рис. 3.19. Тригер $D1$ з буфером $D2$

Оскільки на входах буферного тригера завжди присутній або R -, або S -сигнал, то цей тригер не може запам'ятовувати заваду, яка діє на виході Q або \bar{Q} . Після кінця дії завади буферний тригер обов'язково повертається в попередній стан. При запусках будь-яких тригерів по входах R і S потрібно зауважити, що вони є *настановними* і тому мають пріоритет у своєму впливі на стан тригера при порівнянні з усіма іншими входами. Тобто входи R і S установлюють стан тригера в залежності від власних рівнів незалежно від сигналів, що діють у цей час на других входах, в тому числі і на синхровході C , коли він є. Отже входи R і S є *асинхронними*. Із закінченням дії асинхронного сигналу установлений ним стан тригера залишається до приходу фронту C -сигналу. За цим фронтом запускаються по C -входах тільки від занадто стрімких фронтів. Напруга ж завод тригера спрацює вже у відповідності з діючими рівнями на керуючих входах.

Переходячи до *синхронних* тригерів, слід зауважити, що вони, джерелом яких можуть бути контакти, тумблери, кнопки, реле, імпульсні сигнали різноманітних електронних схем, сигнали від інших цифрових приладів тощо, здебільшого відрізняється за своїми характеристиками від сигналів, які потрібні для запуску тригера. Це дає змогу шляхом формування сигналів зробити тригер нечутливим до завод.

Перш за все вхідний сигнал повинен мати полярність і амплітуду, які відповідають рівням сигналів означених елементів цифрового приладу. Ці умови легко виконати, якщо ввести відповідні подільники напруги або підсилювачі. Для взаємних переходів між типовими рівнями сигналів випускають спеціальні узгоджувачі.

Досить значними умовами є такі, що пред'являють вимоги до часових параметрів сигналів. Такими суттєвими вимогами є забезпечення *тривалості фронтів* вхідних сигналів та усунення впливу *дренькоту контактів*. Тут не обійти застосування формувачів.

Формувачі тривалості фронтів

Формувачі тривалості фронтів призначені для підвищення крутизни фронтів, тобто зменшення їхньої тривалості. Це необхідно, наприклад, для надійного запуску тригерів по входах синхронізації C , бо вхід C реагує на fronti лише тієї тривалості, яка не перевищує певного часу.

До тривалості фронтів критичні не тільки тригери, а й, наприклад, схеми збігу. Дійсно, якщо на двох входах схеми $2I$ діють відповідно два одиничні прямокутні імпульси з різними тривалостями фронтів, то на межі цих імпульсів

з'явиться непередбачений логічний нуль на час, який дорівнює згаданій різниці тривалості фронтів. Це явище називають *змаганням фронтів* або *гонками*.

Отже, в багатьох випадках треба зменшити тривалість фронтів (зрівів).

Взагалі, за цією низкою обставин крутизну фронтів вхідних імпульсів необхідно мати близькою до необхідної.

Для перетворення пологих фронтів на круті найчастіше використовують *тригер Шмітта*.

Тригер Шмітта – це несиметричний тригер, який є пороговим пристроєм. Він змінює свою вихідну напругу стрибком, коли вхідна напруга досягає заданого порогу. Тому він використовується для формування з вхідної напруги, яка змінюється повільно, прямокутних імпульсів вихідної напруги з крутими фронтами.

Умове позначення тригера Шмітта показано на рис. 3.20,а, а його типова передавальна характеристика $U_{\text{вих}} = f(U_{\text{вх}})$ – на рис. 3.20,б.

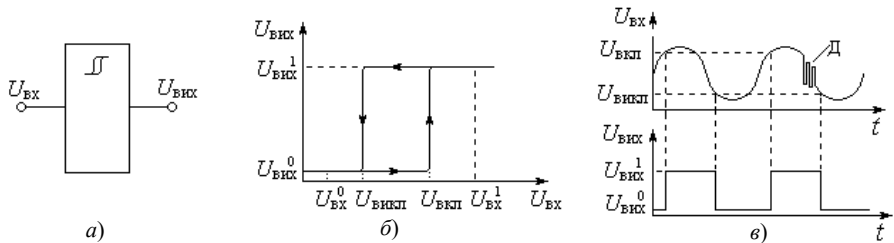


Рис. 3.20. Тригер Шмітта:

а) умове позначення; б) передавальна характеристика; в) діаграма роботи

Основною властивістю тригера Шмітта є наявність двох *рознесених* порогів: верхній поріг включення $U_{\text{вкл}}$ та нижній поріг виключення $U_{\text{викл}}$ (рис. 3.20,б; 3.20,в).

Коли вхідна напруга $U_{\text{вх}}$ перевищить верхній поріг $U_{\text{вкл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком підвищується до рівня логічної одиниці $U_{\text{вих}}^1$. Коли ж $U_{\text{вх}}$ стане менше нижнього порогу $U_{\text{викл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком зменшиться від $U_{\text{вих}}^1$ до рівня логічного нуля $U_{\text{вих}}^0$.

Отже, прямокутна передавальна характеристика тригера Шмітта дозволяє використовувати його за формувач прямокутної вихідної напруги з повільної вхідної.

Слід зауважити, що переходи тригера з одного сталого стану в інший відбуваються за різних значень вхідної напруги $U_{\text{вкл}}$ та $U_{\text{викл}}$. Різниця напруг порогів включення та виключення називається *гістерезисом переключення*.

Гістерезис захищає тригер від дренькоти Д (рис. 3.20,в), а також від повторного спрацьовування, коли на вхідний сигнал накладені височастотні шуми (в межах гістерезису).

Щодо схеми тригера Шмітта, то одна з них показана на рис. 3.21.

Вона побудована на операційному підсилювачі А, який охоплений від'ємним зворотним зв'язком (33) (резистори R3, R1) для отримання необхідного вихідного рівня, та додатним ЗЗ (резистори R4, R2) для забезпечення гістерезису. Пороги включення та виключення устанавлюється напругою $U_{\text{вкл}}$.

Тригер працює наступним чином.

У початковому стані при $U_{\text{вх}} = 0$ вихідна напруга теж нульова $U_{\text{вих}} = U_{\text{вих}}^0$ (див. рис. 3.20,б).

З повільним підвищенням вхідної напруги $U_{\text{вх}}$ тригер залишається в цьому нульовому стані доки $U_{\text{вх}}$ не перевищить поріг включення $U_{\text{вкл}}$.

При $U_{\text{вх}} > U_{\text{вкл}}$ вихідна напруга, завдяки додатному ЗЗ, стрибком змінюється на одиничну $U_{\text{вих}} = U_{\text{вих}}^1$, формуючи *крутий фронт*, не зважаючи на *повільну* вхідну напругу. Подальше збільшення $U_{\text{вх}}$ не впливає на вихідну напругу, залишаючи її одиничною $U_{\text{вих}}^1$. Вихідна одинична напруга $U_{\text{вих}}^1$ підвищує потенціал неінвертуючого входу $U_{\text{н}}$. Це підвищення $U_{\text{н}}$ підтримує тригер в одиничному стані навіть коли $U_{\text{вх}}$ стане менше за поріг $U_{\text{вкл}}$, бо при підвищеному $U_{\text{н}}$ зменшується поріг до $U_{\text{вкл}}$.

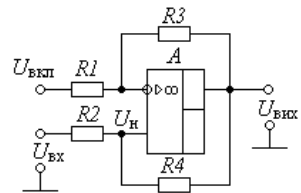


Рис. 3.21. Тригер Шмітта

Коли вхідна напруга зменшиться до $U_{\text{вх}} < U_{\text{вкл}}$, то вихідна напруга стрибком змінюється на нульову, збільшуючи при цьому поріг включення до $U_{\text{вкл}}$.

Таким чином, тригер Шмітта формує прямокутну вихідну напругу з повільної вхідної. Ширина петлі гістерезису $U_{\text{викл}} - U_{\text{вкл}}$ визначається співвідношенням опорів R_4, R_2 . Збільшення R_4 звужує петлю гістерезису $U_{\text{викл}} - U_{\text{вкл}}$.

Щодо застосування тригера Шмітта, то воно досить широке, але зводиться до необхідності формування прямокутної напруги, придушення дренькоти та завад у межах гістерезису.

Одним із прикладів застосування тригера Шмітта є запуск будь-якого тригера по синхровходу від зовнішнього джерела сигналу (рис. 3.22).

Сигнал від джерела U_c на трасі набуває завад і втрачає крутизни фронтів, через що надійний запуск послідовнісного пристрою по синхровходу стає неможливим. Тому слід мати за правило, що будь-який послідовнісний пристрій має запускатися по синхровходу тільки

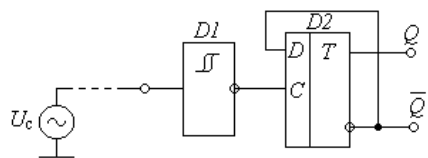


Рис. 3.22. Запуск D-тригера від віддаленого джерела сигналу

від місцевого тригера. Таким місцевим тригером і є тригер Шмітта $D1$, через який запускається по синхровходу C тригер $D2$ (рис. 3.22).

Тригери Шмітта використовують і в інших схемах для надійної роботи приладів, особливо при надходженні вхідного сигналу від зовнішніх приладів, або від іншої плати.

Методи боротьби з дренькотом контактів

Дренькотом контактів називають процес вібрації контактів, які викликають удари при вмиканні. Після першого доторкання контакт розмикається, після чого знов замикається і так декілька разів.

Дренькіт спостерігається у будь-яких контактах: реле, тумблерів, кнопок. Частота комутації дренькоту лежить в межах 100 Гц ... 10 кГц. Якщо пристрій запускається від згаданих контактів, то на такі повторювання він може реагувати як на окремі вхідні сигнали. Наприклад, додаток одиниці у лічильник може повторюватися декілька разів.

Ліквідувати вплив дренькоту контактів можна за допомогою тригера Шмітта (рис. 3.22).

Якщо контакт перекидаючий, то доцільно використати $\overline{R}\overline{S}$ -тригер (рис. 3.23).

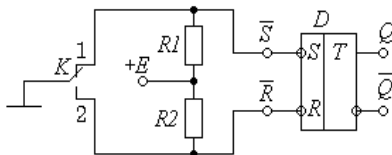


Рис. 3.23. Схема захисту від дренькоту контактів

При спрацьовуванні реле рухомий контакт K починає рухатися від контакту 1 до контакту 2. За час цього руху на обох входах тригера резистори $R1$ та $R2$ підтримують високі рівні, через що тригер зберігає попередній стан, в якому він був до початку руху контакту.

При першому доторканні точки 2 тригер, інерційність якого на порядок менша за контакт, перекидається в новий стан. Відрив контакту при дренькоті не перекидає тригер назад, бо потенціали входів \overline{S} і \overline{R} залишаються одиничними, зберігаючи стан тригера.

3.2. Завдання для розрахунку

1. Дайте умовне позначення заданого тригера.
2. Дайте схему заданого тригера на логічних елементах.
3. Побудуйте в масштабі часову діаграму роботи заданого тригера.

3.3. Вихідні дані

Вибір тригера здійснюється за цифрами M та N залікової книжки:

1) якщо $MN = 00 \dots 25$, необхідно виконати завдання для D-тригера з рахунковим запуском;

2) якщо $MN = 26 \dots 50$ необхідно виконати завдання для D-тригера з роздільним запуском;

3) якщо $MN = 51 \dots 75$, необхідно виконати завдання синхронного RS-тригера;

4) якщо $MN = 76 \dots 00$, необхідно виконати завдання асинхронного RS-тригера.

3.4. Контрольні запитання

1. Поясніть, що є тригером.
2. Який тригер називається синхронним, а який – асинхронним.
3. Які входи тригера є інформаційними та керуючими.
4. Що являє собою RS-тригер, та на яких елементах його можна реалізувати.
5. Що являє собою D-тригер, та на яких елементах його можна реалізувати.
6. Поясніть роздільний запуск D-тригера.
7. Поясніть запуск D-тригера.

3.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 324-343.

2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 239-250.

3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 228-237.

4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 176-187.

Тема 4. ПОСЛІДОВНІ ПРИСТРОЇ. ЛІЧИЛЬНИКИ ІМПУЛЬСІВ. ДВІЙКОВІ ЛІЧИЛЬНИКИ

4.1. Ключові положення

Лічильники

Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку лічильником є пристрій, який може переходити з одного стану в інші під дією вхідних імпульсів, які належить лічити. З надходженням вхідних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку. Тому, якщо лічильник має лічити до 10 імпульсів, то він повинен мати 10 різноманітних станів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

Лічильники з кінцевим станом називають лічильниками з насиченням. Такі лічильники, наприклад, зручні для ініціалізації деяких подій після надходження на вхід лічильника певної кількості імпульсів. Природно, у таких лічильниках потрібно передбачити засіб скидання лічильника, якщо лічильник повинен працювати багаторазово. Якщо в лічильниках циклічно повторюється послідовність станів, то такі пристрої називають лічильниками за модулем. Термін модуль використовується лише для позначення числа різних станів у лічильній послідовності.

Параметри лічильників

Число станів є основним параметром лічильника і носить назву *коефіцієнта перерахунку* K_n або *модуля лічби* M .

Найпростішим лічильником є тригер з лічильним входом, який виконує лічбу імпульсів за модулем $M = 2$, тобто він має два стани 0 та 1, які змінюються по чергово під дією вхідних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (4.1)$$

де m – число двійкових розрядів лічильника.

Отже, модуль лічби визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його *місткістю*

$$K = M - 1, \quad (4.2)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

Класифікація лічильників

Різноманітність типів лічильників дозволяє будувати їхні схеми на синхронних та асинхронних тригерах *RS*-; *D*-; *JK*-типів, на регістрах, на кінцевих схемах тощо. У цифрових пристроях використовується значне число типів лічильників, які відрізняються цілою низкою параметрів. Найбільш значного поширення набули лічильники, що побудовані на синхронних тригерах різних типів.

Для заданого модуля лічби M кількість тригерів, яка необхідна для побудови лічильників, визначається з умови найближчого більшого цілого числа формулою

$$m = \text{int} [\log_2 M]. \quad (4.3)$$

Залежно від модуля лічби M лічильники бувають *двійковими* (за модулем $M = 2^m$) і з *довільним модулем* ($M \neq 2^m$), в яких число m округлене до більшого цілого числа. За цією класифікаційною ознакою лічильники можуть працювати у двійковому та іншому кодах. Назву лічильникам, як правило, дають за видом кодування його станів, тобто за кодом, в якому працює лічильник.

За цільовим призначенням лічильники поділяють на три типи:

- підсумовувальні лічильники;
- віднімальні лічильники;
- реверсивні лічильники.

У *підсумовувальному лічильнику* з кожним вхідним імпульсом число, що містить лічильник, *зростає на одиницю*, а у *віднімальному* – *зменшується на одиницю*. Отже, підсумовувальний лічильник виконує прямий, а віднімальний – обернений підрахунок числа одиниць, що надійшли до його входу.

Реверсивні лічильники працюють в режимі або прямої, або оберненої лічби.

За способом установалення стану розрядів лічильники підрозділяються на *синхронні* та *асинхронні*.

До синхронних лічильників відносяться такі, в яких процес установалення будь-якого нового стану розрядів виконується одночасно в усіх розрядах лічильника. В асинхронних лічильниках стани розрядів установаються не одночасно, а послідовно.

За способом утворення сигналів переносу, лічильники поділяються на три групи: з *послідовним*, *паралельним* та *послідовно-паралельним переносом*. За цією ознакою лічильники відрізняються способами подачі вхідних імпульсів.

У послідовному лічильнику вхідні імпульси подаються тільки на вхід першого тригера, а у паралельному – одночасно на синхровходи тригерів усіх розрядів. Різновидом паралельних лічильників є кільцеві лічильники, що будуються на базі регістрів зсуву.

Послідовно-паралельні лічильники будують за принципом послідовного з'єднання кількох паралельних лічильників.

Одним з основних часових параметрів лічильника є роздільна здатність та час реєстрації. Ці параметри характеризують швидкодію лічильників.

Роздільна здатність лічильників – це мінімальний період надходження вхідних імпульсів, за якого забезпечується надійна робота лічильника.

Час реєстрації – це максимальний часовий інтервал між моментами закінчення подачі вхідного імпульсу та моментом установалення числа на виходах розрядів лічильника.

Послідовні двійкові лічильники

Послідовні лічильники будуються, як правило, на базі декількох тригерів, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з'єднання тригерів виконується таким чином, що вихід тригера i -го розряду підключається безпосередньо до лічильного входу наступного тригера $i + 1$.

Послідовні лічильники відносяться до класу асинхронних, бо стани розрядів в таких пристроях установаються послідовно після приходу чергового фронту чи зрізу синхроімпульсу C . Послідовні лічильники будуються на базі D - або JK -тригерів.

На рис. 4.1 показана схема послідовного підсумовувального лічильника, розрядні тригери якого виконані на базі синхронних D -тригерів, працюючих у лічильному режимі.

Тут C – лічильний вхід; R – вхід скиду лічильника;
 P – вихід переповнення лічильника.

Лічильний режим роботи тригерів забезпечується з'єднанням інформаційного D -входу з інверсним виходом власного тригера.

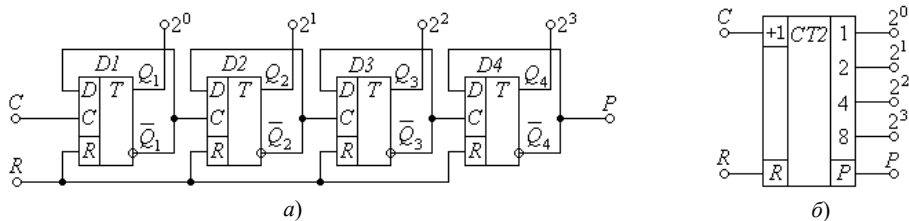


Рис. 4.1. Послідовний підсумовувальний лічильник: а) схема; б) умовне позначення

Тригери, що входять до складу лічильників, повинні мати входи скиду R , які з'єднуються між собою, й утворюють вхід скиду лічильника R . Перед початком роботи або за необхідності на вхід скиду подається одиничний імпульс, за допомогою якого всі тригери скидаються, після чого треба забезпечити наявність на цьому вході нульового потенціалу.

Кожний тригер лічильника є двійковим розрядом, який характеризується так званим *ваговим* коефіцієнтом. Ваговий коефіцієнт визначається як 2^{n-1} , де n – порядковий номер тригера (розряду).

Так, перший тригер має ваговий коефіцієнт $2^0 = 1$, другий тригер з ваговим коефіцієнтом $2^1 = 2$, третій тригер має ваговий коефіцієнт $2^2 = 4$, четвертий $2^3 = 8$ і т.д.

Вхід C першого тригера носить назву *підсумовувального входу* лічильника. Принцип дії підсумовувального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 4.2 за умови, що наступний тригер запускається фронтом інверсного виходу \bar{Q} попереднього тригера.

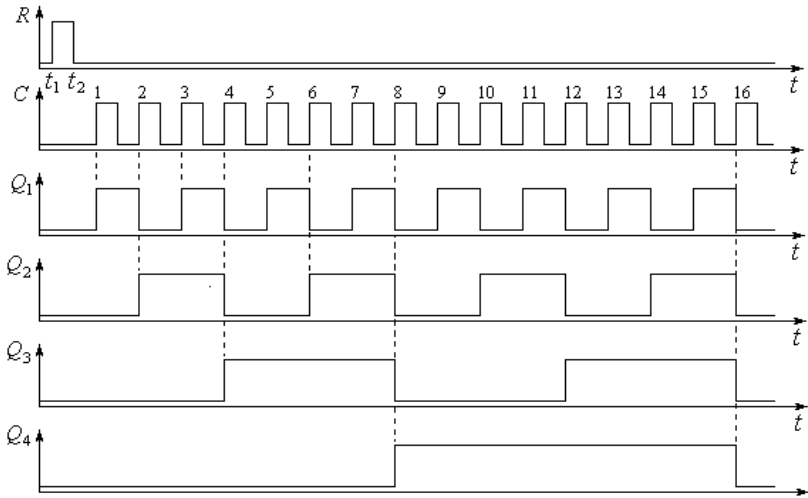


Рис. 4.2. Часова діаграма роботи 4-розрядного підсумовувального лічильника

Підсумовувальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подаванням на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються. Вміст лічильника дорівнює нулю (табл. 4.1).

Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер $D1$, який є самим молодшим розрядом лічильника. На його виході Q_1 з'являється 1 , а потенціал на інверсному виході \bar{Q}_1 змінюється з 1 на 0 , тобто формується зріз. Тому стан тригера $D2$ не змінюється, бо тригер спрацьовує від фронту. На виходах лічильника Q_1, Q_2, Q_3 і Q_4 фіксується число 0001 .

Другий вхідний імпульс своїм фронтом 2 скидає тригер $D1$. На виході \overline{Q}_1 тригера $D1$ з'являється 1, яка є так званим імпульсом переносу. При цьому фронт \overline{Q}_1 встановлює тригер $D2$. На виходах лічильника з'являється число 0010.

Фронт третього імпульсу встановлює перший тригер $D1$, не змінюючи при цьому одиничний стан другого тригера $D2$, тобто вміст лічильника дорівнює числу 0011.

З приходом четвертого імпульсу переходять у стан нуля обидва тригери $D1$ та $D2$, а виникаючий при цьому імпульс переносу \overline{Q}_2 встановлює тригер $D3$. Отже на виходах лічильника з'явиться число 0100.

Заповнення розрядів лічильника з кожним імпульсом буде продовжуватися доти, поки лічильник не відрахує максимальне число 1111 на п'ятнадцятому імпульсі, що надходить на вхід C першого тригера $D1$. При цьому всі тригери є встановленими.

Шістнадцятий імпульс переводить своїм фронтом тригер $D1$ у нульовий стан, а імпульси переносу \overline{Q}_1 , \overline{Q}_2 та \overline{Q}_3 скидають тригери $D2$, $D3$ та $D4$, повертаючи лічильник у початковий стан 0000.

При поверненні тригера $D4$ у нульовий стан 16-м імпульсом на виході \overline{Q}_4 виникає так званий імпульс переповнення P , який призначений для встановлення наступного розряду $D5$ (якщо він є) число 10000, тобто 16, що фіксується лічильником.

З надходженням кожного вхідного імпульсу на підсумовувальний вхід лічильника його вміст збільшується на одиницю, як показано в таблиці станів (табл. 4.1). За напрямом лічби лічильники бувають як *підсумовувальними*, так і *віднімальними*. Зміна напрямку лічби на протилежний називається *реверсом* лічби.

На рис. 4.3 показана схема віднімального 4-розрядного двійкового лічильника.

Порівнюючи рис. 4.2 з 4.3, переконуємося в тому, що схема віднімального лічильника (рис. 4.26) відрізняється від підсумовувального лише тим, що запуск наступного тригера здійснюється не з інверсного виходу \overline{Q}_i попереднього тригера, а з прямого Q_i .

Таблиця 4.1. Стани 4-розрядного підсумовувального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

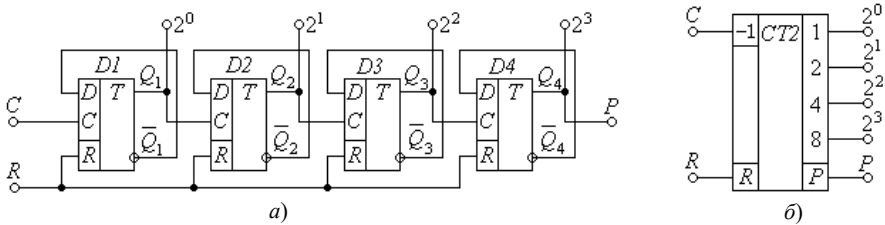


Рис. 4.3. Послідовний піднімальний лічильник:
а) схема; б) умовне позначення

Принцип дії віднімального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 4.4.

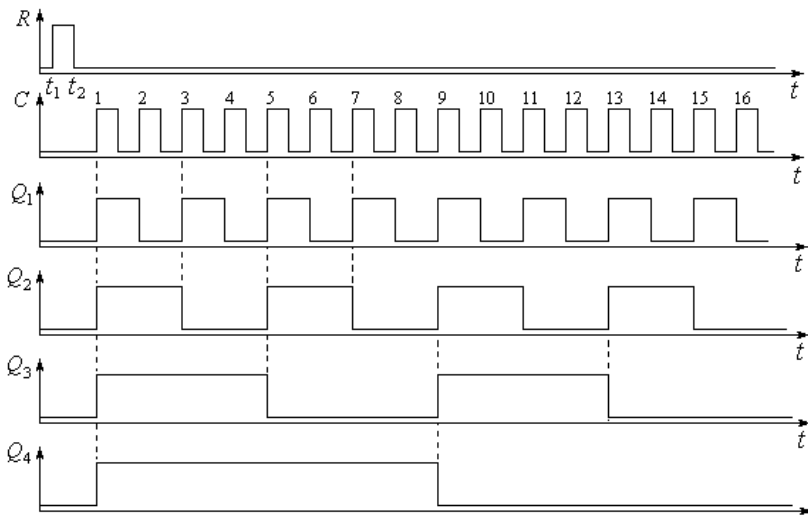


Рис. 4.4. Часова діаграма роботи 4-розрядного віднімального лічильника

Віднімальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються.

Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C.

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер D1, який є самим молодшим розрядом лічильника.

З встановленням тригера $D1$ на його прямому виході Q_1 з'являється фронт, яким встановлюється наступний тригер $D2$. Одночасно фронт виходу Q_2 встановлює тригер $D3$ і в цей самий момент надходження першого імпульсу фронтом Q_3 встановлюється четвертий тригер $D4$.

Таким чином, у віднімальному лічильнику з надходженням першого імпульсу встановлюються всі тригери (у нашому випадку – чотири). Вміст лічильника становить 1111, тобто 15. Так, з урахуванням позичення двійкового числа 10000 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Походження числа 15 пояснюється математичною дією $16 - 1 = 15$, де 16 – число, яке позичене з наступного розряду з ваговим коефіцієнтом $2^5 = 16$.

Далі з кожним черговим вхідним імпульсом вміст лічильника зменшується на одиницю (табл. 4.2).

Другий вхідний імпульс C скине перший тригер $D1$. Інші тригери не спрацьовують, бо на виході Q_1 зріз. Вміст лічильника становить 1110, тобто $16 - 2 = 14$.

Вхідний імпульс 3 встановить тригер $D1$, фронт виходу Q_1 якого скине тригер $D2$. Інші тригери не спрацьовують, бо на виході Q_2 зріз. У лічильнику залишиться число 1101, тобто $16 - 3 = 13$ і т.д.

З кожним вхідним імпульсом C вміст лічильника зменшується на одиницю.

Після 15 імпульсу C у лічильнику залишиться встановлений лише перший тригер $D1$. Вміст лічильника становить 0001.

16 імпульс скидає тригер $D1$, після чого лічильник обнуляється, а імпульс переповнення P передається в наступний розряд.

Для підвищення завадостійкості послідовних лічильників їх виконують на двотактових тригерах MS -типів.

На рис. 4.5 показана схема підсумовувального лічильника за модулем 16, який побудований на чотирьох двоступеневих JK -тригерах, тобто на тригерах MS -типу.

Таблиця 4.2. Стани 4-розрядного віднімального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

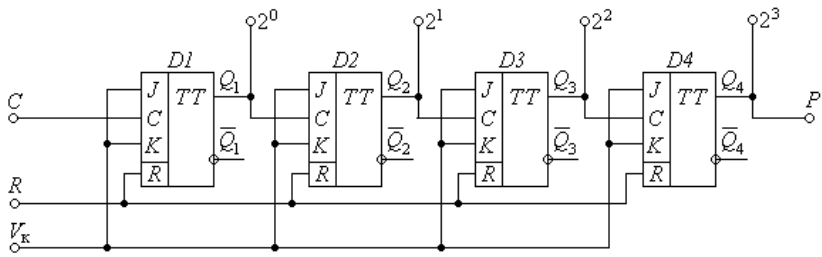


Рис. 4.5. Підсумовувальний лічильник на *JK*-тригерах

Тут C – вхід лічильника; R – вхід скиду лічильника;

V_k – керуючий вхід; P – вихід переповнення.

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника запертий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає.

Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба лічити.

Роботу лічильника пояснюють часова діаграма (рис. 4.6) і таблиця станів (див. табл. 4.1).

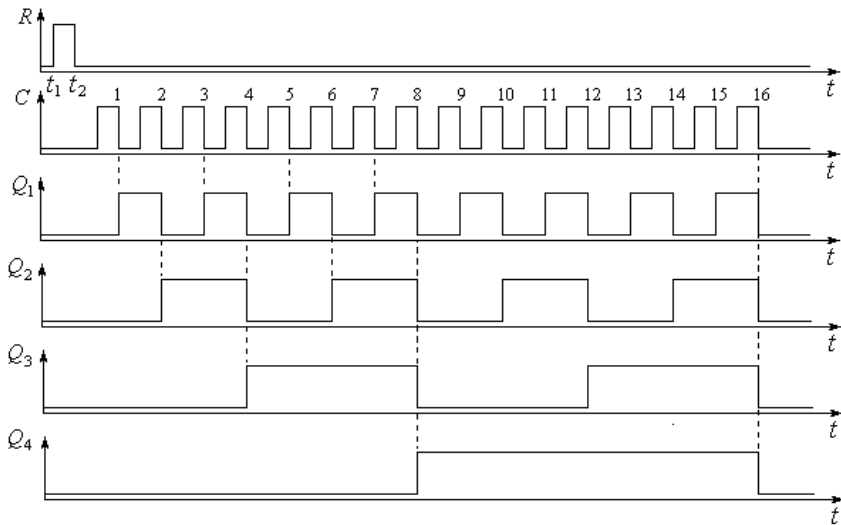


Рис. 4.6. Часова діаграма роботи підсумовувального лічильника на *JK*-тригерах

Діаграма роботи побудована за тих умов, що двоступеневий тригер *MS*-типу встановлюється в одиничний стан у два етапи, тобто з приходом фронту синхронімпльсу встановлюється його ведучий тригер *M*, а від зрізу того ж імпульсу спрацьовує ведений тригер *S*. Тому в цілому *MS*-тригер запускається від зрізу.

Лічильник працює наступним чином.

У нульовий стан, в якому $Q_1 = 0, Q_2 = 0, Q_3 = 0, Q_4 = 0$ лічильник скидається по входу R (інтервал моментів $t_1 \dots t_2$).

З приходом фронту імпульсу C вихідний рівень Q_1 тригера $D1$ не змінюється, бо фронтом запускається (встановлюється або скидається) лише ведучий тригер M , а ведений тригер S спрацьовує теж від фронту, але він надходить лише після закінчення імпульсу, тобто в цілому перший тригер, як і решта тригерів, запускається від зрізу. Тому надалі розглядається запуск будь-якого тригера від зрізу на його вході C .

Після закінчення першого імпульсу, тобто з надходженням його зрізу 1, на виході $Q_1 = 1$, тобто фронт. Тому тригер $D2$ залишається в попередньому стані. Вміст лічильника становить 0001, тобто 1. Так фіксується надходження на вхід лічильника одного імпульсу.

З надходженням імпульсу 2 зрізом C скидається перший тригер $D1$. На виході Q_1 є зріз, через що встановлюється тригер $D2$. Вміст лічильника становить 0010, тобто 2. Так фіксується надходження на вхід лічильника двох імпульсів і т.д. З кожним зрізом на вході C лічильника його вміст збільшується на одиницю.

Після надходження зрізу 15 встановлені всі тригери. Вміст лічильника дорівнює 1111, тобто 15.

Зріз 16 скидає перший тригер $D1$. На виході Q_1 зріз, через що скидається тригер $D2$. Зрізом Q_2 скидається тригер $D3$, а виходом Q_3 скидається тригер $D4$. Так 16 імпульс скидає всі чотири тригери і через вихід Q_4 передає одиницю P до наступного розряду $2^5 = 16$. З урахуванням розряду 2^5 число в лічильнику дорівнює 10000, тобто 16. Якщо тригера п'ятого розряду немає, то число в лічильнику після 16 імпульсу становить 0000. Так фіксується надходження на вхід лічильника 16 імпульсів.

Послідовні віднімальні лічильники будуються за такими самими схемами, але при з'єднанні розрядів використовуються інверсні виходи попередніх тригерів (рис. 4.7).

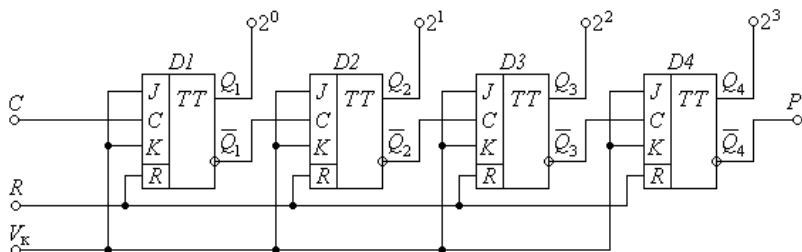


Рис. 4.7. Віднімальний лічильник на JK -тригерах

За такої комутації виходи імпульси переносу від розряду до розряду будуть утворюватися при переході відповідального тригера зі стану 0 у стан 1.

Роботу віднімального послідовного лічильника ілюструють часова діаграма, яка показана на рис. 4.8, та таблиця станів (див. табл. 4.1).

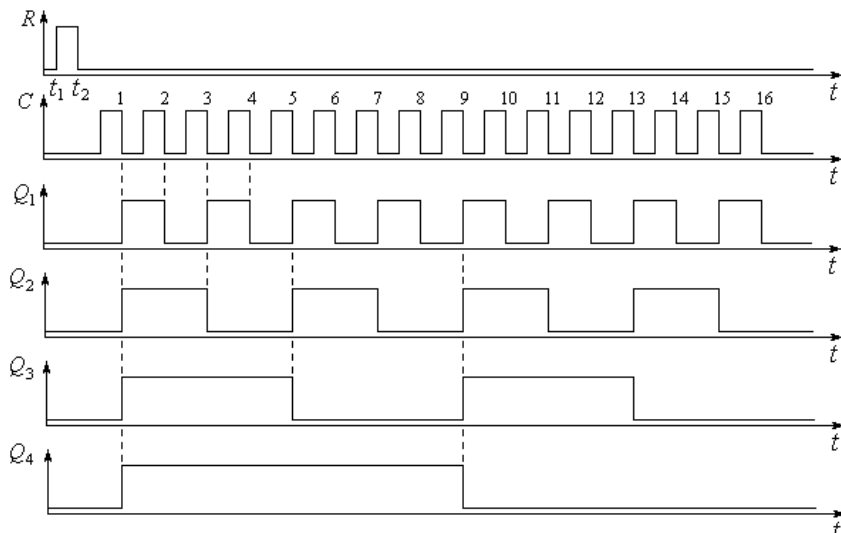


Рис. 4.8. Часова діаграма роботи віднімального лічильника на JK-тригерах

Початковий стан віднімального лічильника визначається вихідним числом 0000, яке забезпечується скидом лічильника в нульовий стан по входу R в інтервалі моментів $t_1 \dots t_2$.

З приходом першого імпульсу на вхід C лічильника встановлюється перший тригер $D1$. На його виході $Q_1 = 1$, тобто фронт. Тоді на виході \bar{Q}_1 зріз, яким встановлюється другий тригер $D2$.

При цьому зрізом \bar{Q}_2 встановлюється третій тригер $D3$, а зрізом \bar{Q}_3 встановлюється четвертий тригер $D4$.

Таким чином, після надходження першого імпульсу на вхід C віднімального лічильника встановлюються всі його тригери. При цьому всі прямі виходи тригерів, Q_1, Q_2, Q_3, Q_4 будуть одиничними.

Так, з урахуванням позички 16 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Другий імпульс на вході C скине перший тригер $D1$, на інверсному виході \bar{Q}_1 якого створюється фронт, яким другий тригер $D2$ не запускається. Тому всі тригери, крім першого, залишаються в одиничному стані: $Q_1 = 0; Q_2 = 1; Q_3 = 1; Q_4 = 1$. Так виконується операція віднімання двійкових чисел $1111 - 0001 = 1110$, тобто $16 - 2 = 14$ і т.д.

З кожним вхідним імпульсом вміст лічильника зменшується на одиницю, тобто здійснюється віднімання.

Після п'ятнадцятого імпульсу стан лічильника буде $Q_1 = 1$; $Q_2 = 0$; $Q_3 = 0$; $Q_4 = 0$ і вміст лічильника дорівнюватиме 0001.

Шістнадцятий імпульс скидає перший тригер $D1$, повертаючи лічильник у початковий стан: $Q_1 = 0$; $Q_2 = 0$; $Q_3 = 0$; $Q_4 = 0$.

Таким чином, на виходах віднімального лічильника буде фіксуватися число в оберненому коді, як показано в таблиці станів (табл. 4.1).

Якщо треба відзначити максимальне число станів, то використовується назва лічильника за модулем $M = 2^4 = 16$.

4.2. Завдання для розрахунку

1. Розробіть схему двійкового чотирирозрядного лічильника на D-тригерах.
2. Дайте часову діаграму роботи лічильника.
3. Дайте таблицю станів розрядів лічильника.
4. Наведіть умовне позначення лічильника та вкажіть потенціали лог. 1 та лог. 0 на його входах, якщо на вхід +1 або -1 надходить кількість імпульсів, що дорівнює M , де M – передостання цифра номера залікової книжки.

4.3. Вихідні дані

1. Якщо остання цифра номера залікової книжки N *парна*, то розробляється підсумовуючий лічильник (0-парна цифра).

2. Якщо остання цифра номера залікової книжки N *непарна*, то розробляється віднімальний лічильник.

4.4. Контрольні запитання

1. Що називається модулем рахунку.
2. Як визначити кількість розрядів лічильника.
3. Який лічильник називається підсумовуючим.
4. Який лічильник називається віднімальним.
5. Який лічильник називається реверсивним.
6. Поясніть роботу сумирного лічильника на D-тригерах.
7. Поясніть роботу лічильника на D-тригерах.
8. У режимі якого запуску використовуються D-тригери для розробки лічильників.

4.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 243-253.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 268-275.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 247-266.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 195-208.

Тема 5. ПОСЛІДОВНІ ПРИСТРОЇ. ЛІЧІЛЬНИКИ ІМПУЛЬСІВ. ДВІЙКОВО-ДЕСЯТКОВІ ЛІЧІЛЬНИКИ

5.1. Ключові положення

Десяткові лічильники

Десяткові лічильники використовуються частіше у тих випадках, коли з машиною спілкується людина, бо людина звикла до десяткової системи числення.

Десятковий лічильник з модулем $M = 10$ має чотири двійкові розряди і при появі на його виходах числа $1010_2 = 10_{10}$ він скидається в нуль.

Такий лічильник має невикористані надлишкові стани. Дійсно, для двійкового чотирирозрядного лічильника $M = 2^4 = 16$. Тоді число надлишкових станів визначається як $n = 16 - 10 = 6$.

Щоб позбутися цих надлишкових для десяткового лічильника станів, застосовують зворотні зв'язки між виходами останнього тригера лічильника і входами тригерів тих розрядів, які у двійковому коді складають число надлишкових станів, тобто у нашому прикладі $n = 6_{10} = 0110_2$. Отже, сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого і третього розрядів. У синхронних лічильниках такий принцип побудови внутрішніх зв'язків називається *блокуванням переносу*.

На рис. 5.1 показана схема асинхронного (послідовного) двійково-десяткового підсумовувального лічильника, який побудований на синхронних *JK*-тригерах.

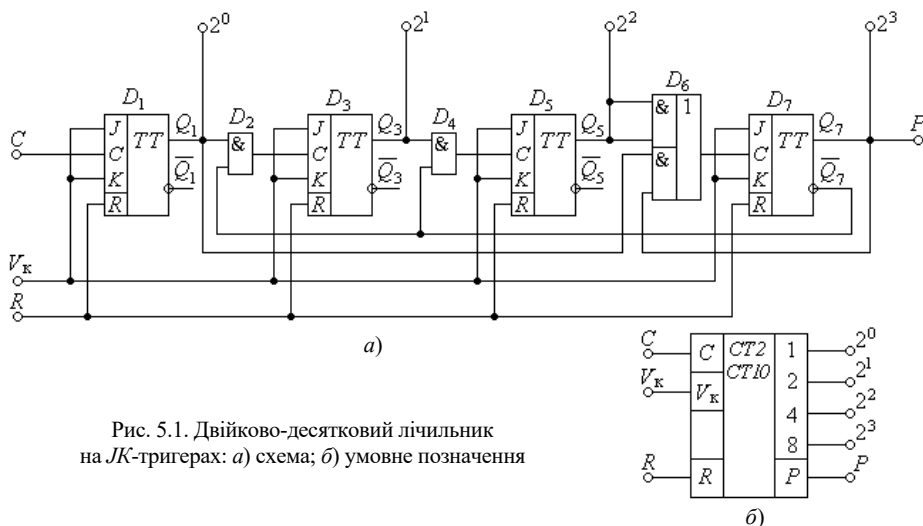


Рис. 5.1. Двійково-десятковий лічильник на *JK*-тригерах: а) схема; б) умовне позначення

Тут зворотний зв'язок здійснюють логічні елементи $D2$, $D4$, $D6$. Елементи $D2$ та $D4$ забороняють встановлення тригерів $D3$ та $D5$ після восьмого імпульсу, а $D6$ забороняє встановлення тригера $D7$ до восьмого імпульсу.

Як видно з часової діаграми (рис. 5.2) і таблиці станів (табл. 5.1), підрахунок числа імпульсів до восьмого включно виконується в двійковому коді: 0000, 0001, 0010, ..., 1000.

Дійсно, доки тригер старшого розряду $D7$ знаходиться у нульовому стані, на його виході $Q_7 = 1$. Це дає дозвіл на проходження імпульсів через логічні схеми $2I$ $D2$ та $D4$ з тригерів $D1$ та $D3$ відповідно на входи C тригерів $D3$ та $D5$.

Після надходження восьмого імпульсу повертаються в нульовий стан тригери перших трьох розрядів $D1$, $D3$ та $D5$ і встановлюється тригер $D7$.

При встановленому тригері $D7$ спрацьовування логічних елементів $D2$ та $D4$ заборонене подачею з виходу Q_7 логічного нуля, але з'являється дозвіл на спрацьовування нижнього логічного елемента $2I$ -АБО $D6$.

Після дев'ятого імпульсу встановлюється тригер $D1$, який готує до проходу імпульсу скиду через схему $D6$ на тригер $D7$.

Десятий лічильний імпульс скидає перший тригер $D1$, який скидає тригер $D7$ у нульовий стан. При цьому тригери $D3$ і $D5$ свій стан не змінюють і таким чином усі тригери лічильника знаходяться в нульовому стані.

Імпульс переповнення лічильника з'являється після кожного десятого вхідного синхро-імпульсу.

З приходом одинадцятого імпульсу лічильник починає працювати з початку. Роботу послідовного підсумовувального двійково-десятькового лічильника можна пояснити за допомогою станів тригерів (табл. 5.1).

У схемах лічильників передбачено вхід скидання R , завдяки якому можна скинути усі тригери в нульовий стан.

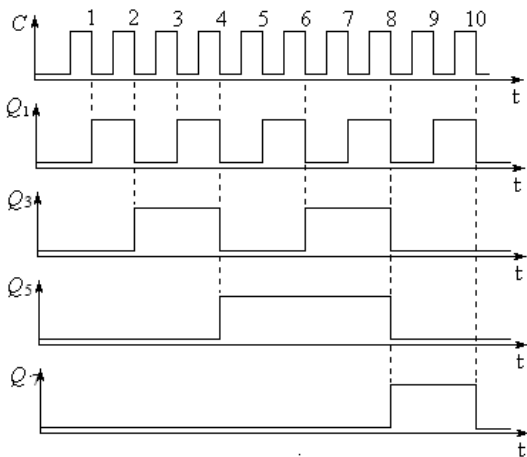


Рис. 5.2. Часова діаграма двійково-десятькового лічильника

Таблиця 5.1. Стани тригерів двійково-десятькового лічильника

Число вхідних імпульсів	Виходи				Число в лічильнику
	Q_7	Q_5	Q_3	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

Збільшення розрядності лічильників. Подільники частоти

На практиці часто виникає необхідність використання модуля лічби понад 64. Це необхідно для лічильників великої місткості та дільників частоти з великим коефіцієнтом ділення.

Дійсно, лічильник з модулем лічби M одночасно є подільником частоти з таким же коефіцієнтом ділення M тому, що на виході останнього тригера лічильника сигнал буде мати частоту в M разів меншу за вхідну.

Проте промисловість випускає мікросхеми різноманітних лічильників, але з обмеженим модулем лічби. Їхній максимальний модуль лічби не перевищує $M = 64$.

Для збільшення модуля лічби стандартні лічильники з'єднують каскадно.

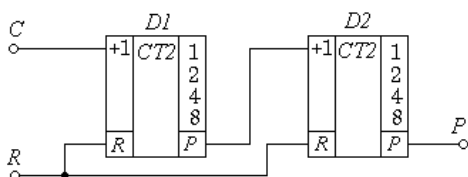


Рис. 5.3. Каскадне з'єднання лічильників

Для каскадного з'єднання двох або більшого числа лічильників треба вибирати такі стандартні мікросхеми, які мають виходи переповнення P .

Коли на вхід лічильника надійде кількість імпульсів, яка дорівнює M , то на виході P з'являється імпульс переповнення.

який передається в наступний лічильник. Так модуль лічби n каскадно з'єднаних лічильників дорівнює M^n .

На рис. 5.3 наведено каскадне з'єднання двох лічильників $D1$ та $D2$ з модулем лічби $M = 16$ кожного. Спільний модуль лічби становить $M_c = M^2 = 16^2 = 256$.

Схема працює наступним чином.

На 15-му імпульсі, що подається на вхід C першого лічильника $D1$, в ньому буде число 1111.

16-й імпульс повертає всі розряди $D1$ до нульового стану і формує імпульс переповнення на виході P , який використовується як вхідний імпульс другого лічильника $D2$. У лічильнику $D2$ буде число $1111 + 0001 = 10000_2 = 16_{10}$.

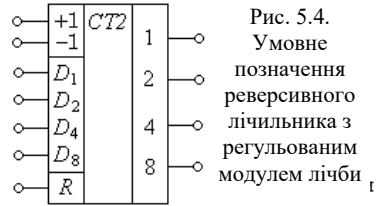
Таким чином, вхідний синхроімпульс для спрацьовування другого лічильника виникає з кожним 16-им вхідним імпульсом.

Каскадне з'єднання також може бути подільником частоти. При цьому метою є не тільки збільшення модуля лічби. Наприклад, в цифрових годинниках основним елементом є подільник частоти на 60.

Для реалізації такого подільника потрібно послідовно з'єднати лічильник за модулем 10 та лічильник за модулем 6. Так виникає потреба в лічильниках з довільним модулем лічби.

Для цього випускаються стандартні інтегральні схеми лічильників, які мають входи D_n установлювання необхідного модуля лічби (коефіцієнта ділення). Умовне позначення таких лічильників показано на рис. 5.4.

Установлюючи на входах $D1, D2, D3, D4$ двійкове число, можна одержувати модуль лічби лічильника (коефіцієнта ділення подільника частоти) від 2 до 16 з дискретністю в одиницю. Щодо серійних подільників частоти, то вони мають лише лічильний вхід та вихід переносу без виводів виходів тригерів лічильника.



5.2. Завдання для розрахунку

1. Визначте потрібну кількість двійкових лічильників для підрахунку заданого числа імпульсів.
2. Розробіть схему декадного з'єднання двійкових лічильників.
3. Вкажіть значення вихідних сигналів (лог. 0 або лог. 1) на умовному позначенні кожного лічильника у схемі при вступі на вхід (+1) першого лічильника заданого числа імпульсів.
4. Вкажіть на вході (+1) кожного лічильника у схемі кількість імпульсів, що надходять на цей вхід, при подачі на вхід першого лічильника заданого числа імпульсів.

5.3. Вихідні дані

1. Кількість імпульсів, що надходять на вхід лічильника, що розробляється, визначається за формулою: $N = 50 \cdot M + N$.

5.4. Контрольні запитання

1. Чому дорівнює модуль рахунку в десятковому лічильнику?
2. Яка кількість трьох тригерів необхідна для повного десяткового лічильника.
3. Як зробити збільшення розрядності лічильників.
4. Чому при каскадному з'єднанні лічильників використовуються лише однакові лічильники.
5. У якому разі формується імпульс переповнення на відповідному виході лічильника.

5.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 253-255; С. 263-264.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 278-279.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 258-275.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 205-206.

Тема 6. ПОСЛІДОВНІСНІ ПРИСТРОЇ. РЕГІСТРИ

6.1. Ключові положення

Класифікація регістрів

Регістри називаються послідовнісні пристрої, які виконують функцію приймання, запам'ятовування і передавання інформації. Інформація в регістрі зберігається за видом числа (слова), зображеного комбінацією сигналів 0 та 1. Кожному розряду числа, що записане в регістр, відповідає свій розряд, побудований, на базі тригерів *RS*-, *D*- або *JK*- типу.

На регістрах можна виконувати операції перетворення інформації з одного виду на інший, наприклад, послідовного коду на паралельний. Регістри можуть використовуватися для виконання деяких логічних операцій, наприклад, логічне порозрядне множення або ділення.

Основною класифікаційною відзнакою, за якою відрізняють регістри, є спосіб запису і зчитування двійкової інформації. За цією відзнакою розрізняють три типи регістрів: послідовні, паралельні та паралельно-послідовні.

У *послідовних регістрах* запис і зчитування інформації здійснюються послідовно за часом, тобто по чергово. Вони можуть мати як послідовні виходи, так і паралельні. Інформація записується шляхом послідовного зсуву числа синхроімпульсами. Тому регістри послідовного типу носять назву *регістрів зсуву*.

У *паралельних регістрах*, які мають паралельні входи та виходи, запис інформації виконуються одночасно в усіх розрядах за один такт керування. Такі регістри називають *регістрами пам'яті*.

Паралельно-послідовні регістри мають або паралельний вхід та послідовний вихід, або послідовний вхід та паралельний вихід. У перших регістрах інформація записується одночасно по паралельних входах, а зчитується по чергово, в других – записується по чергово, а зчитується паралельно. Паралельно-послідовні регістри можуть бути як регістрами зсуву, так і регістрами пам'яті.

За способом приймання та передавання інформації послідовні, паралельні та послідовно-паралельні регістри поділяються на чотири типи:

- регістри типу *SISO* – з послідовним входом та послідовним виходом;
- регістри типу *SIPO* – з послідовним входом та паралельним виходом;
- регістри типу *PISO* – з паралельним входом та послідовним виходом;
- регістри типу *PIPO* – з паралельними входом і виходом.

Найбільш універсальними є регістри, які мають у своєму складі разом послідовні і паралельні входи й виходи. Такі регістри називаються регістрами з *послідовно-паралельним прийманням* інформації та *послідовно-паралельним передаванням*.

Послідовні регістри

Послідовні регістри, або регістри зсуву, призначені для виконання операцій зсуву двійкової інформації під дією зовнішніх синхроімпульсів.

Основною класифікаційною відзнакою регістрів зсуву є спосіб керування зсувом числа. Ця відзнака припускає поділ регістрів зсуву за числом тактових синхроімпульсів, необхідних для виконання операції зсуву інформації на один розряд.

Бувають регістри зсуву одноктактової та багатотактової дій. Особливість перших полягає в тому, що зсув числа на один розряд виконується за допомогою одного синхроімпульсу. У багатотактних регістрах зсув числа на один розряд здійснюється, як мінімум, за два імпульси зсуву.

У свою чергу обидва види регістрів класифікуються за трьома ознаками: видом електричного зв'язку між розрядами, напрямом зсуву та способом приймання і передавання інформації.

За *видом електричного зв'язку* між розрядами послідовні регістри поділяються на *однопровідні*, *двопровідні* та регістри зі *змішаним типом зв'язків*. Однопровідні регістри будуються на тригерах *D*-типу, двопровідні – на *RS*- або *JK*-тригерах, а треті – на сумісно використаних тригерах *RS*- і *D*- або *JK*- і *D*- типів.

За напрямом зсуву регістри відрізняються за трьома ознаками:

- регістри, що виконують зсув числа від молодших до старших розрядів називаються *регістрами зсуву вправо*;
- регістри, що виконують зсув числа від старших до молодших розрядів називаються *регістрами зсуву вліво*;
- регістри, що виконують зсув як вправо, так і вліво – *реверсивні регістри зсуву*.

Основне призначення регістрів послідовної дії – це зсув інформації, яка подається на вхід у двійковому коді. В якості таких регістрів можна використовувати типи *SISO* та *SIPO*, тобто регістри з послідовними входами.

На рис. 6.1 наведені схема та умовне позначення чотирирозрядного одноктактового регістра зсуву вправо на *D*-тригерах.

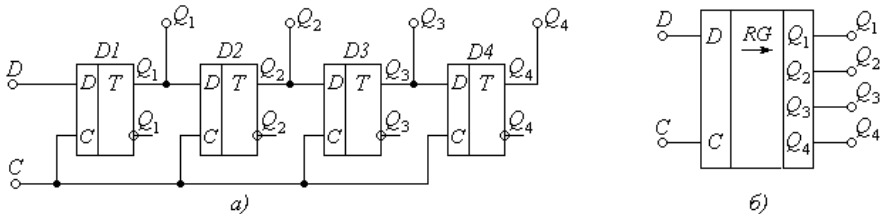


Рис. 6.1. Одноктактовий регістр зсуву вправо: а) схема; б) умовне позначення

Регістр має один інформаційний вхід D , на який надходить інформація у вигляді послідовності імпульсів, і тактовий вхід C , на який подаються синхронізуючі імпульси.

Регістр зсуву вправо працює наступним чином.

На паралельних виходах регістра $Q_1 \dots Q_4$ інформація з'являється одночасно, а на послідовному виході, яким є Q_4 , тільки по черзі по одному біту.

Перший тригер $D1$ відповідає за молодший розряд кожного слова інформації, а $D4$ – за старший, якщо вважати, що інформація надходить, починаючи з молодшого розряду.

З надходженням черги синхронізуючих імпульсів одночасно на тактові входи C усіх D -тригерів з кожним фронтом C вихід кожного наступного тригера набуватиме стану попереднього тригера.

Регістр, що має чотири тригера або чотири розряди, може прийняти інформацію, яка складається з чотирьох бітів.

Принцип дії регістра зсуву вправо ілюструє часова діаграма його роботи (рис. 6.2).

Для записування і зчитування інформації у даному регістрі потрібно мати чотири такти синхроімпульсів (за числом розрядів регістра).

Зчитування інформації з регістра, яка після припинення подавання тактових імпульсів зберігатиметься на його виходах Q_1, Q_2, Q_3 , і Q_4 , можна виконати в паралельному коді одночасно з чотирьох означених виходів або в послідовному коді, з виходу останнього тригера $D4$.

Нехай на момент t_1 на інформаційний вхід D регістра надійшла одиниця. Вона підготує до зведення тільки тригер 1-го молодшого розряду $D1$. Входи D тригерів $D2, D3$ і $D4$ залишаються під нульовими потенціалами.

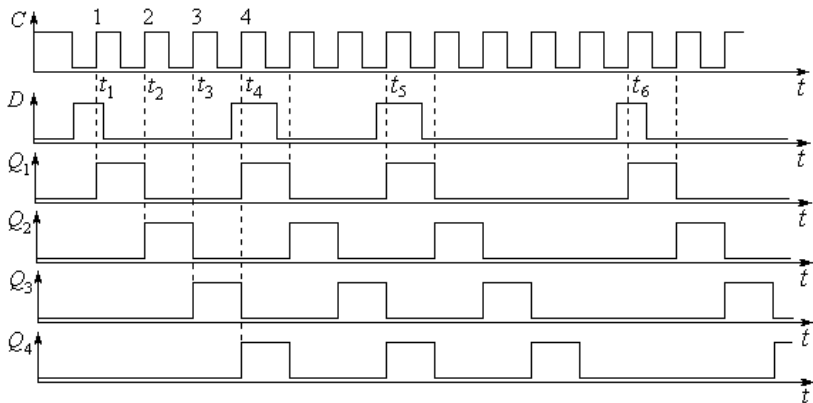


Рис. 6.2. Часова діаграма роботи регістра зсуву вправо

Фронт 1-го синхроімпульсу C в момент t_1 зводить тригер $D1$ і на його виході буде $Q_1 = 1$. Ця інформація передається до входу D тригера $D2$ і одиничний потенціал на вході D готує $D2$ до зведення.

2-й синхроімпульс в момент t_2 зводить тригер $D2$ і змінює потенціал на його виході Q_2 з нуля на одиницю.

З приходом 3-го синхроімпульсу в момент t_3 на виході Q_3 з'являється рівень логічної одиниці.

4-й синхроімпульс в момент t_4 зводить тригер $D4$ і на його виході Q_4 потенціал дорівнює 1.

Таким чином, у розглянутій схемі (див. рис. 6.1) здійснюється зсув логічної одиниці, що надійшла на вхід D регістра з молодшого розряду до старшого, тобто вправо.

Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли до входу D регістра в моменти t_4, t_5, t_6 . Такий регістр носить назву регістра зсуву *вправо*.

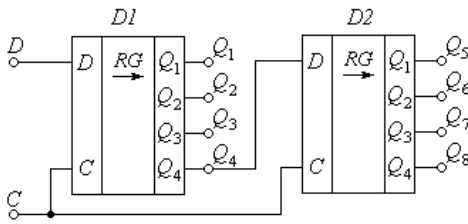


Рис. 6.3. Каскадування регістрів зсуву вправо

Для збільшення місткості регістрів використовують їхнє каскадування (рис. 6.3), в якому вихід останнього розряду попереднього регістра $D1$ з'єднують з входом D наступного регістра $D2$, а входи C об'єднують у шину. При цьому ті ж самі виходи наступного регістра $Q_1; Q_2;$

$Q_3; Q_4$ мають у з'єднанні іншу розрядність $Q_5; Q_6; Q_7; Q_8$, тобто після розряду Q_4 буде розряд Q_5 , потім Q_6 і т.д.

Розглядаючи типи регістрів, слід зауважити на те, що зсув інформації може бути як вправо, так і вліво. Це залежить від того, як надходить інформація послідовного двійкового числа на вхід D регістра: починаючи з молодшого або зі старшого розряду.

На рис. 6.4 наведена схема чотирирозрядного регістра зсуву вліво. Для здійснення зсуву вліво вхід D регістра надходить до останнього тригера $D4$, а вихід кожного наступного тригера з'єднаний з D -входом попереднього.

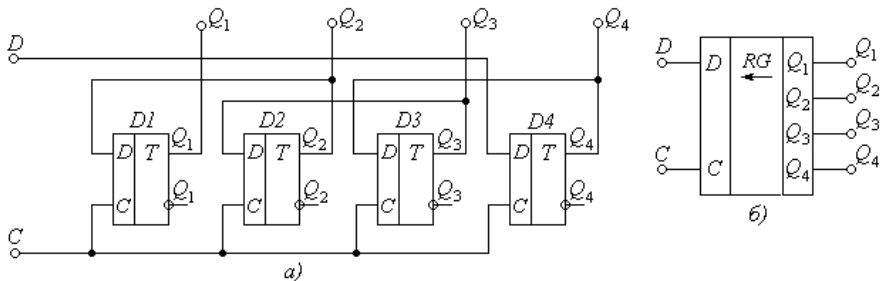


Рис. 6.4. Однотактовий регістр зсуву вліво: а) схема; б) умовне позначення

Принцип дії регістра зсуву вліво ілюструє часова діаграма його роботи (рис. 6.5).

Регістр зсуву вліво працює наступним чином.

Нехай на момент t_1 до інформаційного входу D регістра надійшла одиниця. Вона підготує до зведення тільки тригер старшого розряду $D4$. Входи $D1, D2, D3$ залишаються під нульовими потенціалами.

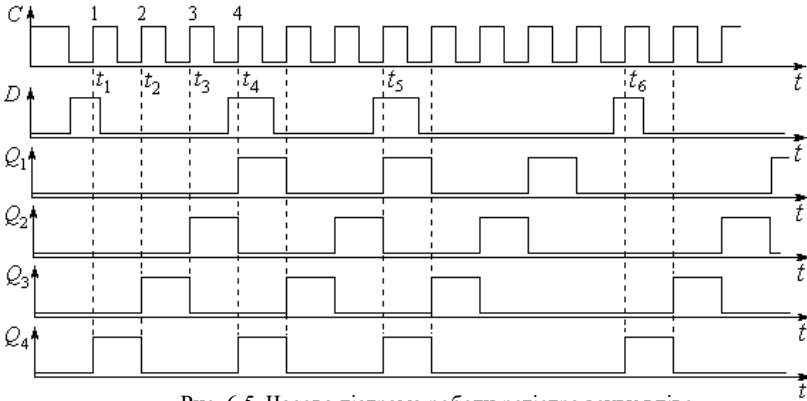


Рис. 6.5. Часова діаграма роботи регістра зсуву вліво

Фронт першого синхроімпульсу C в момент t_1 зводить тригер старшого розряду $D4$ і на його виході буде $Q_4 = 1$. Ця інформація передається до входу D тригера $D3$ і одиничний потенціал на вході D підготує $D3$ до зведення.

2-й синхроімпульс в момент t_2 зводить тригер $D3$ і змінює потенціал на його виході Q_3 з нуля на одиницю.

З приходом 3-го синхроімпульсу в момент t_3 на виході Q_2 з'являється рівень логічної одиниці.

4-й синхроімпульс в момент t_4 зводить тригер $D1$ і на його виході Q_1 потенціал дорівнює 1.

Таким чином, у розглянутій схемі (рис. 6.4) здійснюється зсув логічної одиниці, що надійшла на вхід D регістра зі старшого розряду до молодшого, тобто вліво.

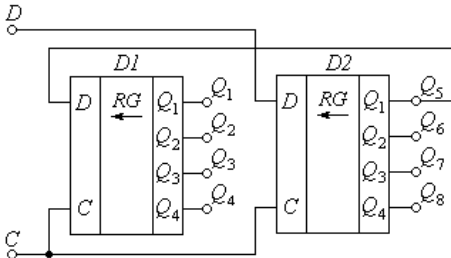


Рис. 6.6. Каскадування регістрів зсуву вліво

Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли до входу D регістра в моменти t_4, t_5, t_6 .

Щодо каскадування регістрів зсуву вліво (рис. 6.6), то збільшення їхньої місткості здійснюється нарощуванням молодших розрядів, тобто підключенням до регістра $D2$ регістра $D1$.

При цьому вхід D регістра $D1$ підключається до виходу молодшого розряду Q_0 регістра $D2$.

Перевагою обох розглянутих одноктактих регістрів зсуву є відносна простота, бо на один двійковий розряд крім єдиного тригера нічого більше не треба.

Недоліком є явище між каскадних перегонів, яке полягає в тому, що запис інформації в наступний розряд (тригер) і спрацювання попереднього тригера, з якого переписується інформація, відбуваються одночасно. Це може привести до того, що попередній тригер вже спрацював, а переписати з нього інформацію наступний тригер ще не встиг. Тому функціональна надійність *одноктактового* регістра зсуву в деяких випадках (наприклад, наявність завад) може бути недостатньою. Цей недолік зумовлений спільною шиною синхроімпульсів C , через що запуск усіх тригерів здійснюється одночасно.

Згаданий недолік усунений в регістрах зсуву *багатотактової* дії, в яких кожний тригер запускається своїм окремим синхроімпульсом C_i . Тому і запис інформації наступним тригером з попереднього, і спрацювання попереднього тригера рознесені за часом. Завдяки цьому функціональна надійність багатотактового регістра зсуву вища одноктактового.

Схема багатотактового трирозрядного регістра зсуву вправо на тригерах D -типу наведена на рис. 6.7.

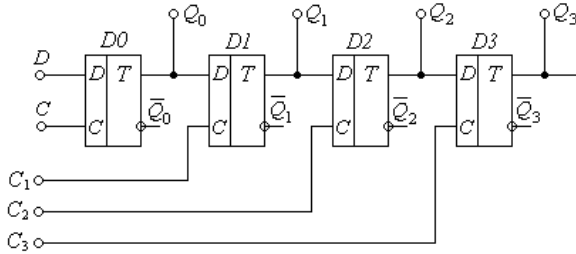


Рис. 6.7. Багатотактовий регістр зсуву вправо

Крім розрядних тригерів $D1, D2, D3$ регістр містить додатковий тригер $D0$ зі своїм синхровходом C для запису інформації D .

Кожний з розрядних тригерів $D1, D2, D3$ запускається своїм синхровходом відповідно C_1, C_2, C_3 , через що записування і зчитування інформації рознесені за часом і не зумовлюють розрядних перегонів. Записування відбувається з приходом першого синхроімпульсу на вхід синхронізації C_1 першого тригера $D1$. Регістр трирозрядний, бо має три основних тригери: $D1, D2$, і $D3$.

Зсув відбувається в наступному такті за допомогою послідовно сформованих синхроімпульсів, які такт за тактом з'являються на синхровходах C_1, C_2, C_3 .

Перший розряд інформації зсувається до тригера $D3$ за три такти. Загальне число синхроімпульсів для зсуву першого розряду інформації дорівнює 4 (1 запис + 3 зсуви). Другий розряд інформації другим синхроімпульсом C записується у додатковий тригер $D0$, а за допомогою двох синхроімпульсів (C_0 та C_1) пересувається в тригер $D1$.

Пересув другого розряду інформації виконується за дією трьох синхроімпульсів, а третього – чотирьох синхроімпульсів.

Аналіз кількості імпульсів дозволяє зробити висновок, що для записування повного n -розрядного слова або зсуву n -розрядів в регістрах даного типу потрібно мати імпульсів зсуву:

$$n * n = n^2.$$

Підвищити швидкодію регістрів багатотактової дії можна шляхом розбивки регістра на окремі групи.

Недоліком регістрів зсуву багатотактової дії є не тільки мала швидкодія, а й складна схема керування зсувом. Однак наявність багатотактової схеми зсуву виключає явище міжкаскадних перегонів і збільшує функціональну надійність регістра.

Існують *двонаправлені* або *реверсивні* регістри зсуву, які здатні зсувати записану інформацію і вправо, і вліво.

Промисловістю випускаються також універсальні регістри, які мають і паралельні, і послідовний входи.

На рис. 6.8 наведене умовне позначення універсального регістра.

Тут:

D_0 – послідовний вхід, використання якого зумовлює зсув;

$D_1 \dots D_4$ – паралельні входи, через які інформація записується паралельно;

C_1 – вхід керування типом регістра (паралельний або регістр зсуву);

C_2 – тактовий вхід;

V – керуючий вхід, рівнем якого (0 або 1) установлюється напрям зсуву;

$Q_1 \dots Q_4$ – паралельні виходи.

Інформацію з виходів можна знімати або в паралельному коді з виходів $Q_1 \dots Q_4$, або в послідовному коді з виходу Q_4 .

Щодо застосування регістрів зсуву, то воно досить різноманітне. На їхній базі можна будувати функціональні вузли. Зсув інформації на один розряд вправо або вліво виконує арифметичні операції відповідно або ділення, або множення на два.

Регістр зсуву може виконувати функцію лічильника, якщо на його послідовний вхід D подавати чергу одиниць. На базі регістрів зсуву можна будувати цифрові лінії затримки.

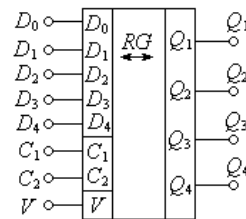


Рис. 6.8. Умовне позначення універсального регістра зсуву

Регістри зсуву можуть виконувати роль лічильника, який відображує число імпульсів у кодї “1 із n ”, які надійшли на його вхід, станом одиниці на лінійній шкалі. Це, наприклад, лампочка, яка світиться, вказуючи номер поверху в ліфті. Якщо на вхід зсуву такого лічильника подати імпульси тактового генератора, то можна одержати прилад, який розподіляє опорні тактові імпульси по декількох фазах синхронізації.

У системах радіозв'язку та радіолокації регістри зсуву застосовують для множення та ділення двійкових чисел, в розподільниках і формувачах імпульсів та в інших пристроях РЕА.

Паралельні регістри

Паралельні регістри або *регістри пам'яті* – це багаторозрядні регістри типу *PIPO* паралельної дії з паралельними входами та паралельними виходами, в яких кількість розрядів визначається числом тригерів, на яких будується регістр.

Регістри пам'яті – це накопичувальні регістри. Їхнє основне призначення – збирання двійкової інформації невеликого обсягу.

Перший молодший розряд числа записується та зберігається у першому молодшому розряді регістра, другий – у другому розряді і т.д. Старший розряд регістра приймає старший розряд числа.

Регістри пам'яті будуються на тригерах різноманітних типів.

Однофазні паралельні регістри однотокової дії можна побудувати, наприклад, на D -тригерах, кількість яких залежить від числа входів регістра.

На рис. 6.9 наведена схема 4-розрядного однотокового паралельного регістра пам'яті, яка побудована на чотирьох D -тригерах.

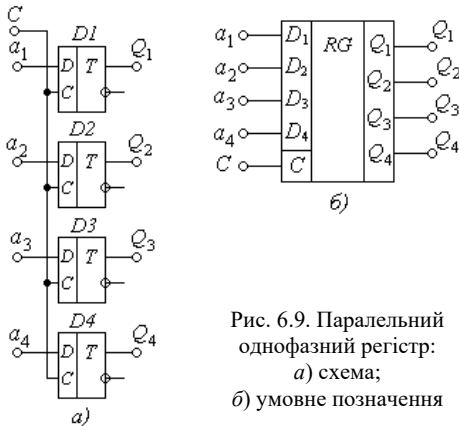


Рис. 6.9. Паралельний однофазний регістр:
а) схема;
б) умовне позначення

Запис числа $A (a_1, a_2, a_3, a_4)$ виконується за наявності синхроімпульсу C без попереднього скидання тригерів у стан нуля.

Кожен розряд двійкового числа $A (a_1, a_2, a_3, a_4)$ подається на інформаційний вхід D окремого тригера $D_1 \dots D_4$.

Інформація записується в регістр тільки з появою фронту синхроімпульсу C , а зчитувати її з виходів Q кожного тригера можна в будь-який час після завершення процесу запису.

Якщо на вхід синхроімпульсів C поданий рівень логічного нуля, то регістр знаходиться в стані збереження записаної інформації.

Синхронізуються регістри рівнями 1 або 0, фронтом чи зрізом синхро-сигналу, залежно від застосованого тригера. Інформацію про полярність

імпульсу синхронізації можна одержати у довідниках. У нашому випадку при застосуванні D -тригерів синхронізація відбувається фронтом імпульсу C .

Існують регістри, в яких зчитування інформації з виходів також синхронізується. Однак при цьому запис та зчитування обов'язково мають бути рознесені за часом.

Досить часто виникає задача запису двох і більше чисел. У цьому разі треба мати додаткову ємність регістра, додаткові інформаційні входи і додаткові входи для синхроімпульсів.

Класифікація регістрів пам'яті здійснюється за трьома ознаками:

- однофазні паралельні регістри одноктактової дії;
- однофазні паралельні регістри двотактової дії;
- парафазні паралельні регістри.

Однофазні паралельні регістри одноктактової дії досить економічні та надійні. Швидкодія цих регістрів більша приблизно вдвічі за однофазні регістри двотактової дії, але при цьому ж порівнянні апаратні втрати на реалізацію одноктактних регістрів більші.

Серед регістрів двотактової дії найбільш економічними за числом компонентів вважаються регістри, що побудовані на синхронних тригерах CSR -типів або двотактових D -тригерах.

Регістри даного типу обов'язково мають вхід R (або V) установлення тригерів у стан 0. Тому для запису числа треба сформулювати два синхросигнали: перший подається на вхід R (або V) для скидання всіх тригерів, а другий – на вхід C для запису інформації, що присутня на інформаційних входах D . Умовне позначення такого регістра наведено на рис. 6.10.

Парафазні паралельні регістри за принципом дії є одноктактовими і будуються на синхронних тригерах CSR -типу. Число подається на регістр одночасно по двох каналах: прямому та інверсному.

Синхроімпульс запису C відкриває одночасно вентилі запису прямого та інверсного входів. Попереднє скидання тригерів такого регістра в нуль вимагає додаткового часу, що зменшує швидкодюю регістра. Парафазні паралельні регістри не відрізняються широкою різноманітністю схем. Усі парафазні паралельні регістри є одноктактовими і виконуються на однакових тригерах. При порівнянні однофазних та парафазних регістрів слід відзначити, що однофазні вважаються найбільш ефективними в інтегральному виконанні тому, що мають у два рази менше інформаційних входів.

Розрядність регістрів нарощують збільшенням числа тригерів у схемі регістра. Розрядність регістрів можна збільшити їхнім каскадуванням.

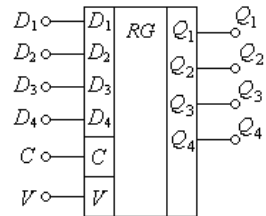


Рис. 6.10. Умовне позначення однофазного регістра двотактової дії

6.2. Завдання для розрахунку

1. Визначте кількість розрядів розроблюваного по завданню регістра.
2. Накресліть схему заданого регістра.
3. Вкажіть потенціали (лог. 0 або лог. 1) на виходах кожного розряду регістра після подачі усіх вхідних імпульсів.

6.3. Вихідні дані

1. Кількість розрядів регістру, що розробляється, має бути таким, щоб можна було ввести «слово» у двійковому коді, що відповідає десятковому значенню MN , де M – передостання, а N – остання цифри залікової книжки.

Наприклад: $M = 2$; $N = 5$.

$25 = 11001$.

Таким чином, необхідний 5-розрядний регістр.

3. Тип регістру вибирається по номеру варіанта:

$MN = 01 \dots 35$ – послідовний регістр зі здвигом вправо;

$MN = 36 \dots 70$ – послідовний регістр зі здвигом вліво;

$MN = 71 \dots 99$ – паралельний регістр.

6.4. Контрольні запитання

1. Поясніть призначення регістрів зсуву.
2. Дайте схему та поясніть роботу регістру зсуву вправо.
3. Дайте схему та поясніть роботу регістру зсуву вліво.
4. Поясніть призначення паралельних регістрів.
5. Дайте схему та поясніть роботу паралельного регістру зсуву одноктакної дії.

6.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 264-273.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 279-289.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 266-275.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2011. – Ч. 1. – С. 209-216.

Тема 7. КОМБІНАЦІЙНІ ПРИСТРОЇ. ШИФРАТОР

7.1. Ключові положення

Комбінаційні пристрої – це автомати без пам'яті. В комбінаційних пристроях кожний символ на виході (логічний нуль або логічна одиниця) визначається станом входів тільки у цю мить і не залежить від того, які рівні діяли раніше, тобто комбінаційні пристрої не зберігають відомості про їхню минулу роботу.

До комбінаційних пристроїв належать логічні елементи з різними логічними та функціональними властивостями, починаючи від самих простих до самих складних. Здебільшого розповсюдження знайшли наступні:

- шифратори;
- дешифратори;
- перетворювачі кодів;
- арифметико-логічні пристрої;
- цифрові суматори;
- мультиплектори;
- демультиплектори;
- цифрові компаратори;
- програмовані логічні матриці;
- драйвери.

Шифратори

Шифратори, які ще називають *кодером*, і виконують перетворення (шифрування) алфавітно-цифрової або символної інформації, яку подано кодом “1 з n ”, наприклад, десятковим у більш компактний код, наприклад, двійковий. Кодова комбінація на вході шифратора має тільки *один* активний стан однієї змінної x_i вхідного набору $\{x_1, x_2, \dots, x_{n-1}\}$. Вихід шифраторів, як правило, паралельний і складається з m розрядів. Число виходів m однозначно зв'язане з числом входів n . Якщо $n = 2^m$, тобто використаний повний набір вихідних і вихідних комбінацій, то такий шифратор називають *повним*. Наприклад, шифратор 8 – 3 є повним, бо він реалізує повний набір можливих комбінацій змінних x_i ($n = 8$) у повний вихідний набір y_i ($m = 3$), при цьому виконується рівність $2^3 = 8$.

У неповному шифраторі число входів n не відповідає числу всіх можливих вихідних комбінацій 2^m , причому завжди $n < 2^m$, що відповідно утворює певне число невикористаних вихідних наборів. Наприклад, шифратор 10 – 4, що використовується для кодування десяткового коду у двійково-десятковий код 8-4-2-1, є неповним, бо з можливого числа комбінацій $2^4 = 16$ використовується лише 10, а саме (0 – 9).

Шифратори поділяються на *прості* та *пріоритетні*.

Прості шифратори реалізують обов'язкову відповідність m -розрядного числа від тільки одного активного входу. Вони не допускають одночасної активізації декількох входів, що може мати місце, наприклад, при натисканні декількох клавіш на клавіатурі, яка підключена до входу шифратора. Щоб шифратор реагував тільки на один активний вхід навіть при кількох активних входах, його схему будують за пріоритетним принципом.

Пріоритетний принцип побудови шифратора дозволяє одночасно активізувати декілька входів. Реакція шифратора при цьому може бути різною, бо будуються вони за трьома пріоритетними принципами.

Перші шифратори реагують лише на перший за часом сигнал, який надходить з будь-якого входу раніше за усіх.

Другі шифратори мають програмовані пріоритетні вхідні комбінації. Якщо на вхід такого шифратора надходить група символів серед яких один задовольняє умовам пріоритету, то шифратор буде працювати за алгоритмом, який означений пріоритетним символом. На зайві комбінації шифратор не реагує.

У пріоритетному шифраторі третього типу вихідне число завжди відповідає тому активному входу, який має найбільший номер набору. Наприклад, при вхідному числі $\{0111\}$, коли рівень логічної одиниці одночасно присутній на перших трьох входах $x_1 = 1, x_2 = 1, x_3 = 1$, на виході пріоритетного шифратора установиться двійкове число $\{0100\}$, що відповідає змінній $x_3 = 1$, а активні входи x_1 та x_2 ігноруються.

За принципом побудови схеми прості шифратори поділяються на лінійні та пірамідальні. Лінійні шифратори будуються за лінійним принципом, коли всі однойменні входи логічних елементів підключають до однієї спільної шини. Тому для реалізації лінійного шифратора потрібно мати багатовходові логічні елементи, число входів яких дорівнює розрядності m . Лінійні шифратори мають досить високу швидкодію.

Розглянемо принцип побудови лінійного повного шифратора 8-3, стани входів і виходів якого описує таблиця станів (табл. 7.1).

Таблиця 7.1. Стани повного лінійного шифратора 8-3

Число	Входи							Виходи			
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_3	y_2	y_1
0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	1	0	1
6	0	0	0	0	0	0	1	0	1	1	0
7	0	0	0	0	0	0	0	1	1	1	1

З табл. 7.1 видно, що шифратор має бути побудованим за трьома (за кількістю виходів y) схемами логічного додавання АБО. Ці схеми повинні мати стільки входів, скільки логічних одиниць у відповідному стовпчику у табл. 7.1. Оскільки в кожному стовпчику виходів по чотири логічних одиниці, то схеми АБО мають бути чотиривхідними.

Для складання схеми знайдемо рівняння кожного виходу y_1, y_2, y_3 за допомогою табл. 7.1 наступним чином. Стан кожного виходу наведемо у вигляді суми станів тих входів x_i , які мають значення 1 у рядку з одиничним виходом y_k .

$$\begin{aligned} y_1 &= x_1 \vee x_3 \vee x_5 \vee x_7 = x_1 + x_3 + x_5 + x_7 \\ y_2 &= x_2 \vee x_3 \vee x_6 \vee x_7 = x_2 + x_3 + x_6 + x_7 \\ y_3 &= x_4 \vee x_5 \vee x_6 \vee x_7 = x_4 + x_5 + x_6 + x_7 \end{aligned} \quad (7.1)$$

Дійсно одиницю містять чотири двійкові числа: $001_2 = 1_{10}$; $011_2 = 3_{10}$; $101_2 = 5_{10}$; $111_2 = 7_{10}$.

Для розробки схеми шифратора використовуємо матрицю, тобто систему ортогональних ліній (рис. 7.1). Матрична схема досить наочна, бо позбавлена від перегонів ліній зв'язку.

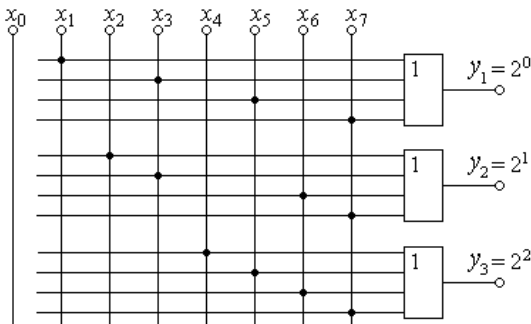


Рис. 7.1. Схема повного шифратора 8-3

Входи саме шифратора зображені вертикальними лініями, а входи логічних схем АБО – горизонтальними.

Входи кожної схеми АБО мають бути з'єднані з тими входами шифратора, які є в функціях (7.1).

Роботу схеми шифратора пояснюють таблиця станів (табл. 7.1) і рівняння (7.1).

Схема працює наступним чином.

При вхідному числі 0 одиничним є лише один вхід шифратора $x_0 = 1$. При цьому решта входів нульова. Підставляючи всі $x_i = 0$ у рівняння (7.1), знаходимо, що $y_3 = 0$; $y_2 = 0$; $y_1 = 0$, тобто вихідне число дорівнює 000.

При вхідному числі 1 одиничним є вхід шифратора $x_1 = 1$. При цьому решта входів нульова, через що $y_3 = 0$; $y_2 = 0$; $y_1 = 1$, тобто вихідне число дорівнює 001.

Як видно з рівнянь (7.1), табл. 7.1 і схеми (рис. 7.1), взагалі на першому виході шифратора $y_1 = 2^0$ сигнал логічної одиниці з'являється тоді, коли на один з входів або x_1 , або x_3 , або x_5 , або x_7 подано логічну одиницю.

Другий вихід $y_2 = 2^1 = 1$ шифратора буде одиничним тоді, коли логічна одиниця присутня на одному із входів або x_2 , або x_4 , або x_6 , або x_7 .

Самий старший вихідний розряд $y_3 = 2^2 = 4$ буде одиничним, якщо на одному з входів шифратора або x_4 , або x_5 , або x_6 , або x_7 діє логічна одиниця.

Для лінійних шифраторів характерна незадіяна змінна x_0 . Це означає, що за будь-якого сигналу на вході x_0 , на виході шифратора не буде жодних змін. Однак, така ситуація на практиці завжди враховується і тому передбачається обов'язкова наявність активного входу x_0 , хоча він не використовується.

Для розглянутого шифратора (рис. 7.1) присутність двох або більшого числа активних входів заборонена, бо він перетворює код "1 із n " і відноситься до типу простих неперіоритетних лінійних шифраторів.

Шифратори широко використовуються в цифрових системах для перетворення вхідних десяткових чисел у двійкову форму. За допомогою шифраторів кодуються різні символи (в тому числі й літери). Серійні шифратори можна зустріти в складі мікросхем багатьох серій. Періоритетні шифратори найбільш поширені, бо на них, крім основних, можна виконувати функції простих шифраторів.

В інтегральній схемотехніці частіше зустрічаються шифратори, що перетворюють сигнали низького рівня на одному з інформаційних входів \bar{x}_i в обернений двійковий код на виході. Це дає можливість діагностики шифратора в початковому стані, в якому на виходах мають бути тільки логічні одиниці. Поява на будь-якому виході логічного нуля свідчить про несправність шифратора.

Щодо неповного шифратора, то його умовне позначення наведено на рис. 7.2.

Крім інформаційних входів $\bar{x}_0 \dots \bar{x}_9$, шифратор має вхід дозволу \bar{E}_1 . При $\bar{E}_1 = 1$ можна змінити комбінацію на входах без зміни числа на виходах. \bar{E}_0 – вихід сигналу дозволу. При $\bar{E}_0 = 0$ фіксуються високі рівні на всіх інформаційних виходах.

Вихід групового сигналу \overline{GS} свідчить про наявність хоча б одного активного низького рівня на виході. За допомогою виходу \bar{E}_1 та виходу \bar{E}_0 можна нарощувати розрядність шифратора. При каскадному з'єднанні шифраторів слід вихід \bar{E}_0 попереднього каскаду з'єднати зі входом \bar{E}_1 наступного каскаду.

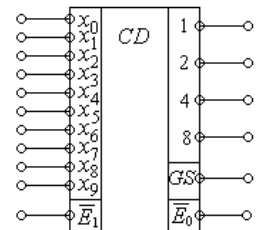


Рис. 7.2. Умовне позначення неповного шифратора 9-4

7.2. Завдання для розрахунку

1. Накресліть схему шифратора (1 декада).
2. Вкажіть потенціали (лог. 0 або лог. 1) на вході та виході шифратора.
3. Запишіть логічне рівняння шифратора.
4. Накресліть умовне позначення шифратора.

7.3. Вихідні дані

1. Входом шифратора є десяткова цифра, що визначається літерою N – остання цифри залікової книжки.

7.4. Контрольні запитання

1. Що таке шифратор.
2. Який шифратор називають повним, а який – неповним.
3. Як на хвої шифратора задається десяткова цифра.
4. Скільки виходів двійкового коду має повний (неповний) шифратор.

7.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 274-277.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 297-303.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 282-288.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Ч. 2. – С. 13-20.

Тема 8. КОМБІНАЦІЙНІ ПРИСТРОЇ. ДЕШИФРАТОРИ

8.1. Ключові положення

Дешифраторами, які ще називають декодерами, називаються комбінаційні логічні структури, які призначені для перетворення (дешифрації) коду, що надходить до входу, в символічну або алфавітно-цифрову інформацію, тобто в код “1 з n ”, в якому сигнал з’являється лише на одному із виходів. Дешифратори за порівнянням з шифраторами виконують обернене перетворення.

Дешифратори, як і шифратори, бувають повними та неповними.

Розглянемо принцип побудови повного лінійного дешифратора 2 – 4 на логічних схемах І. Такий дешифратор має 4 двовходові схеми логічного множення І, які виявляють одиничні стани всіх входів.

Якщо вхідне число подається двійковим кодом, то на входах різних схем І буде комбінація прямих та інверсних вхідних змінних. Через це входи дешифратора повинні мати інвертори.

Знайдемо логічний вислів кожного виходу.

Вхідне число $x_2 = 0; x_1 = 0$ схема І може виявити, якщо до її входів підвести інверсні значення \bar{x}_2 та \bar{x}_1 . Тоді $y_0 = \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1$. Таким чином, рівняння станів виходів дешифратора є логічними добутками станів входів, у які підставляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він нульовий.

Отже, стани дешифратора 2 – 4 на схемах І описуються наступними висловленнями:

$$\begin{aligned}y_0 &= \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1, \\y_1 &= \bar{x}_2 \wedge x_1 = \bar{x}_2 \cdot x_1, \\y_2 &= x_2 \wedge \bar{x}_1 = x_2 \cdot \bar{x}_1, \\y_3 &= x_2 \wedge x_1 = x_2 \cdot x_1.\end{aligned}\tag{8.1}$$

Схему дешифратора розробляємо у виді матриці (рис. 8.1). Входи схем D1...D6 з’єднуємо з тими входами дешифратора, які є в рівняннях (8.1).

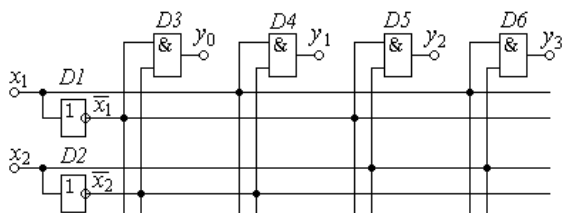


Рис. 8.1. Схема лінійного дешифратора 2-4

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 8.1).

Таблиця 8.1. Стани повного дешифратора 2-4

Число	Входи		Виходи			
	x_2	x_1	y_0	y_1	y_2	y_3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

пояснюється тим, що при $x_1 = 0$ та $x_2 = 0$ їхні інверсні стани одиничні, що й виявляє схема $D3$. На входах усіх інших схем $D4$, $D5$, $D6$ хоча б один із входів нульовий, через що $y_1 = 0$; $y_2 = 0$; $y_3 = 0$.

При вхідному числі 1 стани входів дешифратора $x_2 = 0$; $x_1 = 1$. Підставляючи ці значення в рівняння (8.1), переконуємося в тому, що тільки на виході схеми $D4$ вихід одиничний: $y_1 = 1$ і т.д.

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при обох одиничних входах на виході відповідної схеми буде логічний нуль.

Якщо дешифратор виконати на схемах 2АБО, то прямі та інверсні їхні входи слід змінити на протилежні. Тоді на виході схеми з двома вхідними нулями буде логічний нуль. На виходах інших трьох схем будуть логічні одиниці.

Щодо неповних дешифраторів, то в них є певне число невикористаних вхідних наборів. Досить розповсюдженим прикладом є неповний дешифратор 4-10, який виконує перетворення двійково-десятькового коду в десятковий.

Розглянемо принцип побудови неповного дешифратора 4-10 на схемах логічного додавання АБО. Такий дешифратор має 10 чотиривхідних схем логічного додавання АБО, кожна з яких виявляє нульові стани всіх своїх чотирьох входів. Тому рівняння кожного виходу є сумою станів входів, у яку підставляємо прямий стан входу, якщо він нульовий, та – інверсний, якщо він одиничний.

Щоб активний рівень виходів дешифратора був одиничним, слід кожну задану суму проінвертувати, для чого використовуємо логічні схеми АБО-НЕ.

Отже логічний вислів станів дешифратора наступний:

Дешифратор працює наступним чином.

Інвертори $D1$ та $D2$ здійснюють інверсію \bar{x}_1 та \bar{x}_2 .

Підставляючи стани входів з табл. 8.1 у рівняння (8.1), переконуємося у наступному.

При вхідному числі 0 обидва входи нульові: $x_2 = 0$ та $x_1 = 0$. Підставляючи ці значення в рівняння (8.1), одержуємо, що тільки на виході схеми $D3$ вихід одиничний: $y_0 = 1$. Це

$$\begin{aligned}
 y_0 &= \overline{x_4 \vee x_3 \vee x_2 \vee x_1} = \overline{x_4 + x_3 + x_2 + x_1}, \\
 y_1 &= \overline{x_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + x_2 + \bar{x}_1}, \\
 y_2 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + x_3 + \bar{x}_2 + x_1}, \\
 y_3 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + \bar{x}_2 + \bar{x}_1}, \\
 y_4 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + x_2 + x_1}, \\
 y_5 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + x_2 + \bar{x}_1}, \\
 y_6 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + x_1}, \\
 y_7 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + \bar{x}_1}, \\
 y_8 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee x_1} = \overline{\bar{x}_4 + x_3 + x_2 + x_1}, \\
 y_9 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{\bar{x}_4 + x_3 + x_2 + \bar{x}_1}.
 \end{aligned}
 \tag{8.2}$$

Схему дешифратора розробляємо у виді матриці (рис. 8.2). Входи схем 4АБО-НЕ, які мають виходи $y_0 \dots y_9$, з'єднуємо відповідно з тими входами дешифратора, які є в рівняннях (8.2).

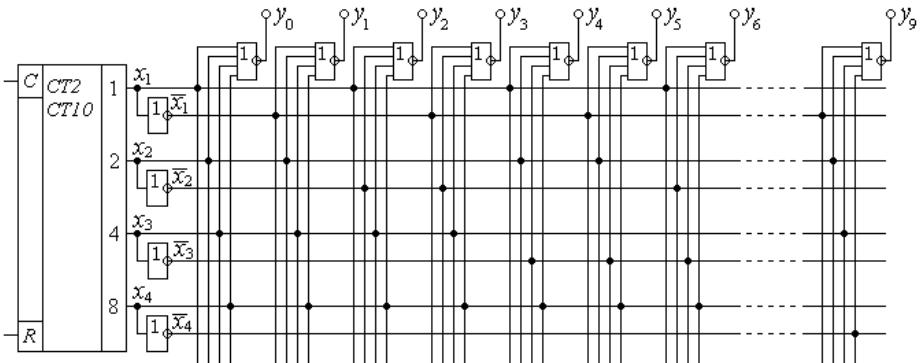


Рис. 8.2. Схема неповного дешифратора 4-10

На рис. 8.2 наведено умовне позначення двійково-десятькового лічильника $CT2 - CT10$, двійкові виходи 1, 2, 4, 8 якого підключені відповідно до входів дешифратора x_1, x_2, x_3, x_4 .

Ці входи прямі чи інверсні з'єднані з чотирма входами схем АБО-НЕ, на яких побудований дешифратор, згідно з функціями (8.2).

Так, входи елемента АБО-НЕ y_0 з'єднані з усіма прямими входами x_1, x_2, x_3, x_4 дешифратора.

Входи елемента АБО-НЕ y_1 з'єднані з прямими входами дешифратора x_2, x_3, x_4 та інверсним \bar{x}_1 і т.д., щоб сума станів входів для кожного виходу y_0, \dots, y_9 дорівнювала нулю.

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 8.2).

Таблиця 8.2. Стани неповного лінійного дешифратора 4-10

Число	Входи				Виходи									
	x_4	x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1

Дешифратор працює наступним чином.

Як видно з табл. 8.2, при скинутому лічильнику на його входах нулі:

$x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$. Підставляючи ці значення та їхні інверсії в усі рівняння (8.2) переконуємося в тому, що $y_0 = 1$ тільки при скинутому лічильнику. Це пояснюється тим, що схема АБО-НЕ виявляє тільки нульові стани входів. Тому при $x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$ під нулями тільки входи схеми y_0 , через що $y_0 = 1$. Решта усіх інших виходів нульова, бо хоча б один з входів інших схем АБО-НЕ одиничний.

Якщо лічильник містить число 1, то нульовими будуть усі входи схеми АБО-НЕ y_1 , через що тільки цей вихід буде одиничним: $y_1 = 1$ і т.д. Будь-якому вмісту лічильника в межах 0...9 відповідає тільки одна одиниця на виходах y_0, \dots, y_9 .

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при всіх одиничних входах на виході відповідної схеми буде логічний нуль. Промисловість випускає дешифратори як повні (рис. 8.3,а), так і неповні (рис. 8.3,б).

Існування неповного дешифратора виправдано, наприклад, перетворенням двійково-десятькового коду в десятковий (рис. 8.3,б).

Слід зауважити, що в інтегральних дешифраторах формування інверсій вхідних змінних виконується в самому дешифраторі і тому додаткові інвертори на їхніх входах ставити не треба.

Розглянуті дешифратори будують на основі одноступеневої (лінійної) схеми. Багатоступеневі дешифратори використовуються при багатозначності вхідного кодового слова з метою економічної будови схем дешифрації.

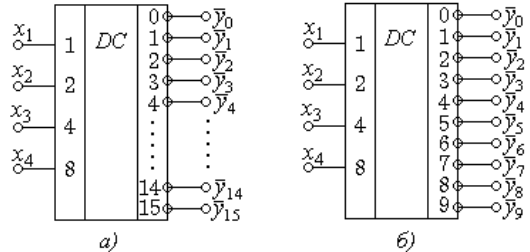


Рис. 8.3. Умовне позначення дешифраторів: а) повного 4-16; б) неповного 4-10

8.2. Завдання для розрахунку

1. Розробіть дешифратор двійково-десятькового лічильника.
2. Дайте схему дворозрядного двійково-десятькового лічильника.
3. Виберіть логічний елемент для дешифратора (АБО).
4. Визначте кількість входів вибраного елемента.
5. Запишіть логічні рівняння кожного з двох виходів дешифратора.
6. Розробіть матричну схему дешифратора.
7. Опишіть роботу розробленого дешифратора.

8.3. Вихідні дані

1. Десятькове число у лічильнику дорівнює $(10 - M + N)$.

8.4. Приклад виконання розрахунку

1. Входи розробленого дешифратора мають бути підключені до відповідних виходів двійково-десятькового лічильника.

2. На рис. 8.4 дана схема дворозрядного двійково-десятькового лічильника. На ній зображені перший десятковий розряд $\times 1$, який підраховує одиниці від 0 до 9 включно, та другий десятковий розряд $\times 10$, який підраховує числа від 10 до 90.

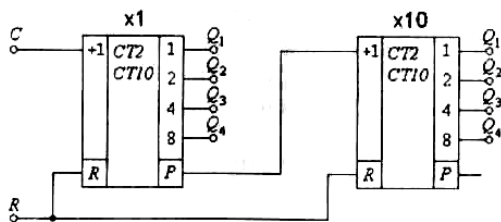


Рис. 8.4.– Дворозрядний двійково-десятьковий лічильник

На схемі рис. 8.4 позначені:

C – вхід лічильника; R – вхід скидання; P – вихід переповнення;

Q_1 – вихід першого двійкового розряду з ваговим коефіцієнтом $2^0 = 1$;

Q_2 – вихід другого двійкового розряду з ваговим коефіцієнтом $2^1 = 2$ тощо.

(опишіть всі позначення на схемі).

3. Щоб на виходах дешифратора виявлене число визначалося б логічними одиницями, слід вибрати логічний елемент І. Якщо треба виявлене число визначати логічними нулями, слід вибрати логічний елемент АБО.

4. Оскільки кожна декада двійкового лічильника має чотири двійкові виходи (рис. 8.4), то дешифратор має бути виконаний на двох чотиривходових логічних елементах (рис. 8.5).

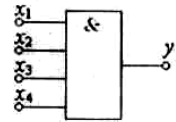


Рис. 8.5. Схема 4І

5. Оскільки схема 4І здійснює логічне множення, то вона виявляє тільки всі одиничні входи. Тому для виявлення потрібного числа необхідно на входи схеми 4І подавати комбінацію прямих та інверсних виходів лічильника так, щоб для виявленого числа всі входи схеми 4І були б одиничними. Так, наприклад, у нульовому стані лічильника всі його входи нульові. Тому виявлення нульового стану лічильника слід інвертувати всі його входи.

Логічне рівняння для одного десяткового розряду вибирається із системи рівнянь (8.3):

$$\begin{aligned}
 y_0 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_1 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_2 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_3 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot x_1; \\
 y_4 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_5 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_6 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_7 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot x_1; \\
 y_8 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_9 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.
 \end{aligned}
 \tag{8.3}$$

У даних рівняннях: x_i – прямі виходи лічильника; \bar{x}_i – інверсні виходи лічильника.

Узагальнена структурна схема дешифратора наведено на рис. 8.6.

На рис. 8.6: M – передостання цифра номера залікової книжки, а N – остання.

Оскільки лічильники на схемі рис. 8.6 мають лише прямі виходи, то до виходу Q_i кожного розряду лічильника підключений інвертор. За завданням схема дешифратора мусить бути виконано як матриці, тобто, вона повинна виконуватися ортогональними лініями: горизонтальними та вертикальними будь-якої довжини. Виходи кожного лічильника x_i і \bar{x}_i , виконуються у вигляді шини, тому що до них підключаються входи і інших схем y_i .

Шина – це сукупність електричних провідників і сигналів, що передаються по них, згрупованих відповідно до функціонального призначення.

Кожен вхід схеми 4І (при іншій реалізації дешифратора 4АБО) повинен з'єднуватися тільки з однією шиною відповідно до логічного висловлювання. Ця важлива властивість матричної схеми дозволяє легко контролювати правильність її виконання.

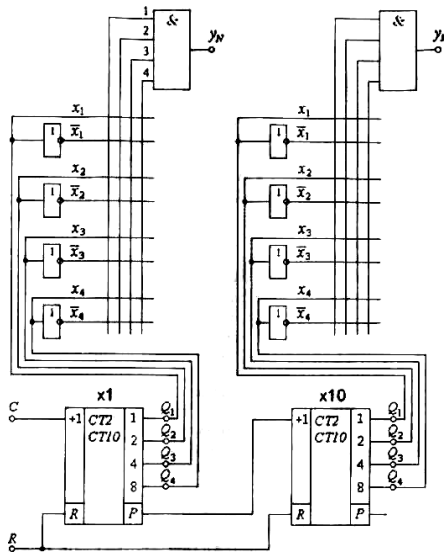


Рис. 8.6. Узгальнена структурна схема дешифратора двійково-десятькового лічильника

Узгальнена структурна схема рис. 8.6 справедлива для будь-якого варіанта завдання. Для розробки принципової схеми необхідно і виконати з'єднання кожного входу (1; 2; 3; 4) схеми 4И з відповідним виходом лічильника прямим x_i , або інверсним \bar{x}_i .

Нехай, наприклад, треба визначити число 9.

Логічним рівнянням виявлення числа 9 буде вираз:

$$y_9 = x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.$$

Приклад виконання сполук виявлення числа 9 показаний на рис. 8.7.

З висловлювання y_9 видно, що до двох входів схеми 4И слід підключити два прямі виходи лічильника x_1 і x_4 , а до двох інших входів – двоінверсних \bar{x}_2 і \bar{x}_3 (рис. 8.7).

6. Для виявлення повного заданого числа необхідно скласти логічний вираз кожного з двох виходів дешифратора.

Нехай, наприклад, останні дві цифри залікової книжки складають $M = 9$ і $N = 8$. Тоді задане число дорівнює:

$$(10 \cdot M + N) = 109 + 8 = 98.$$

Отже, перший (молодший) десятковий розряд – 1 повинен зберігати двійкове число 1000, а другий

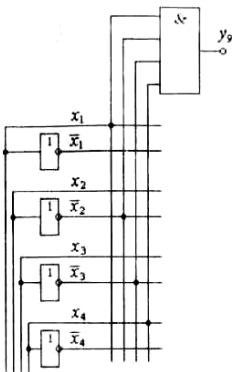


Рис. 8.7. Приклад виконання сполук виявлення числа 9

(старший) десятковий розряд – $\times 10$ повинен зберігати двійкове число 1001.
 Схема дешифратора числа 98 показано на рис. 8.8.

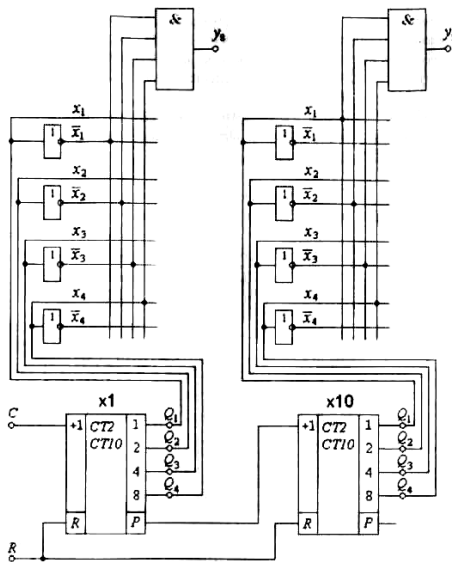


Рис. 8.8. Приклад виконання з'єднань у дешифраторі для виявлення числа 98

7. Дешифратор працює в такий спосіб.

У нульовому стані декади $\times 1$ усі її виходи x_i нульові. Будучи інвертованими, вони забезпечать на всіх входах схеми 4І для y_0 логічні одиниці:

$$y_0 = \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1,$$

тому $y_0 = 1$. На виході дешифратора отримуємо число 0.

У будь-якому іншому стані декади $\times 1$ хоча б один із його виходів буде поодиноким. Інші виходи нульові. Після інверсії нульових виходів за будь-якого змісту декади $\times 1$ завжди знайдеться така комбінація прямих та інверсних виходів, яка забезпечить всі логічні одиниці на входах схеми 4І.

При змісті декади $\times 1$, яке дорівнює заданому двійковому числу 1000 (що відповідає десятковому числу 8), прямий вихід лічильника $x_4 = 1$, а три інші прямі виходи нульові: $\bar{x}_1 = 0$; $\bar{x}_2 = 0$; $\bar{x}_3 = 0$. На виходах інверторів вони перетворюються на одиничні: $\bar{x}_1 = 1$; $\bar{x}_2 = 1$; $\bar{x}_3 = 1$.

Тому лише при числі 8 у лічильнику всі входи схеми 4І будуть одиничними, тому вихід $y_8 = 1$.

Так дешифратор першої декади $\times 1$ виявляє число 8, про що свідчить логічна одиниця на виході y_8 .

Аналогічно необхідно описати роботу дешифратора декади $\times 10$.

8.5. Контрольні запитання

1. Розкажіть, які цифрові пристрої називають шифраторами та для чого вони призначені.
2. Розкажіть, які цифрові пристрої називають дешифраторами та для чого вони призначені.
3. Поясніть, які шифратори (дешифратори) називають повними, а які – неповними.

8.6. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 277-281.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 303-322.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 288-309.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Ч. 2. – С. 10-16.

Тема 9. КОМБІНАЦІЙНІ ПРИСТРОЇ. МУЛЬТИПЛЕКСОР І ДЕМУЛЬТИПЛЕКСОР

9.1. Ключові положення

Мультиплексори

Мультиплексори здійснюють комутацію одного з декількох інформаційних входів x_i до одного виходу y . Мультиплексори мають декілька інформаційних входів, адресні входи, вхід дозволу мультиплексування (стробуючий вхід) та один вихід.

Кожному з інформаційних входів мультиплексора відповідає номер, який називається адресою і подається двійковим числом до адресних входів.

Очевидно, що число інформаційних входів $n_{\text{інф}}$ і число адресних входів $n_{\text{адр}}$ зв'язані співвідношенням: $n_{\text{адр}} = 2^{n_{\text{інф}}}$.

Для пояснення роботи мультиплексора надано таблицю його станів (табл. 9.1).

Таблиця 9.1. Стани мультиплексора 4-1

Входи	Адреса		Виходи DC				Керуючий вхід	Вихід
	a_1	a_0	z_0	z_1	z_2	z_3		
x_i	a_1	a_0	z_0	z_1	z_2	z_3	E	y
X	X	X	X	X	X	X	0	0
x_0	0	0	1	0	0	0	1	x_0
x_1	0	1	0	1	0	0	1	x_1
x_2	1	0	0	0	1	0	1	x_2
x_3	1	1	0	0	0	1	1	x_3

Мультиплексор працює наступним чином.

Дозвіл на спрацьовування мультиплексора в цілому визначається станом керуючого входу E . При $E = 0$, незалежно від стану входів адреси a_2 та a_1 (в табл. 9.1 позначено хрестиками X), мультиплексор не спрацьовує. Якщо ж $E = 1$, то робота мультиплексора дозволяється. Тому надалі розглядаються тільки чотири нижні рядки табл. 9.1.

Виходячи з табл. 9.1, отримуємо логічний вислів мультиплексора

$$y = E(x_0 \cdot z_0 + x_1 \cdot z_1 + x_2 \cdot z_2 + x_3 \cdot z_3) = E(x_0 \cdot \bar{a}_1 \cdot \bar{a}_0 + x_1 \cdot \bar{a}_1 \cdot a_0 + x_2 \cdot a_1 \cdot \bar{a}_0 + x_3 \cdot a_1 \cdot a_0), \quad (9.1)$$

в якому z_0, z_1, z_2, z_3 – виходи дешифратора 2...4 DC.

З рівняння (9.1) випливає, що для виконання демультиплексора 4...1 необхідні: дешифратор 2...4 DC, який дешифрує адреси, чотири логічних елементів 4І, які надають інформацію до виходу про надходження вхідного сигналу за вказаною адресою, один логічний елемент 4АБО та один логічний елемент 2І, що дає дозвіл на спрацьовування мультиплексора.

На рис. 9.1 показаний варіант схеми мультиплексора $4 \dots 1$, який виконує комутацію від чотирьох джерел сигналу x_0, x_1, x_2, x_3 до одного виходу y .

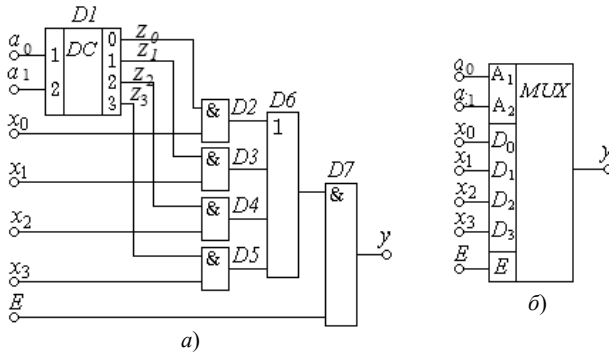


Рис. 9.1. Мультиплексор $4 \dots 1$: а) схема; б) умовне позначення

На рис. 9.1,б позначено *MUX* (англ. *Multiplexer*) – мультиплексор.

Мультиплексор працює наступним чином.

Комутація єдиного з усіх входів до виходу здійснюється тим, що логічні елементи $D2 - D5$ виконують роль ключів. Такий ключ буде відкритий якщо обидва його входи одиничні. Оскільки з усіх виходів дешифратора адреси $D1$ тільки один одиничний, за будь-якої адреси відкрита тільки одна зі схем $D2 \dots D5$.

При адресному числі 00 стан адресних входів $a_1 = 0$ та $a_0 = 0$. Підставляючи ці значення в (9.1), отримуємо $y = x_0$, тобто до виходу передається тільки інформація x_0 . Це пояснюється тим, що рівень логічної одиниці устанавлюється тільки на виході z_0 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D2$ має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація $y = x_0$ (або 0, або 1).

При адресному числі 01 $a_1 = 0$ та $a_0 = 1$. Підставляючи ці значення в (9.1), отримуємо $y = x_1$, тобто до виходу передається тільки інформація x_1 . Це пояснюється тим, що рівень логічної одиниці устанавлюється тільки на виході z_1 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D3$ має дозвіл на спрацьовування. При цьому на виході мультиплексора буде інформація $y = x_1$ (або 0, або 1) і т.д.

При комутації багаторозрядних слів використовують декілька мультиплексорів, виходи яких з'єднуються за схемою АБО. Для цієї мети випускаються декілька однотипних мультиплексорів в одному корпусі.

Демультимплексори

Демультимплексори здійснюють комутацію одного інформаційного входу до одного з декількох виходів, адреса якого задана. Демультимплексори мають один інформаційний вхід, декілька виходів та адресні входи.

Таким чином, на приймальному кінці мультиплексованої магістралі потрібно виконати зворотну операцію – демультимплексування.

Демультимплексор можна реалізувати за тією ж схемою, що й для мультиплексора (рис. 9.1), якщо всі інформаційні входи x_0, x_1, x_2, x_3 з'єднати в один вхід x (рис. 9.2).

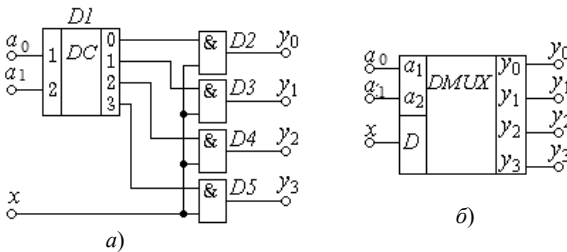


Рис. 9.2. Демультимплексор 1...4:
а) схема; б) умовне позначення

Варіант побудови схеми демультимплексора 1...4 на базі дешифратора $D1$ та логічних елементів $2I D2...D5$ показаний на рис. 9.2,а.

На рис. 9.2,б позначено: $DMUX$ (англ. *Demultiplexer*) – демультимплексор.

Входи дешифратора a_1, a_2 є адресними. Тому в залежності від адресного числа лише на одному з виходів дешифратора з'являється логічна одиниця, яка дає дозвіл до спрацювання лише одного з чотирьох логічних елементів $D2...D5$. На інші входи кожної схеми $2I$ надходить шина вхідного сигналу x . Вхідна інформація відтворюється на виході одного з чотирьох логічних елементів $D2...D5$, який отримав дозвіл відповідно до адресного входу.

Виходячи з цього, отримуємо логічний вислів демультимплексора:

$$\begin{aligned} y_0 &= x \cdot \bar{a}_1 \cdot \bar{a}_0; \\ y_1 &= x \cdot \bar{a}_1 \cdot a_0; \\ y_2 &= x \cdot a_1 \cdot \bar{a}_0; \\ y_3 &= x \cdot a_1 \cdot a_0. \end{aligned} \quad (9.2)$$

Таблиця 9.2. Стани демультимплексора 1...4

Адресні входи		Виходи			
a_1	a_0	y_0	y_1	y_2	y_3
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

Для пояснення роботи демультимплексора надамо таблицю його станів (табл. 9.2).

Демультимплексор працює наступним чином.

Підставляючи в (9.2) з табл. 9.2 адресу $a_1 = 0; a_0 = 0$, переконуємося в тому, що тільки $y_0 = x$, тобто вхідний сигнал x діє тільки на одному виході y_0 . Це пояснюється тим, що при

адресі $a_1 = 0$; $a_0 = 0$ тільки вихід 0 дешифратора $D1$ одиничний. Тому для вхідного сигналу x відкрита тільки схема $D2$.

За адресою $a_1 = 0$; $a_0 = 1$ таким самим чином отримуємо $y_1 = x$ і т.д.
Стани виходів для інших адрес видно з табл. 9.2.

9.2. Завдання для розрахунку

1. Дайте схему мультиплексора чи демультиплексора (див. вихідні дані) під час роботи з неповним дешифратором адреси 4-10.
2. Вкажіть потенціали входів та виходів дешифратора адреси, які відповідають заданому варіанту.
3. Заштрихувати логічні схеми, на виході яких з'являтиметься вхідний сигнал.

9.3. Вихідні дані

1. Необхідно розробити логічне обладнання залежно від номера варіанта MN :
якщо N – парна цифра: розробите схему мультиплексора;
якщо N – непарна цифра: розробіть схему демультиплексора.

9.4. Контрольні запитання

1. Розкажіть, які цифрові пристрої називають мультиплексорами та для чого вони призначені.
2. Розкажіть, які цифрові пристрої називають демультиплексорами та для чого вони призначені.
3. Поясніть, чи обов'язково у схемах мультиплексора та демультиплексора включати дешифратор адреси.
4. Поясніть, чому адреса посилки надходить у двійковому коді.
5. Поясніть необхідність наявності входу E .

9.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 287-290.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 297-303.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 282-288.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Ч. 2. – С. 13-20.

Тема 10. КОМБІНАЦІЙНІ ПРИСТРОЇ. ПРОГРАМОВАНІ ЛОГІЧНІ МАТРИЦІ

10.1. Ключові положення

Матрична схема

Матрична схема або *логічна матриця* являє собою сітку ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці ці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем. Отже, з матричної структури шляхом її програмування одержують заданий комбінаційний пристрій. Тому такі структури називаються “*комбінаційні програмовані логічні матриці*” (ПЛМ).

ПЛМ, як правило, мають два схемотехнічних рівні: на першому з них утворюються потрібні кон’юнкції, а на другому – диз’юнкції. Іноді одна з матриць може бути фіксованою. Обидві матриці з’єднуються каскадно.

Існують також *послідовні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам’яті. Такі ПЛМ характеризуються розрядністю регістра пам’яті.

Розглянемо програмовану логічну матрицю, що наведена на рис. 10.1 і містить матриці M1 та M2.

Матриця M1 має три входи x_1, x_2, x_3 , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини x_1, x_2, x_3 в M1 є вхідними, а вертикальні $P_1 - P_4$ – вихідними.

Виходи P носять назву *ліній терм*.

Кожна вхідна шина x_1, x_2, x_3 зв’язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини $\bar{x}_1, \bar{x}_2, \bar{x}_3$).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку кон’юнкцію її вхідних змінних, тобто функцію I.

Матриця M1 працює як дешифратор, виходами якого є кон’юнктивні терми $P_1 - P_4$. Дійсно, при появі одиниці (високого рівня напруги) на одному із входів x_i , на виході відповідного інвертора з’являється \bar{x}_i (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях x_i та \bar{x}_i присутні, то високий потенціал лінії x_i закоре “свій” діод і на відповідній вертикальній лінії терм буде високий рівень напруги $\approx +E$, якщо на всіх інших горизонтальних лініях буде також рівень логічної одиниці.

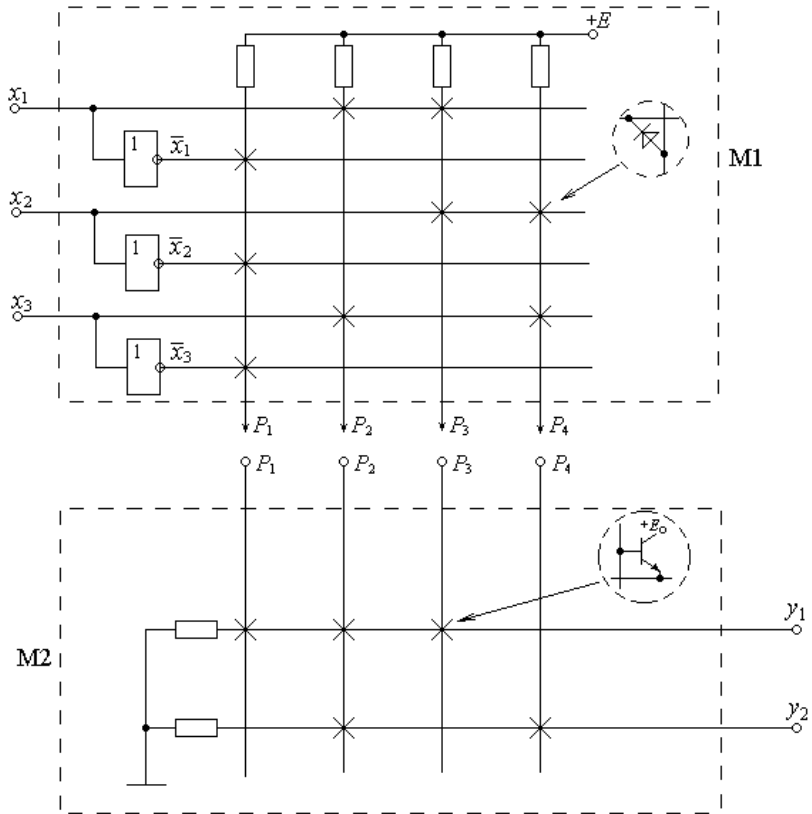


Рис. 10.1. Програмована лічильна матриця: M1 – матриця кон'юнкції; M2 – матриця диз'юнкції

Низький рівень лінії \bar{x}_i відкриє “свій” діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині P_N можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки при високих рівнях логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина P_N .

Таким чином, на вертикальній лінії P_N реалізується кон'юнкція змінних. Матриця кон'юнкцій M1 має перемички в місцях, позначених хрестиками, і реалізує функції кон'юнкції за формулами:

$$\begin{aligned}
 P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3, \\
 P_2 &= x_1 x_3, \\
 P_3 &= x_1 x_2, \\
 P_4 &= x_2 x_3.
 \end{aligned}
 \tag{10.1}$$

Матриця М2 має чотири вертикальні $P_1 - P_4$ шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз'юнкцію (функцію АБО) вхідних змінних. У матриці М2 вхідними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз'юнкцій, що описується математичним виразом

$$\begin{aligned}
 y_1 &= P_1 \vee P_2 \vee P_3; \\
 y_2 &= P_2 \vee P_4.
 \end{aligned}
 \tag{10.2}$$

Дійсно, на матриці диз'юнкцій М2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці М2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході y_j був високий рівень логічної одиниці. Тільки відсутність струмів на всіх горизонтальних лініях забезпечує на ній логічний нуль, що відповідає операції диз'юнкції. Отже, в наведеному прикладі (рис. 10.1) реалізується функція, яка описується формулами (10.2).

Якщо з'єднати обидві матриці М1 та М2, як показано на рис. 10.2, то одержана схема буде реалізовувати систему бульових функцій

$$\begin{aligned}
 y_1 &= P_1 \vee P_2 \vee P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_3 \vee x_1 x_2, \\
 y_2 &= P_2 \vee P_4 = x_1 x_3 \vee x_2 x_3.
 \end{aligned}
 \tag{10.3}$$

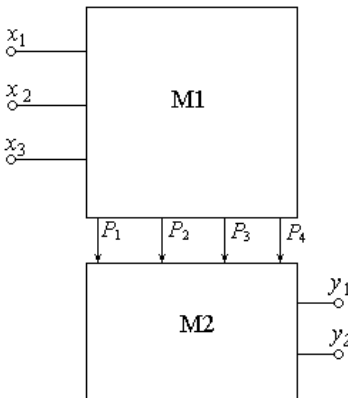


Рис. 10.2. Дворівнева матриця

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Реалізації системи функцій матрицями М1 та М2 можна зобразити у вигляді таблиці програмування (табл. 10.1).

У табл. 10.1, стовпці якої відзначені змінними x_1, \dots, x_l та функціями y_1, \dots, y_N , кожній проміжній шині P_1, \dots, P_B ставиться у відповідність рядок таблиці (B – кількість вертикалів).

На перетині j -го рядка і стовпця x_l ($l = \overline{1, L}$) записуються:

1, якщо змінна x_e входить в j -ту елементарну кон'юнкцію без інверсії;

0, якщо змінна x_e входить в j -ту елементарну кон'юнкцію з інверсією;

риска (–), якщо змінна x_e не входить в j -ту елементарну кон'юнкцію.

На перетині j -го рядка і стовпця y_n ($n = \overline{1, N}$) записуються:

1, якщо j -та елементарна кон'юнкція входить в диз'юнкцію y_n ; крапка (.), якщо j -та елементарна кон'юнкція не входить в диз'юнкцію y_n .

Відповідним чином будь-яка система булевих функцій y_1, \dots, y_N вхідних змінних x_1, \dots, x_L може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції P_1, \dots, P_B , а на другому – диз'юнкції y_1, \dots, y_N відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

Складність матричної реалізації оцінюється сумарною ємністю (площею) матриць. У загальному випадку в схемі, що має L входів, N виходів та B вертикалей площа становить

$$S(M) = S(M_1) + S(M_2) = 2LB + BN. \quad (10.4)$$

Дворівневі та три рівневі ПЛМ

На рис. 10.3 наведена дворівнева ПЛМ, яка складається з двох матриць: M_1 та M_2 .

Матриця M_1 має S входів і q виходів. Вона дозволяє реалізувати q елементарних кон'юнкцій P_1, \dots, P_q змінних x_1, \dots, x_S , що надходять на її входи.

Матриця M_2 має q входів і t виходів. Вона дозволяє реалізувати t елементарних диз'юнкцій y_1, \dots, y_t змінних P_1, \dots, P_q , які надходять на її входи з виходів матриці M_1 .

Виходи матриці M_1 з'єднані з входами матриці M_2 й утворюють проміжні шини $1-q$ ПЛМ. ПЛМ, що має S входів, t та q проміжних шин називається ПЛМ (S, t, q) .

Різновидом ПЛМ (S, t, q) є їхня удосконалена модель: ПЛМ (Z, q) . В ПЛМ (Z, q) фіксується лише два параметри: підсумоване число входів і виходів $Z = S + t$ та число проміжних шин q . Параметри S і t можуть набувати будь-яких конкретних значень при програмуванні.

Таблиця 10.1. Таблиця програмування ПЛМ

Входи			Виходи	
x_1	x_2	x_3	y_1	y_2
0	0	0	1	.
1	–	1	1	1
1	1	–	1	.
–	1	1	.	1

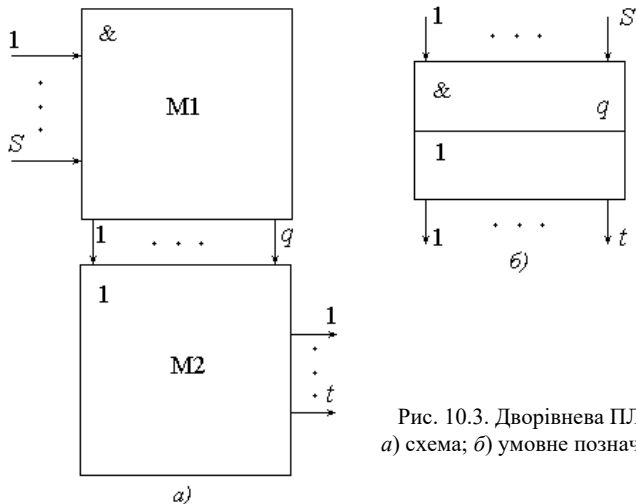


Рис. 10.3. Дворівнева ПЛМ:
а) схема; б) умовне позначення

Триврівнева ПЛМ комбінаційного типу (рис. 10.4) на відміну від дворівневої (рис. 10.3) має додатковий S -вхідний блок Д. Число виходів блока Д дорівнює числу h горизонтальних шин у матриці М1. Кожний i -й вихід з'єднаний з i -ю горизонтальною шиною цієї матриці ($i = \overline{1, h}$).

Блок Д може мати різноманітну внутрішню структуру. Наприклад, він може відігравати роль матриці M_0 , яка дозволяє утворювати h елементарних диз'юнкцій змінних x_1, x_2, \dots , що надходять на її входи і може використовуватися або з інверсією, або без інверсії. Найбільш часто блок Д складений з набору $S/2$ двовхідних повних дешифраторів. Такі матриці позначаються ПЛМД (S, t, q). Для ПЛМД (S, t, q) блок Д має S входів і $2S$ виходів, а число горизонтальних шин матриці М1 кратно чотирьом.

Входи кожного дешифратора – це входи блока Д, а чотири виходи кожного i -го з них з'єднані з відповідними чотирма горизонтальними шинами i -ї групи матриці. Використання ПЛМД на відміну від ПЛМ дозволяє значно зменшити число проміжних шин для реалізації заданої системи булевих функцій, тобто реалізувати більш складні системи. Площа матриць М1 і М2 за цього використовується значно раціональніше.

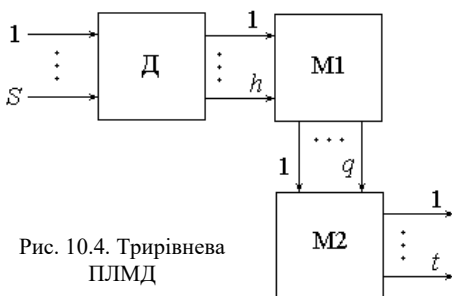


Рис. 10.4. Триврівнева ПЛМД

Подальша робота, яка спрямована на збільшення ефективності використання площі ПЛМ, привела до створювання структури, яка має наступні чотири особливості:

- матриця поділена на дві частини – $M1'$ і $M1''$. Матриця $M1'$ розміщена над матрицею $M2$, а матриця $M1''$ – під матрицею $M2$. Це дозволяє за необхідності розрізати проміжні шини в матриці $M2$ та реалізувати на верхній та нижній частинах однієї проміжної шини різні елементарні кон'юнкції вхідних змінних;

- входи матриць $M1'$ та $M1''$ розміщені з двох боків ліворуч та праворуч; кожна горизонтальна шина $M1'$ або $M1''$ розрізається в одному місці і на одну її частину подається змінна з лівого боку матриці, а на іншу – з правого;

- виходи матриці $M2$ розміщені з двох боків (зліва та справа). Кожна горизонтальна шина $M2$ розрізається в одному місці і на першій її частині формується значення функції для лівого виходу $M2$, а на другій – для правого;

- на кристалі ВІС ПЛМ передбачена спеціальна система шин, яка дозволяє з'єднувати виходи першої матриці з входами другої.

Розріз шин і організація необхідних зв'язків між входами та виходами різних матриць виконується на етапі налагоджування ПЛМ на виробництві.

Завдяки значним успіхам інтегральної технології з'явилася можливість реалізації ВІС з *жорсткою* та *гнучкою* структурами. Особливий практичний інтерес виявляється до програмованих гнучких структур. Серед них розрізняють ВІС, які придатні до програмування на етапі виготовлення, і ВІС, які можуть бути програмовані користувачем.

Перші з них – це мікросхеми, які називають незавершеними логічними матрицями. Програмують такі ПЛМ програмою замовника на виробництві на стадії занесення програми в матриці в процесі її виготовлення шляхом металізації ділянок матриці через спеціальну маску-шаблон. Після виготовлення інтегральної схеми з використанням маскових технологій перепрограмування неможливе.

Другі ПЛМ поділяють на дві групи: ВІС, які можуть бути тільки одноразово запрограмовані замовником або користувачем – це прості програмовані логічні матриці, та ВІС з багаторазовим перепрограмуванням – це перепрограмовані логічні матриці.

Перепрограмовані ЛМ (ППЛМ) є більш зручними. Це стандартні готові мікросхеми-напівфабрикати, в яких активні елементи на початковій стадії включені на всіх перетинах матриць через ніхромові перемички. Такі ВІС програмують самі користувачі за допомогою спеціальних програматорів шляхом електродного випалювання перемичок імпульсом струму. При цьому, якщо змінна x_i входить у терм P_i в прямій формі, перепалюють тільки одну перемичку, що з'єднує терм P_i з її інверсією \bar{x}_i , і навпаки: якщо змінна x_i та її інверсія \bar{x}_i не входять у терм P_i , перепалюють обидві перемички.

На рис. 10.5 показане умовне позначення мікросхеми ППЛІМ, де вхід FE використовується тільки при програмуванні і називається вхід дозволу перепалювання, а вхід CE – дозвіл вибірки.

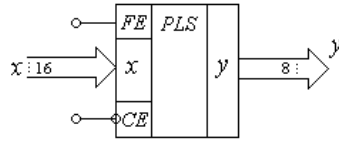


Рис. 10.5. Умовне позначення ППЛІМ

Якщо на вході цієї ВІС ПЛІМ повне число можливих комбінацій складає $2^{16} = 65536$, то на виході буде лише 48 різних вихідних комбінацій. Тому з усіх вхідних комбінацій невикористаних буде $65536 - 48 = 65488$. Недоліком ПЛІМ є обмежені функціональні можливості.

На базі ПЛІМ можна будувати комбінаційні цифрові пристрої на досить простих принципах. Основним етапом розробки є складання таблиці програмування ПЛІМ, яка є інструкцією процедури перепалювань непотрібних перемичок у матрицях. З метою розширення функціональних можливостей використання ПЛІМ промисловою випускаються її спрощені варіанти, наприклад, програмовані матриці вентилів, програмовані матриці логіки, програмовані мультиплексори і т.д.

Будь-яка система Q з N булевих функцій L змінних, що описує поведінку комбінаційної схеми, може бути тривіально реалізована на одній ПЛІМ (s, t, q), якщо виконуються вимоги $L < s, N < t, B < q$.

10.2. Завдання для розрахунку

1. Розробіть з урахуванням ПЛІМ комбінаційний пристрій: шифратор 10...4 чи дешифратор 4... 10, як зазначено у вихідних даних.
2. Запишіть систему булевих функцій реалізації шифратора 10. ..4 чи 4... 10.
3. Визначте мінімальну кількість входів, терм та виходів для реалізації заданої схеми.

10.3. Вихідні дані

1. Пристрій для розробки вибирається залежно від номера варіанта MN : якщо N – парна цифра, необхідно розробити схему шифратора; якщо N – непарна цифра, необхідно розробити схему дешифратора.

10.4. Вказівки до виконання розрахунку

1. Під час виконання схеми шифратора використовується лише матриця $M2$. Дані з входу передаються на терми P . У цій схемі матриця $M1$ використовується як транслятор входу.
2. Під час виконання схеми дешифратора використовується лише матриця $M1$. Отримані результати з терм передаються на виходи Y . У цій схемі матриця $M2$ використовується як транслятор виходу.

10.4. Контрольні запитання

1. Поясніть, що є програмовані логічні матриці ПЛІМ.
2. Поясніть, які функції виконує кожен рівень ПЛІМ.
3. Розкажіть, що є перепрограмована логічна матриця ППЛІМ.
4. Розкажіть, що таке матрична структура.

10.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 294-300.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 303-322.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 288-309.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Ч. 2. – С. 89-94.

Тема 11. ЦИФРО-АНАЛОГОВІ ТА АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

11.1. Ключові положення

У більшості випадків сигнал, який надходить від джерела інформації, має аналогову форму та описується неперервною функцією із миттєвими значеннями, які розміщені в деякому інтервалі часу. Це, наприклад, речовий сигнал у телефонії та радіомовленні, телевізійний сигнал тощо.

Передавання та оброблення таких сигналів може виконуватись двома способами: аналоговим та цифровим. Останнім часом найбільшого розповсюдження набули *цифрові системи передачі* (ЦСП).

На передавальному кінці ЦСП аналогові сигнали перетворюються в цифрові, а на приймальному кінці виконується обернене перетворення сигналів з цифрової форми в аналогову.

Основні переваги цифрових методів оброблення та передавання порівняно з аналоговими полягають у високій завадостійкості, принциповій можливості виключення апаратурної похибки при обчисленнях, стабільності параметрів (незалежно від часу та змін температури), оперативності зміни алгоритму обробки, підвищенні швидкодії тощо.

Перетворення сигналів з аналогової форми в цифрову виконується в приладах, які називаються *аналого-цифровими перетворювачами* (АЦП).

Прилади, які виконують обернене перетворення сигналів з цифрової форми в аналогову, називаються *цифро-аналоговими перетворювачами* (ЦАП).

АЦП і ЦАП є основними функціональними вузлами цифрової техніки та техніки зв'язку, які визначають точність, швидкодію та конструктивні параметри цифрових радіотехнічних систем. За останні роки досягнуті значні успіхи в побудові систем оброблення неперервної інформації завдяки появі аналогових мікропроцесорів, де поєднуються перетворення форми зображення та цифрове оброблення сигналів.

Параметри інтегральних схем ЦАП і АЦП можна поділити на дві групи: статичні та динамічні.

Статичні параметри, в свою чергу, розподіляються на дві підгрупи.

До першої підгрупи статичних параметрів відносяться параметри, загально прийняті для усіх типів ІС, які визначають енергетичні показники, наприклад, струм споживання, напругу живлення і т.д.

До другої підгрупи відносяться параметри, які характерні лише для перетворювачів. Це характеристика перетворення (ХП), розрядність, діапазон та рівні вхідних і вихідних сигналів, нелінійність, диференціальна нелінійність, абсолютна похибка перетворення, напруга відхилення нуля на виході ЦАП або АЦП.

До *динамічних параметрів* відносяться час перетворення і частота перетворення, які визначають швидкодію ЦАП і АЦП.

Цифро-аналогові перетворювачі

Цифро-аналоговими перетворювачами (ЦАП) називають пристрої, які перетворюють вхідну цифрову комбінацію на вихідну аналогову величину. Наприклад, вхідна комбінація Σx_i (рис. 11.1) перетворюється на вихідну напругу $U_{\text{вих}}$.

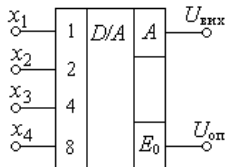


Рис. 11.1. Умовне позначення двійкового чотирирозрядного ЦАП

До входу E_0 подається стабілізована так звана опорна напруга $U_{\text{оп}}$, з якої утворюється аналогова копія $U_{\text{вих}}$ вхідного числа Σx_i .

Цифро-аналогове (ЦА) перетворення складається з підсумовування еталонних величин, що відповідають розрядам вхідного числа.

Застосовуються, як правило, два методи ЦА перетворення: підсумовування однакових еталонних величин та підсумовування еталонних величин, вагові коефіцієнти яких відрізняються.

У першому методі при формуванні вихідного аналогового сигналу використовується тільки одна еталонна величина вагою в один квант.

У другому методі використовуються еталонні величини з вагами, залежними від номера розряду, а в підсумовуванні беруть участь лише ті еталонні величини, для яких у відповідних розрядах вхідного числа встановлюється рівень логічної одиниці. При цьому в більшості випадків використовуються двійковий або двійково-десятковий коди.

У випадку двійкового коду робота ЦАП описується рівнянням:

$$U_{\text{вих}} = U_{\text{оп}} (x_1 2^{-1} + x_2 2^{-2} + \dots + x_n 2^{-n}), \quad (11.1)$$

де $U_{\text{вих}}$ – вихідна аналогова напруга;

$U_{\text{оп}}$ – опорна напруга;

x_i – вагові коефіцієнти відповідних двійкових розрядів, які набувають значення або одиниці, або нуля;

n – число розрядів.

Окремі еталонні величини, що відповідають значенням розрядів вхідного числа, які підсумовуються й утворюють дискретні значення вихідної напруги (аналогової величини), формуються з опорної напруги $U_{\text{оп}}$. Опорною може бути напруга постійного або змінного струму.

Класифікація ЦАП може бути подана за різноманітними ознаками:

- за способом формування вихідного сигналу (підсумовування напруг, ділення напруг, підсумовування струмів);

- за видом вихідного сигналу (зі струмовим виходом, з виходом за напругою);

- за полярністю вихідного сигналу (уніполярні, біполярні);

- за характером джерела опорної напруги (постійної чи змінної);

- за типом елементів (резистивні, ємнісні, оптоелектронні тощо).

Схеми ЦАП виготовляють здебільшого в інтегральному виконанні. Серед різних способів ЦА перетворення широкого використання набули ЦАП, спільною ознакою яких є наявність матриці резисторів R з вихідним аналоговим суматором на перетворювачі струму в напругу.

Матриця резисторів призначена для “зважування” цифрового сигналу, який подано паралельним кодом. Для реалізації ЦА перетворення переважно використовують два типи матриць резисторів:

- складеної з двійково-зважених резисторів;
- на основі резисторів зі співвідношенням $R-2R$.

Параметри ЦАП

Параметри, що нормуються для даного типу ЦАП, визначаються їхнім призначенням або областю їхнього використання. Основні параметри інтегральних мікросхем ЦАП регламентуються стандартом. Номенклатура нормованих параметрів розбивається на дві групи: статичні та динамічні.

Статичні параметри описують роботу перетворювачів у статичному режимі і містять наступне.

Число розрядів n визначається як двійковий логарифм максимального числа кодових комбінацій на вході ЦАП

$$n = \log_2 b, \quad (11.2)$$

де b – число можливих кодових комбінацій на вході ЦАП.

Сукупність значень вихідної аналогової величини x_i , (найчастіше це напруга $U_{\text{вих}}$ і тому надалі у формулах будемо використовувати тільки цей параметр), в залежності від вхідного числа N_i , називають *номінальною функцією* або *характеристикою перетворення* (ХП). Така сукупність може надаватися у вигляді графіку (рис. 11.2), формули, таблиці.

Значення дискретної зміни вихідної аналогової величини при зміні вхідного числа на одиницю називається *кроком квантування* h .

Кількісний зв'язок між вхідним числом та його аналоговим еквівалентом установлює формула

$$U_{\text{вих } i} = hN \pm \delta U, \quad (11.3)$$

де h – крок квантування;
 δU – похибка перетворення;
 N – вхідне число.

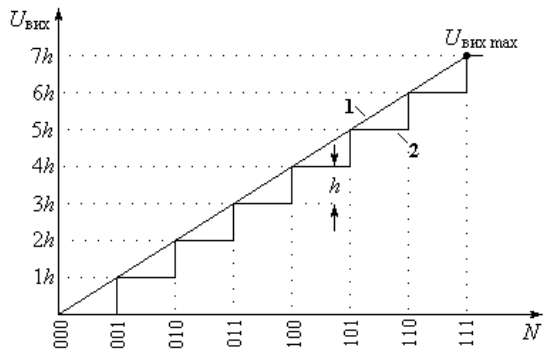


Рис. 11.2. Характеристика перетворення трирозрядного двійкового ЦАП

Двійкове число N складається з певної кількості розрядів $2^i x_i$, які можуть набувати значень або 0, або 1.

$$N = 2^0 x_1 + 2^1 x_2 + \dots + 2^{n-1} x_n = \sum_{i=1}^n 2^i x_i; \quad (11.4)$$

$$x_i = \in \{x_1, x_2, \dots, x_n\},$$

де n – кількість двійкових розрядів.

З характеристики перетворення трирозрядного ЦАП (див. рис. 11.2), яка побудована за таблицею станів розрядів ЦАП (табл. 11.1), видно, що при зміні вхідного числа N на одиницю вихідна аналогова напруга $U_{\text{вих}}$ дискретно змінюється на крок квантування h .

Якщо на вхід ЦАП подано максимальне для даного пристрою двійкове число, то на виході одержуємо максимальне значення вихідної аналогової величини $U_{\text{вих max}}$.

Щодо мінімальної вихідної напруги, то вона може набувати будь-яких значень у межах $0 \leq U_{\text{вих min}} < U_{\text{вих max}}$.

Інтервал значень вихідної напруги від мінімальної $U_{\text{вих min}}$ до максимальної $U_{\text{вих max}}$ називають діапазоном змінення вихідної величини.

Крок квантування та діапазон змінення вихідної величини (без урахування похибки перетворення) зв'язані співвідношенням

$$h = \frac{U_{\text{вих max}}}{2^n}. \quad (11.5)$$

При зменшенні кроку квантування ХП 2 наближається до прямої лінії 1 (див. рис. 11.2).

У випадку *ідеального* лінійного ЦАП усі кроки квантування *однакові*. В реальних ЦАП кроки квантування в різних точках відрізняються один від одного, що зумовлює похибку перетворення. Тому використовують середнє значення кроку квантування $h_{\text{ср}}$.

Найменше значення зміни вихідної аналогової величини від кроку квантування h , яку можна відрізнити, називається роздільною здатністю. Роздільна здатність може розраховуватися або в одиницях вихідної аналогової величини, або у відсотках.

Реальні характеристики перетворення відрізняються від ідеальної неоднаковим значенням кроків квантування на всій довжині ХП. Різниця між ідеальною ХП та реальною визначає похибку перетворення. Похибка, яка виникає в реальному випадку, характеризується рядом відхилень та визначається відповідними параметрами: нелінійність, диференційна нелінійність, відхилення аналогової величини від номінального значення, напруга зсуву нуля.

Таблиця 11.1.
Стани розрядів ЦАП

x_3	x_2	x_1	$U_{\text{вих}}$
0	0	0	0
0	0	1	$1h$
0	1	0	$2h$
0	1	1	$3h$
1	0	0	$4h$
1	0	1	$5h$
1	1	0	$6h$
1	1	1	$7h$

Нелінійність δ_L – це максимальне відхилення точки реальної ХП від ідеальної. Нелінійність може бути приведеною до виходу і тоді вона визначається у відносних одиницях формулою

$$\delta_L = \frac{\delta_{\max}}{U_{\text{вих max}}}, \quad (11.6)$$

де δ_{\max} – максимальне відхилення будь-якої точки реальної ХП від ідеальної.

Диференційна нелінійність δ_{LD} – це відносне відхилення дійсного кроку квантування h від його середнього значення $h_{\text{сеп}}$, яке визначається формулою

$$\delta_{LD} = \frac{h - h_{\text{сеп}}}{U_{\max}}. \quad (11.7)$$

Для оцінки ЦАП враховують лише максимальне значення диференційної нелінійності.

Абсолютна похибка перетворення в кінцевій точці шкали δ_{FS} відлічується, як відхилення реального значення кінцевої точки характеристики перетворення від ідеального за формулою

$$\delta_{FS} = U_{\text{вих max } i} - U_{\text{вих max}}, \quad (11.8)$$

де $U_{\text{вих max } i}$ і $U_{\text{вих max}}$ – значення вихідної напруги в кінцевій точці, відповідно ідеальної та реальної ХП.

Напруга зсуву нуля вихідної аналогової величини – це дійсне значення вихідної величини при нульовому вхідному числі. Цей параметр визначається, як величина, на яку паралельно ідеальній зсувається реальна ХП відносно початку координат.

Динамічні параметри ЦАП зумовлені тим, що в реальних умовах експлуатації ЦАП працюють при безперервному змінненні значень вхідного числа. Відлік напруги на виході ЦАП повинен відбуватися тільки після закінчення всіх перехідних процесів у ньому. Тому швидкодія ЦАП визначається часом його перехідних процесів, а динамічні параметри зумовлюють швидкодію та похибка оброблення інформації.

Найважливішим динамічним параметром є час установалення вихідного сигналу або час перетворення t_s . Він визначається як час від початку зміни цифрового сигналу на вході ЦАП до появи на виході відносно сталого аналогового сигналу. В залежності від типу ЦАП – це може бути час установалення вихідного струму t_{si} , або час установалення вихідної напруги t_{sv} . Найчастіше в довідниках наводять час установалення при стрибкоподібній зміні вхідного числа від мінімуму до максимуму, або навпаки.

Другий важливий динамічний параметр – це час затримки розповсюдження t_r . Він визначається тривалістю часу до моменту досягнення вихідною аналоговою величиною половини максимального вихідного значення $U_{\text{вих max}}$.

Схеми ЦАП

Схеми ЦАП виконуються у виді резистивних матриць, які іноді називають квантувачами.

Найпростішими квантувачами вважаються матриці на двійково-зважених резисторах, бо містять найменшу кількість резисторів – лише по одному резистору на кожний двійковий розряд. Номінали резисторів, які використовуються для ЦАП, визначаються з ряду $2^0R; 2^1R; 2^2R; \dots; 2^{n-1}R$; де n – число двійкових розрядів.

З цього ряду видно недолік матриці на двійково-зважених резисторах – це значна кількість номіналів резисторів: n . Якщо врахувати прецизійне виготовлення кожного резистора, то згаданий недолік є суттєвим. Тому в більшості випадків матриці на двійково-зважених резисторах виготовляють тетрадними, тобто чотирирозрядними. Тоді в кожній тетраді лише чотири резистори. Щодо збільшення розрядності, то її нарощують кількістю тетрад.

Схема ЦАП на матриці двійково-зважених резисторів з підсумовуванням зважених струмів наведена на (рис. 11.3).

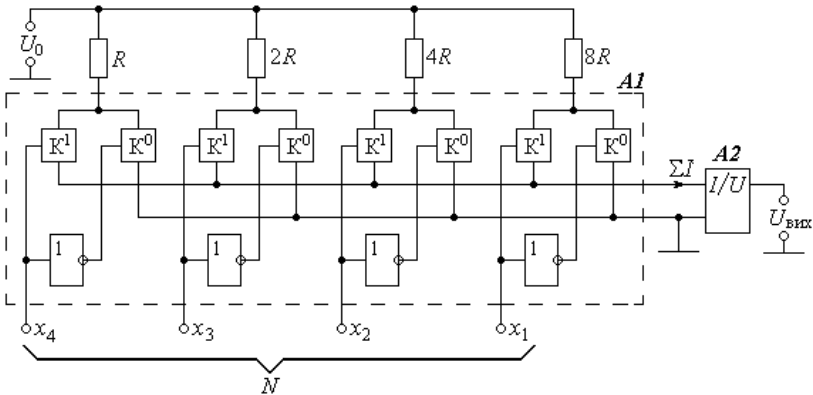


Рис. 11.3. Схема ЦАП на двійково-зважених резисторах

Тут:

$R, 2R, 4R, 8R$ – матриця двійково-зважених резисторів;

U_0 – джерело стабілізованої опорної напруги;

$A1$ – комутатор;

$A2$ – суматор зважених струмів (перетворювач струму в напругу).

Входи резисторів матриці $R, 2R, 4R, 8R$ живляться від джерела опорної напруги U_0 . Виходи цих резисторів підключені до одиничних K^1 та нульових K^0 ключів комутатора $A1$. До входів ключів K^1 підключені двійкові розряди $x_4; x_3; x_2; x_1$ вхідного числа N безпосередньо, а до входів ключів K^0 – через інвертори.

Тому за будь-якого значення розряду один із ключів відкритий, а інший закритий.

Щодо наявності в кожному розряді двох ключів, а не одного, то це пояснюється наступним.

Для уникнення впливу внутрішнього опору джерела U_0 на точність перетворювання слід мати навантаження опорної напруги U_0 незмінним за будь-якого стану ключів. З цієї вимоги випливає, що за будь-якого стану входи ЦАП виходи резисторів $R, 2R, 4R, 8R$ мають підключатися до однієї і саме тієї ж напруги. Такою напругою тут вибрана нульова. Тоді при нульовому стані входи $x_4; x_3; x_2; x_1$ ключі K^0 підключають виходи резисторів до нульової шини, а при одиничному – до інвертуючого входу приймача струму $A2$, який є віртуальною землею, тобто теж до нульової напруги. Отже для незмінного навантаження U_0 слід мати парні перекидні ключі K^0 і K^1 .

Через одиничні ключі K^1 усі резистори матриці зв'язані зі входом суматора струмів $A2$, а через K^0 – з нульовою шиною. Тому виходи резисторів матриці підключаються або до входу суматора струмів $A2$, або до нуля.

Перетворення вхідного числа N у напругу $U_{\text{вих}}$ здійснюється наступним чином.

У залежності від вхідного числа N на входах ключів K^1 та K^0 установлюється відповідна комбінація логічних нулів та логічних одиниць. Ключі K^1 , на входах яких напруга дорівнює логічному нулю, закриваються і струм через них не тече, тобто вони не підключають резистори до входу суматора струмів $A2$.

Так, при нульовому вхідному числі $N = \{0000\}$ всі ключі K^1 закриті, а K^0 відкриті. Тому виходи резисторів відключені від входу суматора ΣI і підключені до нуля. Через це сума струмів на вході суматора теж нульова $\Sigma I = 0$ і вихідна напруга дорівнює нулю: $U_{\text{вих}} = Q \Sigma I = 0$, де Q – коефіцієнт перетворення струму в напругу.

Коли ж усі розряди підведеного числа одиничні $N = \{1111\}$, то стани ключів змінюються на протилежні: ключі K^0 закриваються, відключаючи резистори від нуля, а ключі K^1 відкриваються, підключаючи резистори до входу суматора $A2$. Через це сума струмів на вході суматора максимальна $\Sigma I = I_{\text{max}}$, через що вихідна напруга теж максимальна: $U_{\text{вих max}} = Q I_{\text{max}}$.

Проміжні значення вхідного числа $\{0000\} < N < \{1111\}$ викликають відповідні проміжні пропорційні значення вихідної напруги $0 < U_{\text{вих}} < U_{\text{вих max}}$. Так, розряд $x_1 = 1$ забезпечить на вході $A2$ градацію струму $I_1 = E_0/8R$, розряд $x_2 = 1$ забезпечить дві таких градації і т.д. Сума струмів на вході суматора становитиме

$$\Sigma I = \frac{U_0}{R} x_4 + \frac{U_0}{2R} x_3 + \frac{U_0}{4R} x_2 + \frac{U_0}{8R} x_1 = 15 \frac{U_0}{8R}. \quad (11.9)$$

Вихідна напруга визначиться як

$$U_{\text{вих}} = Q \Sigma I. \quad (11.10)$$

Приймаючи в (11.8) усі значення $x_i = 1$, знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = 15Q \frac{U_0}{8R}. \quad (11.11)$$

Крок квантування дорівнює градації вихідної напруги від наймолодшого розряду ($x_4 = 1$):

$$h = Q \frac{U_0}{8R}. \quad (11.12)$$

Діленням (11.11) на (11.12) знаходимо, що кількість кроків квантування чотирирозрядного двійкового ЦАП становить 15.

У залежності від вхідного числа N проміжні значення вихідної напруги приймають значення в межах $0 < U_{\text{вих}} \leq 15h$.

Наперед слід сказати, що для сучасної техніки (про це йдеться нижче) 15 кроків квантування – це дуже мало. Як правило, потрібно $10^2 \dots 10^4$ кроків. Тому виникає задача нарощування розрядності ЦАП.

Цю задачу вирішує каскадне з'єднання тетрад ЦАП (рис. 11.4), через масштабуючі резистори з опорами

$$R_m = 8,1R_i, \quad (11.13)$$

де R_i – внутрішній опір тетради.



Рис. 11.4. Схема нарощування розрядності двійково-десятичного ЦАП

Його провідність визначається сумою провідностей всіх резисторів

$$\frac{1}{R_i} = \frac{1}{R} + \frac{1}{2R} + \frac{1}{4R} + \frac{1}{8R} = \frac{15}{8R}, \quad (11.14)$$

звідки внутрішній опір тетради становить

$$R_i = \frac{8}{15} R. \quad (11.15)$$

За формулами (11.13) та (11.15) можна розрахувати опір масштабуючих резисторів R_m .

Схема ЦАП працює наступним чином.

Старша тетрада “×1000” живиться повною напругою $U_{оп}$, а кожна наступна тетрада – напругою, зменшеною в 16 разів через масштабуючі резистори $R_m = 8,1R$. Так, наведена схема шістьма номіналами резисторів забезпечує 9999 десяткових градацій вихідної напруги, тобто 9999 кроків квантування.

Кількість каскадів для подальшого можливого зменшення кроку квантування не обмежується.

Недоліком ЦАП на матриці двійково-зважених резисторів є досить значна кількість номіналів: шість на тетраду.

Цей недолік усунений в ЦАП на матриці типу $R-2R$.

Перевага матриці типу $R-2R$ полягає в простоті її виготовлення, бо вона має лише два номінали резисторів R та $2R$ проти багатьох номіналів матриці на двійково-зважених резисторах.

Схема ЦАП на матриці $R-2R$ наведена на рис. 11.5. Вона відрізняється від матриці на двійково-зважених резисторах (див. рис. 11.3) лише тим, що замість них використані резистори з опорами $2R$, а між ними включені резистори з опорами R .

Тут x_n – самий старший розряд, а x_1 – наймолодший.

Підрахуємо кількість кроків квантування, яку забезпечує n -розрядний двійковий ЦАП. Для цього визначимо опір між кожними з точок B, C, D, \dots, F і нульовою шиною (корпусом) та потенціали цих точок (рис. 11.5).

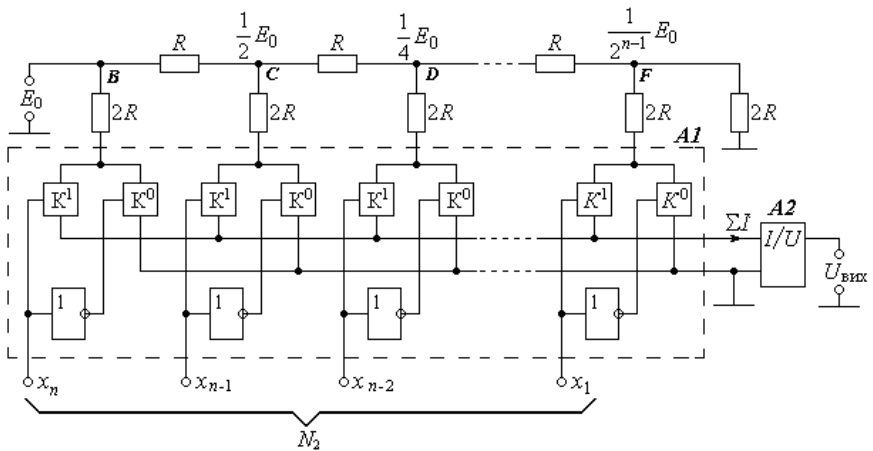


Рис. 11.5. Схема ЦАП на матриці типу $R-2R$

Між точкою F і корпусом включені два паралельно з’єднані резистори з опорами $2R$. Результуючий опір цього з’єднання становить $R_F = R$. (Щодо опорів ключів K^0 і K^1 , то вони нехтовно малі, через що їхнього впливу на опір

R_F практично немає). Тоді точка F є виходом подільника напруги з опором R в кожному плечі, через що потенціал точки F буде результатом ділення на два вхідної напруги цього подільника.

Отже потенціал точки D буде результатом ділення на два потенціалу точки C . Таким же чином перекоуємося в тому, що між точкою D і корпусом ввімкнений еквівалентний опір $R_D = R$. Тоді потенціал точки D також буде результатом ділення на два, але потенціалу точки C .

Таким чином, від розряду до розряду потенціал ділиться на два. Тому потенціали точок B, C, D, \dots , відповідно становлять $E_0; (1/2)E_0; (1/4)E_0; \dots$. З цього випливає, що розряд $x_n = 1$ забезпечить на вході перетворювача $A2$ протікання струму $I_n = \frac{E_0}{2R}$, розряд $x_{n-1} = 1$ забезпечить $I_{n-1} = \frac{1}{2} \frac{E_0}{2R}$ і т.д. Сумарний струм на вході перетворювача струму в напругу $A2$ при вхідному двійковому числі N становитиме

$$\Sigma I = \frac{E_0}{2R} x_n + \frac{1}{2} \frac{E_0}{2R} x_{n-1} + \frac{1}{4} \frac{E_0}{2R} x_{n-2} + \dots + \frac{1}{2^{n-1}} \frac{E_0}{2R} x_1 = \frac{E_0}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \quad (11.16)$$

де x_i – коефіцієнт розряду, який набуває значення 0 або 1 в залежності від двійкового вхідного числа N .

Вихідна напруга визначиться як $U_{\text{вих}} = Q \Sigma I$, тобто

$$\begin{aligned} U_{\text{вих}} &= E_0 \frac{Q}{2R} x_n + \frac{1}{2} E_0 \frac{Q}{2R} x_{n-1} + \frac{1}{4} E_0 \frac{Q}{2R} x_{n-2} + \dots + \frac{1}{2^{n-1}} E_0 \frac{Q}{2R} x_1 = \\ &= E_0 \frac{Q}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \end{aligned} \quad (11.17)$$

де Q – коефіцієнт перетворення струму в напругу.

Приймаючи в (11.17) $x_i = 1$ та $i = n$, знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = E_0 \frac{Q}{2R} \frac{1}{2^{n-1}} (n^2 - 1). \quad (11.18)$$

Крок квантування знайдемо як різницю між будь-якими двома суміжними членами (11.18):

$$h = \frac{1}{2^{n-1}} E_0 \frac{Q}{2R}. \quad (11.19)$$

Діленням (11.18) на (11.19) знаходимо кількість кроків квантування в залежності від числа n двійкових розрядів

$$q = (n^2 - 1). \quad (11.20)$$

З формул (11.10) ... (11.12) та (11.18) ... (11.20) можна зробити наступні висновки:

- вихідна напруга ЦАП прямо пропорційна напрузі живлення E_0 і вхідному двійковому числу $N = \{x_n, x_{n-1}, x_{n-2}, \dots, x_1\}$;
- крок квантування не залежить від максимальної вихідної напруги і за інших рівних умов визначається тільки кількістю розрядів вхідного числа;
- кількість кроків квантування за будь-яких умов визначається тільки кількістю розрядів вхідного числа;
- чим більше вхідне число, тим менше крок квантування.

Щодо серійних мікросхем ЦАП, то вони містять усі елементи, які позначені на рис. 11.5, крім перетворювача струму в напругу $A2$ (рис. 11.6,а). Тому його підключають до ЦАП зовнішньо (рис. 11.6,б). Як перетворювач струму в напругу здебільшого використовують операційний підсилювач $A2$.

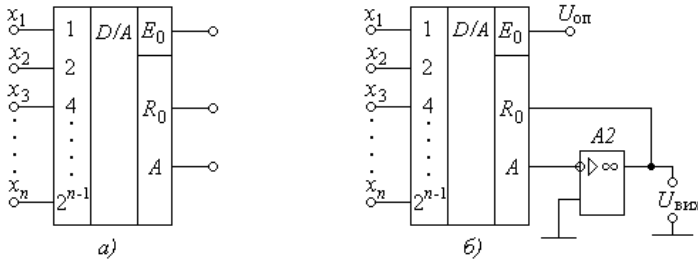


Рис. 11.6. Двійковий ЦАП: а) умовне позначення; б) схема включення

Аналого-цифрові перетворювачі

Аналого-цифровими перетворювачами (АЦП) називаються пристрої, які перетворюють аналогову величину в пропорційне число, тобто створюють цифрову копію аналогової величини і таким чином перетворюють аналог на код.

Аналого-цифрове перетворення містить наступні операції: дискретизацію, квантування та кодування.

Дискретизація складається з вибору із неперервного за часом аналогового сигналу U_c окремих миттєвих його значень (рис. 11.7), які надходять через визначений часовий проміжок $\Delta t = (t_{i+1} - t_i)$.

Моменти $t_1, t_2, \dots, t_{i-1}, t_i$, в яких визначаються миттєві значення, називаються тактовими моментами часу, а різниця між суміжними моментами $\Delta t = (t_{i+1} - t_i)$ – тактовим інтервалом часу. Дискретні значення сигналу слід відраховувати з таким малим інтервалом Δt , щоб можна було б установити сигнал в аналоговій формі з можливо малою похибкою.

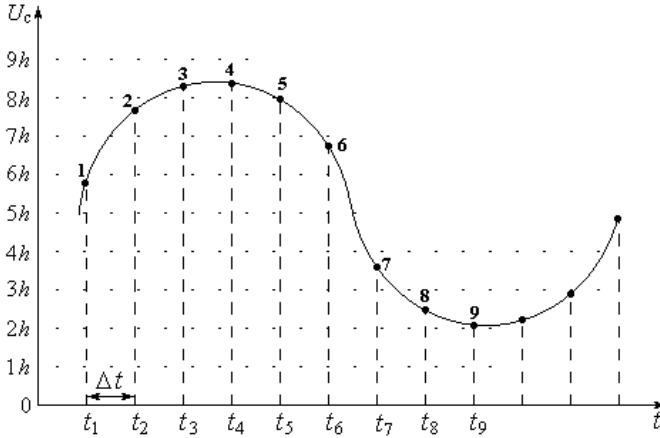


Рис. 11.7. Дискретизація та квантування неперервного сигналу

Згідно з теоремою Котельникова, якщо сигнал має обмежений спектр, тобто всі його спектральні складові мають частоти нижче, ніж деяка частота F_{\max} , то для установлення аналогового сигналу з послідовності його дискретних значень тактовий інтервал має задовольняти умові

$$\Delta t \leq \frac{1}{2F_{\max}}. \quad (11.21)$$

Наприклад, при дискретизації речових сигналів, що мають спектр частот 300...3400 Гц, вибирається тактова частота $F \geq 2F_{\max} = 6800$ Гц. При цьому тактовий інтервал становить $\Delta t \leq 1/F = 147$ мкс.

Операція квантування складається з утворення сітки так званих рівнів квантування (рис. 11.7), які зсунені один відносно одного на крок квантування h . При цьому кожний рівень має свій порядковий номер (0; 1; 2; ...).

Кодування здійснюється тим, що здобуті в процесі дискретизації значення аналогового сигналу U_c замінюють ближчими до них номерами рівнів квантування.

Так, значення напруги в момент t_1 замінюється номером 6 ближчого до нього рівня квантування $6h$, в тактові моменти t_2 ; t_3 ; t_4 та t_5 значення напруги U_c замінюються номером 8 ближчого до них рівня квантування $8h$, моменту t_8 відповідає або номер 3, або номер 2 і т.д.

Отже, квантування – це визначення для кожної точки дискретизації сигналу ближчого номера рівня з існуючих.

Процес квантування вносить похибку $\delta_{\text{кв}}$, яка називається шумом квантування і визначається в межах $-h/2 \leq \delta_{\text{кв}} \leq +h/2$. Зменшення шуму квантування досягається шляхом зменшення кроку квантування h , але це

призводить до збільшення числа рівнів, через що ускладнюється АЦП. Щоб запобігти невинуватеному нарощуванню апаратних засобів, крок квантування вибирають таким, що дорівнює припустимій абсолютній похибці δ :

$$h = \delta. \quad (11.22)$$

Тоді при завжди відомій максимальній вхідній напрузі сигналу $U_{c\max}$ кількість кроків квантування становить

$$K = \frac{U_{c\max}}{h}. \quad (11.23)$$

Чим більше число рівнів квантування, тим точніше відтворюється цифрова копія аналогового сигналу U_c , але це збільшення обмежується ускладненням пристрою, бо кількість кроків квантування визначає число двійкових розрядів відповідних вузлів апаратури. Тому число рівнів квантування для кожного конкретного випадку вибирається за умов одержання заданих параметрів перетворення.

Так, наприклад, для телефонного зв'язку припустима похибка перетворення становить (0,5 ... 1,0) % від максимальної аналогової величини, тобто аналоговий сигнал має відраховуватися з дискретністю не менше (0,5 ... 1,0) % . Таким самим має бути і крок квантування. Тоді з формули (11.23) маємо, що кількість кроків квантування повинна бути не менше 100. Найближче значення двійкового розряду дорівнює 128. Тому для телефонного зв'язку використовується 128 ... 256 кроків квантування.

Таким чином, в процесі квантування послідовність визначених при дискретизації значень аналогового сигналу замінюється послідовністю відповідних чисел (номерів рівнів квантування). Нарешті, в процесі кодування числа послідовності номерів рівнів квантування зображуються у певній системі числення, наприклад, у двійковій.

Таким чином, при аналого-цифровому (АЦ) перетворенні, який складається з процесів квантування за рівнем дискретизованого в часі аналогового сигналу U_c та подальшого його кодування, на виході формується двійкове n -розрядне число $N = \{x_n, x_{n-1}, x_{n-2}, \dots, x_1\}$.

Класифікація АЦП, якою тепер користуються, показує, як у часі розгортається процес перетворення. За такою класифікацією всі АЦП можна поділити на три типи: послідовні, паралельні та паралельно-послідовні.

До *послідовних* АЦП відносяться такі, де перетворення відбувається послідовно за часом, тобто крок за кроком. Такими АЦП є, наприклад, перетворювачі розгортальної дії, АЦП стежного перетворення, перетворювачі напруги в частоту, АЦП інтегруючого типу тощо. Усі ці АЦП дозволяють одержувати високу розрядність, але мають низьку швидкодію.

Паралельні АЦП побудовані за принципом одноразового перетворення сигналу шляхом його кодування за допомогою набору компараторів. Такі АЦП

виявляються більш швидкодіючими за інші і досягають частот перетворення 100 ... 400 МГц. До недоліків паралельних АЦП відноситься збільшення числа компонентів схеми при зростанні розрядності вихідного числа.

Паралельно-послідовні АЦП засновані на двоступеневому алгоритмі перетворення: спочатку відбувається визначення старших розрядів вихідного числа за допомогою першого малорозрядного паралельного АЦП, а далі виділяється залишок аналогового сигналу, який визначається молодшими розрядами за допомогою другого малорозрядного паралельного АЦП. Зв'язок між цими двома паралельними АЦП відбувається за послідовним алгоритмом.

Параметри АЦП

Усі параметри АЦП, так само, як і ЦАП, можна поділити на дві групи: статичні та динамічні.

Найважливішими *статичними* параметрами АЦП є такі, що характеризують похибку перетворення.

Число розрядів або *розрядність* – це найближче ціле двійкового логарифму номінального значення вихідного числа N :

$$q = \log_2 N. \quad (11.24)$$

При подачі на вхід АЦП лінійної змінної напруги на виході спостерігається послідовна зміна чисел.

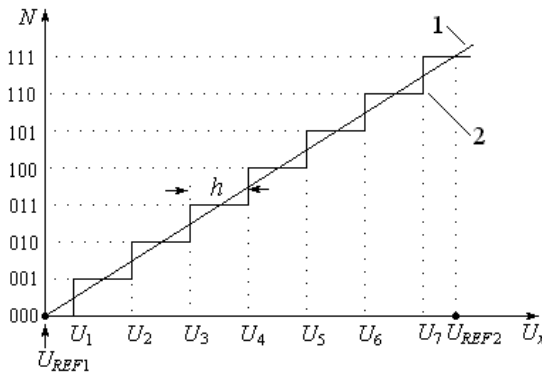


Рис. 11.8. Номінальна характеристика перетворення двійкового три розрядного АЦП

Залежність між вхідною аналоговою напругою U_x , яка перетворюється, і вихідним числом N називається характеристикою перетворення (ХП) (рис. 11.8).

Характеристика перетворення ХП АЦП, як і для ЦАП, може надаватися у вигляді таблиць, графіків або формул. ХП описується рядом параметрів. Точки на осі абсцис відповідають напругі міжчислових переходів.

Під напругою міжчислового переходу розуміється така вхідна напруга, статистичні ймовірності перетворення якої в заданому і попередньому значеннях вихідного числа рівні.

Для ідеального АЦП напруги міжчислових переходів відповідають опорним напругам, які формуються ЦАП.

На рис. 11.8 показана лінійна ХП (1), яка утворюється при необмеженому зменшенні кроку квантування h . Початкова опорна напруга реальної ХП (2) становить $U_{REF1} = 0$.

Для одержання ХП ідеального АЦП необхідно, щоб напруга першого міжчислового переходу U_1 розміщувалась на відстані $h/2$ від початкової опорної напруги $U_{REF1} = 0$. Аналогічно, напруга останнього міжчислового переходу (U_{i+1}) повинна відрізнятись від максимальної опорної напруги U_{REF2} на половину кроку квантування ХП. Для ідеального АЦП ширина сходинок дорівнює кроку квантування

$$h = \Delta U = U_{i+1} - U_i = \frac{U_{REF2} - U_{REF1}}{2^{n-1}}. \quad (11.25)$$

Реальна ХП АЦП може значно відрізнятись від ідеальної, завдяки неідентичності кроків квантування. Відхилення реальної ХП від ідеальної визначає похибка АЦП і характеризується наступними параметрами: нелінійність; напруга зсуву нуля; диференційна нелінійність.

Дійсне значення вхідної напруги в нульовій точці ХП, відносно номінального нульового значення цієї напруги, визначає *напругу зсуву нуля*.

Фізично ця напруга показує паралельний зсув ХП уздовж осі абсцис.

Нелінійність АЦП – це відхилення вхідної напруги в будь-якій точці ХП від величини, визначеної за ідеальною ХП у цій же точці. Цей параметр характеризує відхилення центрів сходинок дійсної ХП від прямої лінії, що апроксимує номінальну ХП.

Диференційна нелінійність АЦП – це відхилення дійсних значень кроків квантування ХП від їхнього середнього значення. Диференційна нелінійність визначає, наскільки відрізняється реальна сходинок між сусідніми числами від ідеальної.

Діапазон перетворень – це різниця між максимальним та мінімальним значеннями вхідної напруги

$$A = U_{\text{вх max}} - U_{\text{вх min}}. \quad (11.26)$$

Для розрахунку кількості кроків квантування використовують поняття *відносної похибки* АЦ перетворення $\delta = 2^{-n}$, де n – число розрядів.

Якщо відносна похибка АЦ перетворення задана, то її приймають за відносний крок квантування і тоді кількість кроків квантування становить

$$K = 1/\delta. \quad (11.27)$$

Наприклад, припустима відносна похибка перетворення становить $\delta = 10^{-3}$. Тоді кількість кроків квантування дорівнює 1000. Це число забезпечують 10 двійкових розрядів АЦП: $2^{10} = 1024$.

До *динамічних* параметрів належать швидкодія та час перетворення.

Швидкодія АЦП характеризується часом перетворення або частотою перетворення.

Час перетворення t_c – це інтервал часу між моментами появи двох сусідніх вихідних чисел.

Схема АЦП розгортального перетворення

Відомо багато способів АЦ перетворення і кожний з них має свої переваги й недоліки для конкретних практичних випадків.

Серед схем АЦП найчастіше зустрічаються АЦП розгортального перетворення, АЦП стежного перетворення та АЦП паралельного кодування.

Принцип роботи АЦП розгортального перетворення полягає в зіставленні вхідної напруги U_x (рис. 11.9,а) з еталонною U_0 , послідовному нарощуванні еталонної напруги U_0 та формуванні чисел N_1, N_2, \dots, N_i , пропорційних аналоговому сигналу, коли еталонна напруга досягає вхідної: $U_0 = U_x$.

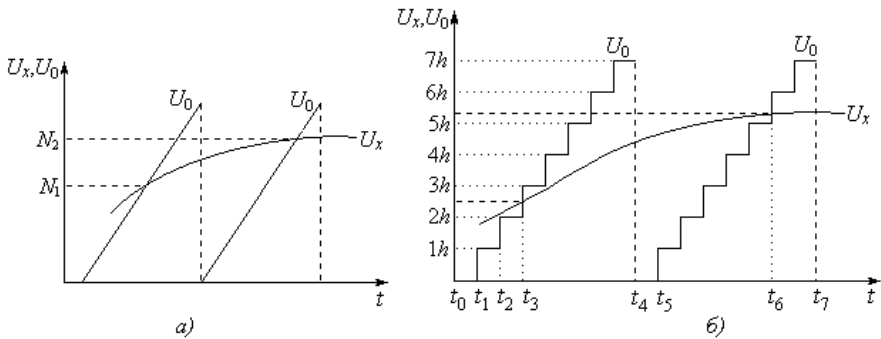


Рис. 11.9. Часова діаграма роботи АЦП розгортального перетворення:
а) принцип; б) реалізація

Структурна схема АЦП розгортального перетворення (урівноваження) наведена на рис. 11.10.

До складу АЦП розгортального перетворення мають входити наступні пристрої:

- генератор прямокутних імпульсів $D1$;
- лічильник імпульсів $D2$;
- ЦАП $D5$;
- формувач одиничного імпульсу $D3, D4$ для запуску регістра $D6$;
- компаратор $A1$;
- відтворювальний пристрій $A2$, яким може бути цифровий індикатор, інтерфейс передавання тощо.

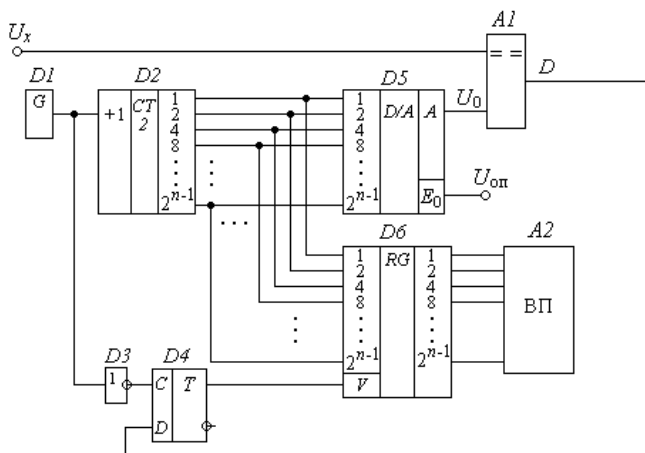


Рис. 11.10. АЦП розгортального перетворення

АЦП розгортального перетворення працює наступним чином.

З кожним імпульсом генератора $D1$ вміст лічильника $D2$ збільшується на одиницю, через що еталонна напруга U_0 на виході ЦАП $D5$ збільшується на один крок квантування h (див. рис. 11.9,б). Так у момент t_1 в лічильник $D2$ потрапляє один імпульс і тому $U_0 = 1h$. У момент t_2 вміст лічильника дорівнює 2, через що $U_0 = 2h$. У момент t_3 еталонна напруга становить $U_0 = 3h$ і т.д. Таким чином, вмістом лічильника $D2$ є номер рівня еталонної напруги U_0 .

Після кожного імпульсу генератора $D1$ через напівперіод на виході інвертора $D3$ з'являється фронт для запуску тригера $D4$, щоб записати в регістр $D6$ вміст лічильника $D2$. Однак запуск тригера $D4$ здійснюється не завжди, а тільки при $U_0 \geq U_x$. До моменту t_3 сигнал U_x недокомпенсований ($U_0 < U_x$) і тому вихідна напруга компаратора $A1$ нульова: $D = 0$. Тригер $D4$ залишається в нульовому стані, через що вміст лічильника $D2$ в регістр $D6$ не записується.

У момент t_3 на третьому імпульсі в лічильнику $D2$ сигнал перекомпенсований ($U_0 > U_x$) еталонною напругою $U_0 = 3h$, через що на виході компаратора $D = 1$. Тригер $D4$ підготовлений до зведення. Через напівперіод після моменту t_3 на вході C тригера з'явиться фронт і тригер $D4$ зводиться, записуючи вміст лічильника $D2$ в регістр $D6$, тобто 3. Так, у момент t_3 значення вхідної напруги U_x перетворилося на номер рівня $3h$, тобто на число 3.

Незважаючи на велику чи малу вхідну напругу U_x , лічильник $D2$ після перекомпенсації продовжує накопичувати імпульси до повної місткості. При цьому тригер $D4$ залишається в установленому стані. Фронту на його виході немає і тому вміст регістра $D6$ не поновлюється.

У момент t_4 лічильник $D2$ переповнюється, скидається в нульовий стан. Сигнал U_x знову стає недокомпенсованим ($U_0 < U_x$) і тому $D = 0$. Наступний фронт інвертора $D3$ скидає тригер $D4$ у нульовий стан. Його вихідний зріз при цьому не поновлює запис у регістр $D6$, залишаючи в ньому вміст 3.

З моменту t_5 процес заповнення лічильника $D2$ і наслідків цього повторюється. До моменту t_6 сигнал U_x недокомпенсований ($U_0 < U_x$) і тому $D = 0$. Тригер $D4$ залишається в нульовому стані, через що вміст лічильника $D2$ в регістр $D6$ не записується.

У момент t_6 в лічильник $D2$ надійшло 6 імпульсів. При цьому еталонна напруга $U_0 = 6h$ перевищує вхідну U_x , тобто настає перекомпенсація сигналу ($U_0 > U_x$), через що $D = 1$. Тригер $D4$, зводячись, записує в регістр $D6$ новий номер рівня еталонної напруги $U_0 = 6h$, тобто 6. Так, у момент t_6 значення вхідної напруги U_x перетворилося на номер рівня $6h$, тобто число 6 і т.д.

Отже з кожним фактом перекомпенсації сигналу ($U_0 > U_x$) поновлюється вміст регістра $D6$, який є результатом аналого-цифрового перетворювання. Ці результати потрапляють на відтворювальний пристрій ВП $A2$, призначення і схема якого для кожної окремої задачі є своїми. ВП може бути дешифратором цифрового індикатора, перетворювачем коду, інтерфейсом системи передачі даних тощо. Тому його схема тут не розкривається.

Перевагою АЦП розгортального перетворення (рис. 11.10) є висока роздільна здатність, яка зумовлена відсутністю зворотного зв'язку (зв'язок $A1 - D4$ не є зворотним, бо не впливає на роботу елементів тракту сигналу: $D2, D5$ та ін.). Через це можна без появи самозбудження збільшувати коефіцієнт підсилення компаратора $A1$, підвищуючи саме тим роздільну здатність.

Значним недоліком АЦП розгортального перетворення є дуже мала швидкодія, яка зумовлена тим, що незалежно від рівня вхідної напруги U_x (див. рис. 11.9,б), лічильник імпульсів $D2$ (див. рис. 11.10) починає свою роботу з нульового стану (моменти t_0, t_4, t_7 і т. ін.) для кожного перетворювання (моменти t_3, t_6, \dots). При цьому втрачається значний час $t_3 \dots t_4$.

Цей недолік усунений в АЦП стежного перетворення.

Схема АЦП стежного перетворення

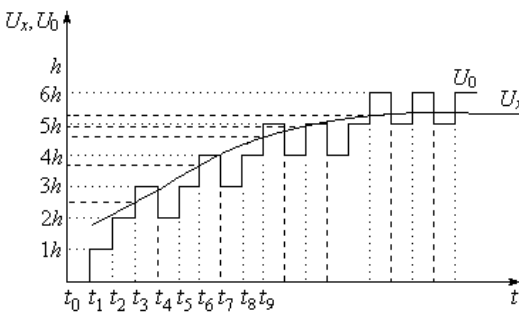


Рис. 6.11. Стежне аналого-цифрове перетворення:

- моменти підсумовування імпульсів;
- моменти віднімання імпульсів

Принцип *стежного аналого-цифрового перетворення* полягає в тому, що після кожної перекомпенсації еталонна напруга U_0 (рис. 11.11) зменшується не на всю величину, а тільки, щоб викликати недокомпенсацію. Так еталонна напруга U_0 "стежить" за вхідною напругою U_x , відхиляючись від неї лише на малу величину. На це відхилення потрібний малий час, через що підвищується швидкодія.

Схема АЦП стежного перетворення наведена на рис. 11.12.

Вона відрізняється від схеми АЦП розгортального перетворення (рис. 6.10) лише тим, що лічильник імпульсів $D2$ (рис. 11.12) реверсивний, а вихід D компаратора $A1$ зв'язаний зі входом реверсу P лічильника $D2$ для керування напрямом лічби.

АЦП стежного перетворення працює наступним чином.

До моменту t_3 (рис. 11.11) еталонна напруга U_0 менше вхідної U_x . Сигнал недокомпенсований ($U_0 < U_x$), через що вихід $D = 0$ компаратора $A1$ встановлює по входу реверсу P режим підсумовування лічильника $D2$ (рис. 11.12). Тоді в моменти t_1, t_2 і t_3 лічильник $D2$ накопичує імпульси, збільшуючи через ЦАП $D5$ еталонну напругу U_0 .

У момент t_3 на третьому імпульсі в лічильнику $D2$ сигнал перекомпенсований ($U_0 > U_x$) еталонною напругою $U_0 = 3h$, через що на виході компаратора $D = 1$. Тригер $D4$ підготовлений до зведення.

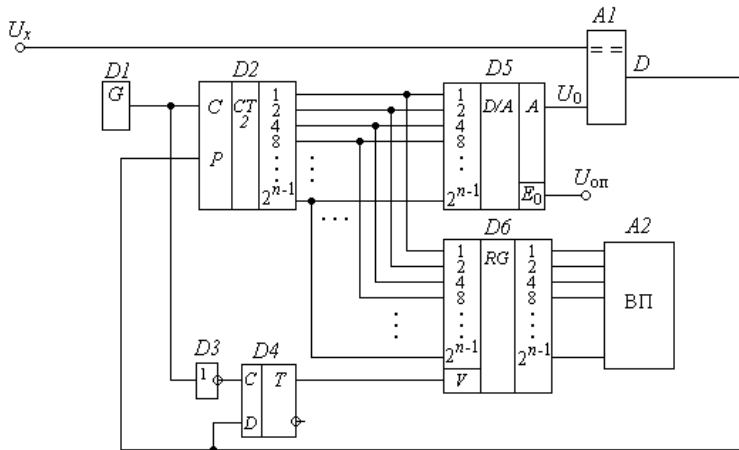


Рис. 11.12. Стежний АЦП

Через напівперіод після моменту t_3 на вході C тригера з'явиться фронт і тригер $D4$ зводиться, записуючи вміст лічильника $D2$ в регістр $D6$. Так, у момент t_3 значення вхідної напруги U_x перетворилося на номер рівня $3h$, тобто на число 3.

При перекомпенсації ($U_0 > U_x$) напруга $D = 1$ встановлює по входу реверсу P режим віднімання лічильника $D2$. Тому в момент t_4 вміст лічильника $D2$ зменшується на одиницю, знижуючи саме тим еталонну напругу U_0 на один крок квантування h . Вхідна напруга U_x стає недокомпенсованою ($U_0 < U_x$), через що вихідна напруга компаратора $D = 0$ повертає режим підсумовування лічильника $D2$.

У момент t_5 вміст лічильника $D2$ збільшується на одиницю, підвищуючи еталонну напругу U_0 на один крок квантування h , але сигнал залишається

недокомпенсованим ($U_0 < U_x$). Тому режим лічильника $D2$ не змінюється, а в момент t_6 вміст лічильника збільшується до 4. Оскільки при цьому настає перекомпенсація ($U_0 > U_x$), то вміст 4 заноситься в регістр $D6$.

Далі цей процес продовжується. Так у момент t_7 еталонна напруга U_0 зменшиться на h , у моменти t_8 і t_9 збільшиться відповідно на h і в момент t_9 перекомпенсує сигнал. В лічильнику $D2$ і відповідно в регістрі $D6$ буде число 5 і т.д.

Так еталонна напруга U_0 змінюється не на весь свій діапазон, як в АЦП розгортального перетворення, а лише на декілька кроків квантування, “стежачи” за вхідною напругою U_x . Це й підвищує швидкодію.

Щодо недоліків АЦП стежного перетворення, то головний з них полягає в тому, що АЦП має зворотний зв'язок ($A1 - D2$). Через це слідкуючі АЦП мають схильність до самозбудження. Тому підсилення $A1$ має бути менше за АЦП розгортального перетворення, через що й роздільна здатність менше.

Наступним недоліком є те, що час перетворення хоча і менше за АЦП розгортального перетворення, але може займати декілька тактових інтервалів.

Цей недолік усунений в АЦП *паралельного кодування*, де час перетворення завжди дорівнює лише одному тактовому інтервалу.

Схема АЦП паралельного кодування

АЦП *паралельного кодування* – це найбільш швидкодіючі перетворювачі. Висока швидкодія цього типу АЦП забезпечується за рахунок одночасного порівняння вхідного сигналу з багатьма N квантами опорної напруги на N компараторах.

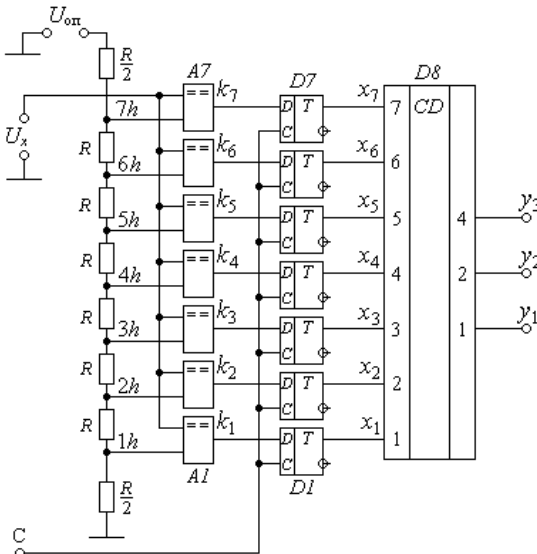


Рис. 6.13. АЦП паралельного кодування

На рис. 6.13 наведена схема семирозрядного АЦП паралельного кодування (далі – АЦП).

АЦП містить подільник опорних напруг на резисторах $R/2, R, R, \dots, R/2$; компаратори $A1 - A7$; тригери $D1 - D7$ та пріоритетний шифратор $D8$.

Компаратори зіставляють вхідну напругу U_x з усіма опорними напругами $1h, 2h, \dots, 7h$, кількість яких дорівнює числу розрядів.

Тригери запам'ятовують номери рівнів опорної напруги, до якої наближена вхідна напруга U_x . Ці тригери

необхідні для того, щоб перегони між виходами компараторів не впливали на роботу шифратора.

Подільник опорних напруг є послідовним з'єднанням високоточних резистор-рів, які утворюють шину ділення стабілізованого джерела опорної напруги $U_{оп}$ з виводами через кожний крок квантування. Кількість виводів дорівнює числу розрядів у коді "1 із n ".

Усі виходи подільника з'єднанні з першими входами компараторів $A1 - A7$, на другі входи яких подана вхідна напруга U_x , що підлягає АЦ перетворенню. Виходи компараторів $k_1 \dots k_7$ з'єднанні відповідно з D -входами тригерів $D1 - D7$, прямі виходи яких підключені до входів $x_1 \dots x_7$ шифратора $D8$.

Паралельний АЦП працює наступним чином.

Вхідна напруга U_x одночасно порівнюється з опорними рівнями, які одержані з подільника. В залежності від неї виходи компараторів набувають значень, що наведені в таблиці станів (табл. 11.2).

Таблиця 11.2. Стани елементів АЦП паралельного кодування

Вхідна напруга U_x	Стани компараторів							Стани шифратора			Десяткове число N
	k_7	k_6	k_5	k_4	k_3	k_2	k_1	y_3	y_2	y_1	
0	0	0	0	0	0	0	0	0	0	0	0
1h	0	0	0	0	0	0	1	0	0	1	1
2h	0	0	0	0	0	1	1	0	1	0	2
3h	0	0	0	0	1	1	1	0	1	1	3
4h	0	0	0	1	1	1	1	1	0	0	4
5h	0	0	1	1	1	1	1	1	0	1	5
6h	0	1	1	1	1	1	1	1	1	0	6
7h	1	1	1	1	1	1	1	1	1	1	7

Стани компараторів $k_1 \dots k_7$ за командою C запам'ятовуються відповідно тригерами $D1 \dots D7$. Завдяки цим тригерам входи шифратора $x_1 \dots x_7$ позбавлені аналогових змін напруг, які діють на виходах компараторів. Тому входи шифратора $D8$ не зазнають перегонів, що викликають його хибні спрацьовування. Щодо станів $x_1 \dots x_7$, то вони збігаються зі станами $k_1 \dots k_7$.

Зі схеми (рис. 11.13) і табл. 11.2 видно, що на входи $x_1 \dots x_7$ шифратора $D8$ надходить номер того рівня опорної напруги, якому дорівнює вхідна напруга U_x з похибкою $\pm h/2$, де h – крок квантування.

Отже будь-яка вхідна напруга за будь-якої кількості кроків квантування перетворюється на число за лише один такт синхроімпульсу C . Тому швидкодія паралельного АЦП найбільша.

Умове позначення АЦП наведено на рис. 11.14.

Недоліком АЦП паралельного кодування є значні апаратні витрати, які пропорційні розрядності перетворювача. Наприклад, при

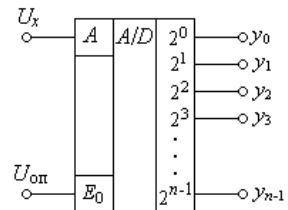


Рис. 11.14. Умове позначення АЦП

заданій припустимій похибці перетворення 1%, тобто кроку квантування 1%, згідно з формулою (11.27), потрібно 100 кроків квантування. Для цього необхідно мати понад 100 резисторів, 100 компараторів, 100 тригерів і 100-входовий шифратор. Реалізувати ці вимоги досить складно.

Зазначений недолік частково усунений в *послідовно-паралельних* АЦП, але за рахунок зменшення швидкодії вдвічі.

Схема послідовно-паралельного АЦП

В *паралельно-послідовних* АЦП використовують два АЦ перетворення: спочатку вхідну напругу перетворюють на число з великим кроком квантування, а потім залишену частину вхідної напруги в межах до одного великого кроку перетворюють дрібними кроками квантування.

Нехай припустима похибка АЦ перетворення становить $\delta = 1\%$. Тоді крок квантування $h = \delta$ також дорівнюватиме 1%, а кількість кроків досягне $1/0,01 = 100$. Як зазначалося раніше, для цього необхідне обладнання 100 унітарних розрядів.

Використаємо *два* АЦП по 10 кроків квантування в кожному. Кроки квантування дорівнюватимуть відповідно 10% першого АЦП та 1% – другого. При цьому перший АЦП компенсуватиме вхідний сигнал з похибкою $\pm 5\%$, а залишок $< 10\%$ компенсуватиме другий АЦП з похибкою $\pm 0,5\%$. Тоді крок квантування, як і в паралельному АЦП, становить 1%, але необхідні лише 20 унітарних розрядів, а не 100.

Схема такого паралельно-послідовного АЦП наведена на рис. 11.15.

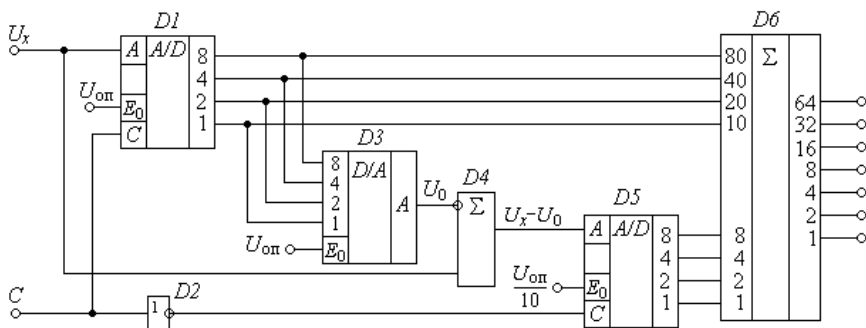


Рис. 11.15. Паралельно-послідовний АЦП

Схема містить два АЦП $D1$ та $D5$. АЦП $D1$ має опорну напругу $U_{оп}$, а АЦП $D5$ – у 10 разів меншу. Тому крок квантування АЦП $D1$ становить $h_1 = U_{оп}/10 = 0,1U_{оп}$ (тобто 10%), а АЦП $D5$ має крок квантування $h_2 = 0,1U_{оп}/10 = 0,01U_{оп}$ (тобто 1%).

АЦП працює наступним чином.

Завдяки інвертору $D2$ перетворювачі $D1$ і $D5$ спрацьовують по черзі: спочатку фронт $C = 1$ виставляє число на виходах $D1$, а через напівперіод при $C = 0$ фронт $\bar{C} = 1$ з'явиться на виході $D2$ і виставить число на виходах $D5$.

Число в АЦП $D1$ за допомогою ЦАП $D3$ перетворюється на аналогову напругу U_0 . Ця напруга, що одержана з точністю $h_1 = 10\%$, подається на віднімач $D4$, на виході якого буде неперетворена частина $U_x - U_0$ вхідної напруги U_x .

Залишок неперетвореної частини $U_x - U_0$ потрапляє на другий АЦП $D5$, в якому вона перетворюється з точністю $h_2 = 1\%$.

Результати перетворення з виходів АЦП $D1$ потрапляють до входів старших розрядів цифрового суматора $D6$, а з виходів АЦП $D2$ – до входів молодших розрядів. Вагові коефіцієнти цих розрядів мають відрізнятись в нашому випадку в 10 разів.

Нехай вхідна напруга, яку треба перетворити на число, дорівнює $U_x = 99h_2$. Тоді число на виході суматора $D6$ має дорівнювати 99. Це здійснюється наступним чином. На виходах першого АЦП $D1$ буде число $8 + 1 = 9$. Суматором $D6$ воно сприймається як 90.

На виходах другого АЦП $D2$ буде число $8 + 1 = 9$. Разом $90 + 9 = 99$. При цьому на виходах суматора $D6$ буде двійкове число 1100011, десятковий еквівалент якого становить $64 + 32 + 3 = 99$.

Так, число 99 одержане не 99 унітарними розрядами, а лише двадцятьма.

Недоліком послідовно-паралельних АЦП є подвійний час перетворення порівняно з паралельним АЦП та досить значна кількість елементів, але кращого швидкодійного АЦП сьогодні немає.

11.2. Завдання для розрахунку

1. Накреслити схему ЦАП на двійково-зважених резисторах (1 декада).
2. Записати в двійковому коді вхідний цифровий сигнал, який відповідає цифрі N (остання цифра номера залікової книжки).
3. Заштрихувати відкриті ключі під час подачі на вхід заданого цифрового сигналу.
4. Визначити струми, що протікають через кожний резистор матриці. Визначити струм, який відповідає завданню та надходить на вхід, що інвертує, операційного підсилювача, що стоїть на вході ЦАП.
5. Записати значення вихідної напруги кількістю кроків квантування h .
6. Показати на схемі ЦАП струми, що протікають через кожний резистор матриці.

11.3. Вихідні дані

1. Вхідний цифровий сигнал (у двійковому коді) відповідає цифрі N (остання цифра номера залікової книжки).

11.4. Контрольні запитання

1. Які функції виконують аналого-цифрові (АЦП) та цифро-аналогові перетворювачі (ЦАП)?
2. Що таке матриця на двійково-зважених резисторах?
3. Які вузли входять до складу схеми ЦАП на двійково-зважених резисторах?
4. Які переваги та недоліки мають ЦАП на основі матриці резисторів $R-2R$?
5. У чому полягає принцип АЦ перетворення? З яких процесів він складається?
6. Що таке АЦП розгортальної дії? Які переваги та недоліки мають такі АЦП?
7. Що таке АЦП стежного перетворення?
8. Що таке АЦП паралельного кодування? Які переваги та недоліки мають такі АЦП?
9. Що таке послідовно-паралельні АЦП? Які переваги та недоліки мають такі АЦП?

11.5. Рекомендована література

1. Воробйова О.М. Промислова електроніка : навч. посіб. Ч.1 / О.М. Воробйова, Ю.В. Флейта. – Одеса: ОНАЗ ім. О.С. Попова, 2020. – С. 302-323.
2. Воробйова О.М. Основи схемотехніки : підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009. – С. 329-350.
3. Воробйова О.М. Основи схемотехніки: У 2-х частинах: навч. посіб. / О.М. Воробйова, В.Д. Іванченко. – Одеса: ОНАЗ ім. О.С. Попова, 2004. – Ч. 2. – С. 288-309.
4. Воробьева Е.М. Основы схемотехники: конспект лекций в 2-х частях / Е.М. Воробьева, В.Д. Иванченко. – Одесса: ОНАС им. А.С. Попова, 2012. – Ч. 2. – С. 89-94.

Навчально-методичне видання

Олена Михайлівна Воробйова,
Юрій Вікторович Флейта

**Методичний посібник
для практичних занять
з дисципліни
«ПРОМИСЛОВА ЕЛЕКТРОНІКА»**

Частина 2

Підписано до друку 07.12.2022.
Формат 60x84/16. Папір офсетний. Гарнітура Times New Roman.
Друк офсетний. Обсяг 8,25 друк. арк. Наклад 50 прим.
Зам. № 812539968/5
Надруковано у ФОП Бондаренко М.О.
м. Одеса, вул. В. Арнаутська, 60.
т. +38 048 700 11 55
info@aprel.od.ua

Свідоцтво про внесення суб'єкта видавничої справи
до державного реєстру видавців ДК № 4684 від 13.02.2014 р.