

Міністерство освіти і науки України

Державний університет інтелектуальних технологій і зв'язку

Кафедра Автоматизації та комп'ютерно-інтегрованих технологій

**МЕТОДИЧНИЙ ПОСІБНИК ДО ПРАКТИЧНИХ ЗАНЯТЬ
З ДИСЦИПЛІНИ
«Електротехніка»**

Одеса – 2024

УДК 621.37

Автори:

Воробйова О.М., к. т. н., доцент, в. о. зав. каф. Автоматизації та комп'ютерно-інтегрованих технологій.

Альошина Л.О., викладач каф. Автоматизації та комп'ютерно-інтегрованих технологій.

Рецензенти:

ФЕДОРОВА К.Ю., кандидат технічних наук, доцент кафедри ЦІ та А Одеського національного морського університету;

ІРХА В.І., кандидат технічних наук, доцент кафедри Фізико-математичних наук Державного університету інтелектуальних технологій та зв'язку.

*Рекомендовано до друку Навчально-методичною Радою
Державного університету інтелектуальних технологій і зв'язку
(протокол № 5 від 28 березня 2024 р.)*

Воробйова О.М., Альошина Л.О. Електротехніка: методичний посібник до практичних занять. Одеса: ДУІТЗ, 2024. 125 с.

Методичний посібник містить матеріали для практичних занять з дисципліни «Електротехніка», теоретичний матеріал за основними розділами, комплексне завдання та методику його виконання, а також матеріали для факультативної роботи студентів.

Методичний посібник дозволяє студентам самостійно готуватися до практичних занять, розбиратися у темі дисципліни, що вивчається, перевірити свої знання та застосувати їх у подальшому на практиці.

ЗМІСТ

Вступ.....	6
В.1. Пояснення застосовуваних у завданнях величин.....	6
В.2. Правила креслення принципів електричних схем	10
В.3. Правила креслення часових діаграм та епюр	10
Тема 1. Дискретні пасивні компоненти. Резистивний подільник напруги. Розрахунок подільника	11
1.1. Ключові положення	11
1.2. Завдання для розрахунку	13
1.3. Вихідні дані	13
1.4. Виконання розрахунку.....	14
1.5. Контрольні питання	14
1.6. Рекомендована література	14
Тема 2. Напівпровідникові діоди. Випрямляч. Розрахунок випрямляча	15
2.1. Ключові положення	15
2.2. Завдання для розрахунку	19
2.3. Вихідні дані	19
2.4. Виконання розрахунку	19
2.5. Контрольні питання	20
2.6. Рекомендована література	20
Тема 3. Біполярні транзистори. Підсилювачі на біполярному транзисторі.....	21
3.1. Ключові положення	21
3.2. Діаграма роботи підсилювача зі спільним емітером.....	25
3.3. Розрахунок підсилювача на БТ зі спільним емітером	27
3.3.1. Завдання для розрахунку	27
3.3.2. Вихідні дані.....	28
3.3.3. Виконання розрахунку	28
3.4. Контрольні питання	31
3.5. Рекомендована література.....	31
Тема 4. Розрахунок параметрів підсилювачів з негативним зворотним зв'язком.....	32
4.1. Ключові положення	32
4.2. Завдання для розрахунку	40
4.3. Вихідні дані	41
4.4. Виконання розрахунку.....	42
4.5. Контрольні питання	44
4.6. Рекомендована література.....	44
Тема 5. Аналогові інтегральні мікросхеми. Операційний підсилювач. Інвертуючий підсилювач.....	45
5.1. Ключові положення	45
5.2. Операційні підсилювачі.....	46
5.3. Інвертуючий підсилювач напруги.....	51
5.3.1. Завдання для розрахунку	53
5.3.2. Вихідні дані.....	53

5.3.3. Виконання розрахунку	54
5.4. Контрольні питання	55
5.5. Рекомендована література	55
Тема 6. Операційні підсилювачі. Неінвертуючий підсилювач	56
6.1. Ключові положення	56
6.2. Завдання для розрахунку	57
6.3. Вихідні дані	57
6.4. Виконання розрахунку	57
6.5. Контрольні питання	58
6.6. Рекомендована література	58
Тема 7. Операційні підсилювачі. Інвертуючий суматор	59
7.1. Ключові положення	59
7.2. Завдання для розрахунку	59
7.3. Вихідні дані	60
7.4. Виконання розрахунку	60
7.5. Контрольні питання	61
7.6. Рекомендована література	61
Тема 8. Логічні функції бульового базису	62
8.1. Ключові положення	62
8.2. Завдання для розрахунку	68
8.3. Вихідні дані	69
8.4. Контрольні запитання	69
8.5. Рекомендована література	69
Тема 9. Тригери	70
9.1. Ключові положення	70
9.2. Завдання для розрахунку	89
9.3. Вихідні дані	89
9.4. Контрольні запитання	89
9.5. Рекомендована література	89
Тема 10. Послідовні пристрої. Лічильники імпульсів. Двійкові лічильники	90
10.1. Ключові положення	90
10.2. Завдання для розрахунку	99
10.3. Вихідні дані	99
10.4. Контрольні запитання	99
10.5. Рекомендована література	99
Тема 11. Послідовні пристрої. Лічильники імпульсів. Двійково-десяткові лічильники	100
11.1. Ключові положення	100
11.2. Завдання для розрахунку	103
11.3. Вихідні дані	103
11.4. Контрольні запитання	103
11.5. Рекомендована література	103
Тема 12. Комбінаційні пристрої. Шифратор	104
12.1. Ключові положення	104
12.2. Завдання для розрахунку	107
12.3. Вихідні дані	107

12.4. Контрольні запитання	108
12.5. Рекомендована література	108
Тема 13. Комбінаційні пристрої. Дешифратор.....	109
13.1. Ключові положення.....	109
13.2. Завдання для розрахунку	113
13.3. Вихідні дані	113
13.4. Приклад виконання розрахунку	113
13.5. Контрольні запитання	117
13.6. Рекомендована література	117
Тема 14. Комбінаційні пристрої. Програмовані логічні матриці	118
14.1. Ключові положення.....	118
14.2. Завдання для розрахунку	124
14.3. Вихідні дані	124
14.4. Вказівки до виконання розрахунку.....	124
14.5. Контрольні запитання	124
14.6. Рекомендована література	124

ВСТУП

Практичні заняття виконуються студентами протягом одного семестру.
Перелік практичних занять

№ пп.	Тема	Кіль-сть годин
1	Пасивні компоненти. Резистивний подільник напруги. Розрахунок подільника.	2
2	Напівпровідникові діоди. Випрямлячі. Розрахунок випрямляча.	2
3	Біполярні транзистори. Підсилювачі на біполярному транзисторі. Розрахунок підсилювача на біполярному транзисторі зі спільним емітером.	2
4	Аналогові інтегральні мікросхеми. Операційний підсилювач. Розрахунок інвертуючого підсилювача	2
5	Послідовнісні пристрої. Тригери.	2
6	Лічильники імпульсів. Розробка послідовних двійкових лічильників.	2
7	Програмовані логічні матриці. Розробка шифратора та дешифратора.	4
8	Напівпровідникові діоди. Випрямлячі. Розрахунок випрямляча	2
9	Цифрові інтегральні мікросхеми. Логічні функції бульового базису	2
10	Мультиплексори та демультимплексори	2

В.1. Пояснення застосовуваних у завданнях величин

Напруга

Напруга між двома точками x та y позначається через U_{xy} і є різницею потенціалів між цими точками:

$$U_{xy} = \varphi_y - \varphi_x. \quad (\text{В.1})$$

Умовимось вважати напругу позитивною, якщо точка x має позитивний, тобто більш високий потенціал відносно точки y , і негативною, якщо точка x має негативний, тобто більш низький потенціал відносно точки y .

При цьому справедливе співвідношення

$$U_{xy} = -U_{yx}. \quad (\text{В.2})$$

Тоді запис $U_{ЕК} = -5 \text{ В}$ або $-U_{ЕК} = 5 \text{ В}$, або $U_{КЕ} = 5 \text{ В}$ позначає, що між точками Е і К прикладена напруга 5 В, причому точка К має позитивний, тобто більш високий потенціал відносно точки Е.

Тоді не зовсім коректно говорити про “напругу точки”, наприклад, “напругу колектора”. Напруга як різниця потенціалів може діяти тільки між двома

точками. Отже, правильно буде: напруга між колектором та емітером або напруга “колектор-емітер”. Коли потенціал одного з електродів, наприклад, емітера, дорівнює нулю, то можна говорити “напруга колектора”.

Оскільки напруга діє між двома конкретними точками, то неправильно говорити, що напруга *йде* або *проходить*. Напруга може прикладатись, подаватись, передаватись, підводитись, діяти, падати (на будь-чому), але не *йти* і не *проходити*.

Одиницею виміру і розмірністю напруги є вольт, В. Застосовуються також мілівольти, мВ; мікровольти, мкВ та кіловольти, кВ:

$$\begin{aligned} 1 \text{ мВ} &= 10^{-3} \text{ В}; \\ 1 \text{ мкВ} &= 10^{-6} \text{ В}; \\ 1 \text{ кВ} &= 10^3 \text{ В}. \end{aligned} \quad (\text{В.3})$$

Струм

Електричним струмом є кількість зарядів, що проходять через переріз за одиницю часу.

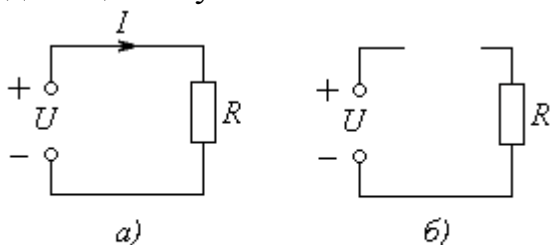


Рисунок В.1 – Електричне коло:
а – замкнене; б – розірване

Струм I в колі умовно позначається стрілкою (рис. В.1,а). Струм завжди направлений від точки з високим потенціалом (+) до точки з низьким потенціалом (-), тобто тече від “+” до “-”.

Струм може протікати лише тоді, коли його коло замкнене (рис. В.1,а). З якої точки кола струм вийшов, у ту ж саму точку він має повернутись. Так, з рис. В.1 видно, що струм I тече від “+” через елемент R до “-” і через джерело напруги U до “+”.

Якщо коло розірване (рис. В.1,б), то незважаючи на наявність джерела напруги U , струму I в колі немає: $I = 0$.

Одиницею виміру і розмірністю струму є ампер, А.

Застосовуються також міліампери, мА; мікроампери, мкА та кілоампери, кА:

$$\begin{aligned} 1 \text{ мА} &= 10^{-3} \text{ А}; \\ 1 \text{ мкА} &= 10^{-6} \text{ А}; \\ 1 \text{ кА} &= 10^3 \text{ А}. \end{aligned} \quad (\text{В.4})$$

Опір

Опір R є коефіцієнтом пропорційності між струмом I , який протікає через цей опір, та напругою U , що прикладена до цього опору.

$$U = RI, \quad (\text{В.5})$$

звідки маємо

$$I = \frac{U}{R}. \quad (\text{В.6})$$

Співвідношення (В.5) та (В.6) є законом Ома.

Одиницею і розмірністю опору є ом, Ом.

Застосовуються також кілооми, кОм та меґоми, МОм:

$$\begin{aligned} 1 \text{ кОм} &= 10^3 \text{ Ом}; \\ 1 \text{ МОм} &= 10^6 \text{ Ом}. \end{aligned} \quad (\text{В.7})$$

Таблиця В.1 – Правила підстановки величин

Величина	Запис у системі СІ	
	Правильно	Неправильно
10 мВ	$10 \cdot 10^{-3}$	10^{-2}
100 мкА	$100 \cdot 10^{-6}$	10^{-4}
82 мА	$82 \cdot 10^{-3}$	$8,2 \cdot 10^{-2}$
120 кОм	$120 \cdot 10^3$	$12 \cdot 10^4$

Щодо математичних обчислень, то в формули слід підставляти величини в системі одиниць СІ: вольт, ампер, ом. При цьому множник числа, якщо він є, має бути кратним 10^3 або 10^{-3} (див. табл. В.1).

Джерело напруги

Внутрішній опір R_i ідеального джерела напруги дорівнює нулю: $R_i = 0$.

У практиці ж використовуються реальні джерела напруги, які мають скінченний внутрішній опір R_v (рис. В.2).

Коли джерело E працює на холостому ході (рис. В.2,а), то вихідна напруга $U_{\text{вих}}$ дорівнює електрорушійній силі (ЕРС) E , тобто

$$U_{\text{вих}} = E. \quad (\text{В.8})$$

Якщо ж джерело напруги працює на якесь навантаження R_H , то за законом Кірхгофа справедливе наступне співвідношення:

$$E = U_{\text{вих}} + I_{\text{вих}} R_v, \quad (\text{В.9})$$

звідки одержуємо

$$U_{\text{вих}} = E - I_{\text{вих}} R_v. \quad (\text{В.10})$$

Отже, вихідна напруга $U_{\text{вих}}$ реального джерела залежить від вихідного струму $I_{\text{вих}}$ і завжди менша на величину падіння напруги $I_{\text{вих}} R_v$ на внутрішньому опорі R_v .

Ідеальне джерело напруги має нескінченно малий внутрішній опір ($R_v = 0$), через що з (В.10) одержуємо $U_{\text{вих}} = E$, тобто вихідна напруга ідеального джерела не залежить від опору навантаження R_H і завжди дорівнює ЕРС.

Джерело струму

Для реального джерела струму, схема якого наведена на рис. В.3, справедливе співвідношення

$$I_{\text{вих}} = I_0 - \frac{U_{\text{вих}}}{R_i}, \quad (\text{В.11})$$

де I_0 – струм короткого замикання.

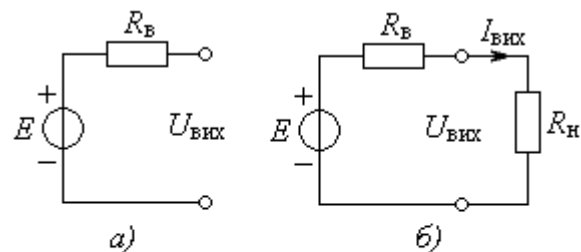


Рисунок В.2 – Еквівалентна схема реального джерела напруги:
а – на холостому ході,
б – під навантаженням R_H

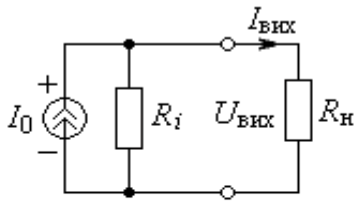


Рисунок В.3 – Еквівалентна схема реального джерела струму під навантаженням

навантаження R_n і завжди дорівнює струму короткого замикання I_0 .

Відношення напруг

Відношення напруг може надаватись у разях, наприклад

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}}, \quad (\text{В.12})$$

або у логарифмах цього відношення

$$K_{\text{дБ}} = 20 \lg \frac{U_{\text{вих}}}{U_{\text{вх}}}. \quad (\text{В.13})$$

Співвідношення (В.13) вимірюється в *децибелах*, дБ. Нижче наведені деякі значення величин K і $K_{\text{дБ}}$ (табл. В.2)

Таблиця В.2 – Відношення напруг

K , разів	0,5	$0,5\sqrt{2}$	1	$\sqrt{2}$	2	10	100	1000
$K_{\text{дБ}}$, дБ	-6	-3	0	3	6	20	40	60

Основні позначення

t – астрономічний час.

E – напруга живлення.

U – будь-яка напруга в залежності від часу, в якій є постійна складова.

u – змінна напруга без постійної складової.

U_0 – напруга в робочий точці.

U_m – амплітуда напруги.

I – будь-який струм в залежності від часу, в якому є постійна складова.

i – змінний струм без постійної складової.

I_m – амплітуда струму.

R – омичний опір у статичному режимі:

$$R = \frac{U}{I}, \quad (\text{В.14})$$

r – омичний диференціальний опір:

$$r = \frac{\Delta U}{\Delta I}, \quad (\text{В.15})$$

$\parallel$ – паралельність.

$$R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2}. \quad (\text{В.16})$$

Визначення амплітуд

Амплітудою U_m (рис. В.4) є максимальне відхилення ($U_{\max} - U_0$) або ($U_0 - U_{\min}$) від середнього значення U_0 . Амплітуда не має знака і визначається як

$$U_m = U_{\max} - U_0 = |U_0 - U_{\min}| \quad (\text{В.17})$$

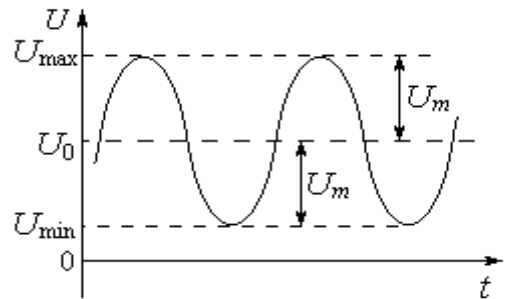


Рисунок В.4 – До визначення амплітуд

В.2. Правила креслення принципів електричних схем

В.2.1. За умовними позначеннями всі елементи принципів схем (надалі: схем) мають відповідати діючим стандартам.

В.2.2. Співвідношення розмірів умовних позначень елементів має відповідати діючим стандартам.

В.2.3. На принциповій схемі має бути позначене наступне:

- вхід та вихід;
- вхідна та вихідна величини;
- усі елементи (резистори, конденсатори, котушки, трансформатори, діоди, стабілітрони, транзистори, мікросхеми) тощо;
- усі напруги та струми, що згадуються в тексті;
- з'єднання провідних ліній між собою має позначатись точкою на їх перетині;
- кінці провідних ліній мають позначатись кружками;
- креслення схем має бути таким, що б кількість перегонів та перетинів ліній була б якомога меншою.

В.3. Правила креслення часових діаграм або епюр

В.3.1. Часові діаграми роботи схеми повинні бути розміщені на одному аркуші одна під другою.

В.3.2. На осях часових діаграм необхідно вказати параметр.

В.3.3. За необхідності часова діаграма зображується у масштабі. Масштаб кожної діаграми можна обирати різним, але зручним для нанесення та зчитування показань.

В.3.4. Приклади креслення часових діаграм роботи схеми (рис. В.5).

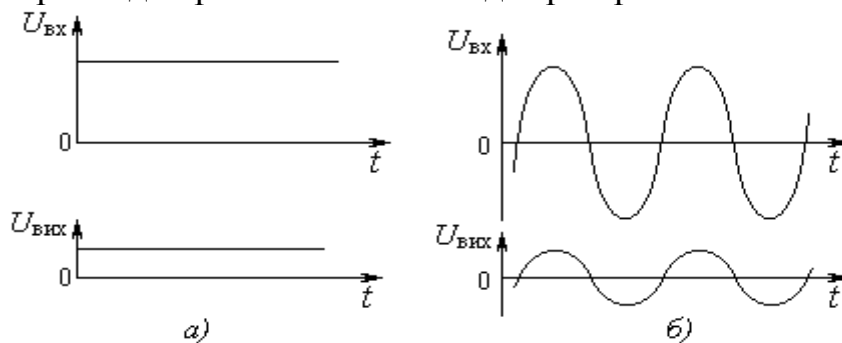


Рисунок В.5 – Часова діаграма

а) на постійному струмі; б) на змінному струмі

Тема 1. ДИСКРЕТНІ ПАСИВНІ КОМПОНЕНТИ. РЕЗИСТИВНИЙ ПОДІЛЬНИК НАПРУГИ. РОЗРАХУНОК ПОДІЛЬНИКА

1.1. Ключові положення

Пасивними компонентами є *резистори, конденсатори, котушки індуктивності та трансформатори.*

Резистором називається компонент РЕА, призначений для регулювання й розподілу електричної енергії між колами та елементами схеми. Усі резистори підрозділяються на постійні й змінні.

Конденсатором називається компонент РЕА, який має зосереджену електричну ємність, тобто здатність накопичувати заряди.

Котушкою індуктивності називається компонент РЕА, функціонування якого визначається взаємодією електричного струму та магнітного поля.

Трансформатором називається компонент РЕА, який має дві або більше обмоток та призначений для перетворення за допомогою електромагнітної індукції однієї або кількох систем змінного струму в одну або кілька інших систем змінного струму.

Резистори використовуються досить широко. Незважаючи на значне різноманіття резисторів, їх застосування у більшості випадків можна звести до подільника напруги, гасника та регулятора напруги.

Схема резистивного подільника напруги без навантаження (на "холостому ході") представлена на рис. 1.1.

На схемі рис. 1.1 позначено елементи: резистор R_1 – верхнє плече подільника; резистор R_2 – нижнє плече подільника.

Одним з основних призначень подільника є зменшення напруги.

Основним параметром подільника напруги (далі: подільник) є коефіцієнт передачі, який дорівнює

$$K_d = \frac{U_{\text{мвих}}}{U_{\text{мвх}}} \quad (1.1)$$

й на "холостому ході" (х.х.) визначається за формулою:

$$K_d = \frac{R_2}{R_1 + R_2}, \quad (1.2)$$

де R_1 і R_2 – опори резисторів відповідно верхнього й нижнього плечей подільника;

$U_{\text{мвх}}$ і $U_{\text{мвих}}$ – амплітуди відповідно вхідної та вихідної напруги.

Вхідний опір подільника напруги дорівнює сумі опорів резисторів:
 $R_{\text{вх}} = R_1 + R_2$.

Потужність розсіювання резистора під постійною напругою визначається як

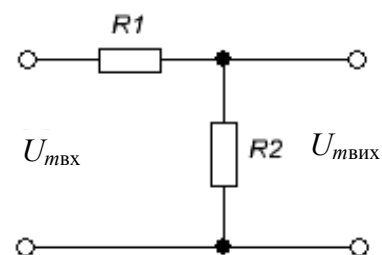


Рисунок 1.1 – Схема подільника напруги без навантаження

$$P_R = U_R \cdot I_R = \frac{U_R^2}{R} = I_R^2 \cdot R, \quad (1.3)$$

де U_R – падіння напруги на резисторі R ;

I_R – струм, який протікає через резистор R .

Для вхідної напруги опори R_1 і R_2 увімкнені послідовно, тому струм I_R дорівнює

$$I_R = \frac{U_{\text{вх}}}{R_1 + R_2} = \frac{U_{\text{вх}}}{R_{\text{вх}}}. \quad (1.4)$$

Якщо резистор знаходиться під змінною напругою, то для синусоїдальної форми сигналу слід користуватися формулою

$$P_R = \frac{1}{2} U_{Rm} I_{Rm} = \frac{1}{2} \cdot \frac{U_{Rm}^2}{R} = \frac{1}{2} I_{Rm}^2 \cdot R, \quad (1.5)$$

де U_{Rm} – амплітуда напруги на резисторі;

I_{Rm} – амплітуда струму, який протікає через резистор, дорівнює

$$I_{Rm} = \frac{U_{\text{мвх}}}{R_{\text{вх}}}. \quad (1.6)$$

Якщо подільник напруги працює на навантаження R_n , яке підмикається паралельно нижньому плечу R_2 , вихідна напруга $U_{\text{вих}}$ зменшується.

Схема подільника напруги під навантаженням показана на рис. 1.2.

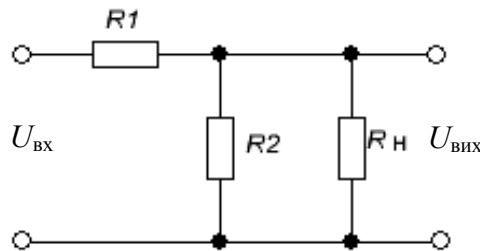


Рисунок 1.2 – Схема подільника напруги під навантаженням

Так як опори R_2 і R_n увімкнені паралельно, то їх еквівалентний опір дорівнює

$$R_{\text{екв}} = \frac{R_2 \cdot R_n}{R_2 + R_n}.$$

Тоді коефіцієнт передачі подільника під навантаженням буде дорівнювати

$$K_{\text{дн}} = \frac{R_{\text{екв}}}{R_1 + R_{\text{екв}}}. \quad (1.7)$$

Одним зі способів пояснення дії подільника є його часова діаграма роботи, тобто епюри вхідної та вихідної напруг. Часова діаграма роботи подільника наведена на рис. 1.3 для постійних (а) й змінних (б) напруг.

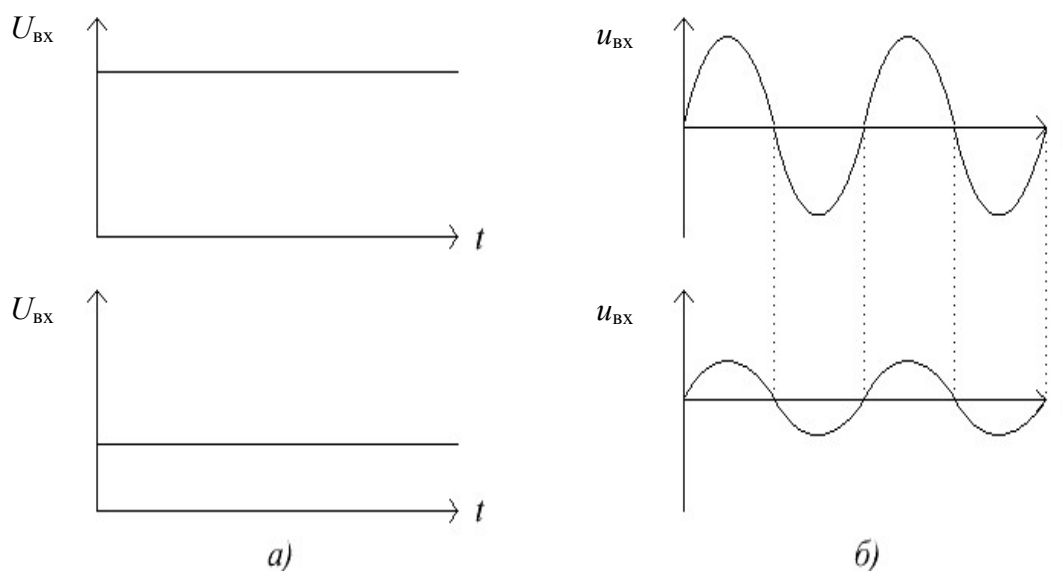


Рисунок 1.3 – Часова діаграма роботи подільника:
а) для постійних напруг; б) для змінних напруг

Ця діаграма роботи ілюструє, що вихідні напруги $U_{\text{вих}}$ менші вхідних напруг $U_{\text{вх}}$ для обох випадків: а) і б). Причому форми $U_{\text{вх}}$ і $U_{\text{вих}}$ завжди збігаються.

1.2. Завдання для розрахунку

1. Наведіть схему резистивного подільника напруги без навантаження.
2. Розрахуйте опори резисторів R_1 і R_2 для отримання заданого коефіцієнта передачі, який дорівнює

$$K_d = 0,2 + 0,05 \cdot N,$$

де N – остання цифра номера залікової книжки.

3. Округліть отримані значення опорів R_1 і R_2 до стандартних номіналів.
4. Визначте амплітуду вихідної напруги.
5. Розрахуйте потужності, які розсіюються резисторами R_1 і R_2 .
6. Наведіть у масштабі часову діаграму роботи подільника.

1.3. Вихідні дані

1. Значення вхідного опору: $R_{\text{вх}} \geq 1 \text{ кОм}$.
2. Амплітуда вхідної напруги дорівнює: $U_{m \text{ вх}} = (10 + M) \text{ В}$.

Тут і далі: M – передостання; N – остання цифри номера залікової книжки. При виконанні розрахунків у всіх задачах необхідно використовувати одиниці вимірювань системи СІ: вольт, ампер, ватт, ом, фарада, генрі, герц, метр, секунда та ін.

1.4. Виконання розрахунку

1. Розраховуємо коефіцієнт передачі подільника для заданого варіанта #
 $K_d = 0,2 + 0,05 \cdot N$.
2. Обираємо значення вхідного опору подільника $R_{вх}$ з нерівності:
 $R_{вх} \geq 1 \text{ кОм}$.
3. Визначаємо значення опору R_2 : $R_2 = K_d \cdot R_{вх}$.
4. Розраховуємо значення опору R_1 : $R_1 = R_{вх} - R_2$.
5. Округляємо розраховані значення опорів R_1 і R_2 до стандартних номінальних значень.
6. Визначаємо амплітуду вихідної напруги
 $U_{mвих} = K_d \cdot U_{mвх}$.
7. Розраховуємо потужності, які розсіюються резисторами R_1 і R_2 ,
 $P_R = \frac{1}{2} I_{Rm}^2 \cdot R_x$, де $x = 1, 2$.
8. Будуємо часову діаграму роботи подільника у масштабі. Вісі $u_{вх}$ та $u_{вих}$ розбиваємо у масштабі, який зручний для зчитування. Період сигналу обираємо довільно. Дозволені масштаби: 1, 2, 4, 5, 10.

1.5. Контрольні запитання

1. Наведіть схему та поясніть принцип дії резистивного подільника напруги.
2. Поясніть вплив опорів плечей подільника на вихідну напругу.
3. Поясніть вплив опорів плечей подільника на його коефіцієнт передавання.
4. Поясніть вплив опорів навантаження на вихідну напругу подільника.
5. Поясніть вплив опору навантаження на коефіцієнт передачі подільника.

1.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 3-6
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 19 – 31.

Тема 2. НАПІВПРОВІДНИКОВІ ДІОДИ. ВИПРЯМЛЯЧІ. РОЗРАХУНОК ВИПРЯМЛЯЧА

2.1. Ключові положення

Напівпровідникові діоди (далі: діоди) мають односторонню провідність.

При подачі *прямої* напруги діод відкритий, і його *прямий* струм може бути необмежено великим. Чим менша пряма напруга, тим вища якість діода. Для ідеального діода з кремнію пряма напруга не перевищує 0,7 В. Пряма напруга в реальних діодах може дещо відрізнятись від 0,7 В в обидві сторони.

При подачі *зворотної* напруги діод закритий, його зворотний струм мізерно малий, чим він менший, тим вища якість діода. Зворотна напруга може бути скільки завгодно великою в межах електричної міцності діода.

Таким чином, діод пропускає струм тільки в одному напрямку. Тому діоди застосовують для перетворення двополярної змінної напруги в однополярну, тобто для випрямлення напруги або струму.

Найпростішим випрямлячем є однопівперіодний, який являє собою подільник напруги, у верхньому плечі якого включений діод, а в нижньому - опір навантаження, що живиться вихідною випрямленою напругою.

Схеми однопівперіодних випрямлячів з трансформаторним входом показані на рис. 2.1: *а)* для позитивної випрямленої напруги; *б)* для негативної випрямленої напруги.

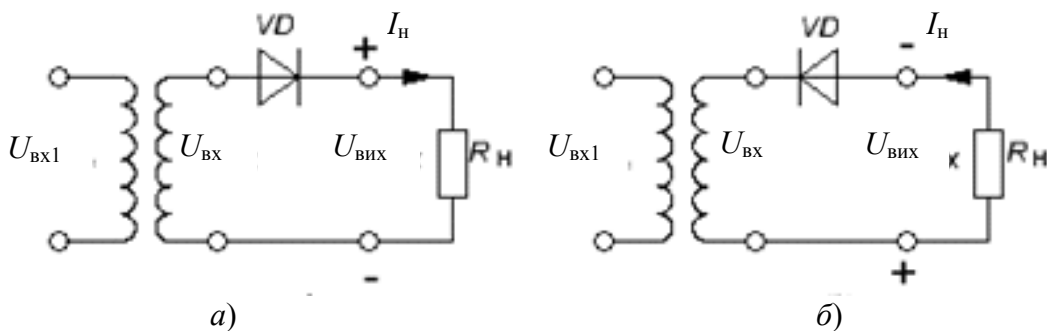


Рисунок 2.1 – Схеми однопівперіодних випрямлячів
з трансформаторним входом:

- а)* для позитивної випрямленої напруги;
- б)* для негативної випрямленої напруги

Розглянемо схему для позитивної випрямленої напруги (рис. 2.1, *а*).

Випрямляч працює таким чином.

Вхідна напруга $U_{\text{вх}}$ розподіляється між діодом VD і опором навантаження $R_{\text{н}}$. Згідно з другим законом Кірхгофа для напруг у схемі справедливе рівняння:

$$U_{\text{вх}} = U_{VD} + U_{\text{вих}}. \quad (2.1)$$

Як впливає з рівняння (2.1), при позитивній півхвилі вхідної напруги, яка для діода є прямою напругою, на діоді падає мізерно мала напруга $U_{\text{пр max}} \ll U_{m \text{ вх}}$, і тому до навантаження $R_{\text{н}}$ прикладена велика частина вхідної напруги $U_{m \text{ вх}}$:

$$U_{\text{вих max}} = U_{m \text{ вх}} - U_{\text{пр max}} \approx U_{m \text{ вх}}. \quad (2.2)$$

Негативна півхвиля вхідної напруги є для діода зворотною напругою і тому практично цілком падає на діоді, не надходячи до виходу, тобто $U_{m \text{ вх}} \approx U_{m \text{ зв}}$. Тому вихідна напруга близька до нуля:

$$U_{\text{вих max}} = U_{m \text{ вх}} - U_{m \text{ зв}} \approx 0. \quad (2.3)$$

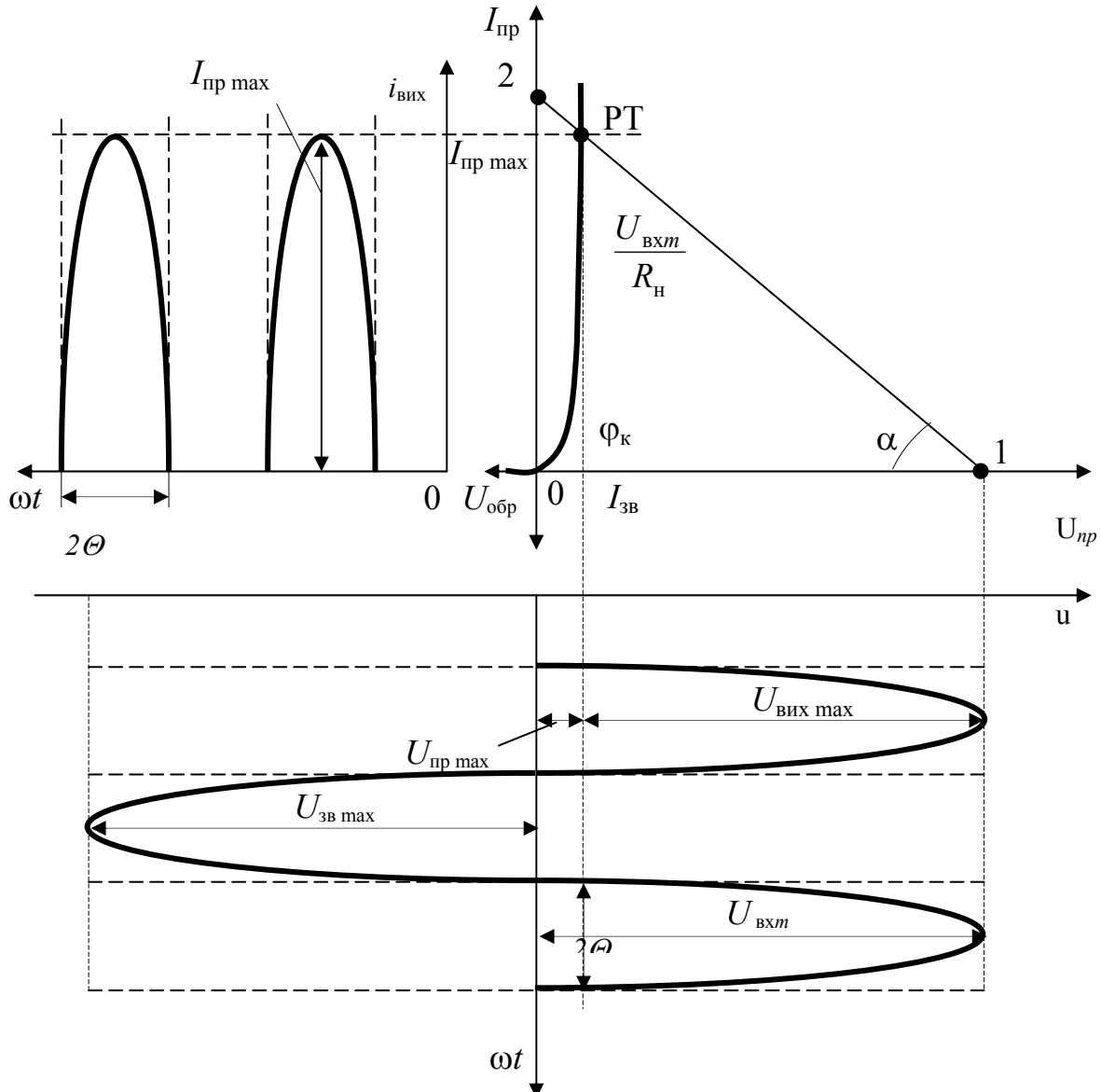


Рисунок 2.2 – Діаграма роботи однопівперіодного випрямляча

Таким чином, діод VD пропускає до навантаження R_H напругу тільки однієї полярності, тобто здійснює випрямлення.

Для наочного вивчення принципу дії випрямляча побудуємо діаграму його роботи.

Для цього знайдемо рівняння *навантажувальної прямої*. При подачі позитивної півхвилі вхідна напруга $U_{\text{вх}}$ розподіляється між діодом VD і опором навантаження R_H :

$$U_{\text{вх}} = U_{\text{пр}} + I_{\text{н}} \cdot R_{\text{н}} = U_{\text{пр}} + I_{\text{пр}} \cdot R_{\text{н}}, \quad (2.4)$$

де $U_{\text{пр}}$ – пряма напруга на діоді VD ;

$I_{\text{н}} = I_{\text{пр}}$ – струм навантаження, рівний прямому струму діода.

Поділимо рівняння (2.4) на $R_{\text{н}}$ та знайдемо струм діода $I_{\text{пр}}$, отримаємо:

$$I_{\text{пр}} = \frac{U_{\text{вх}}}{R_{\text{н}}} - \frac{U_{\text{пр}}}{R_{\text{н}}}. \quad (2.5)$$

Вираз (2.5) є *рівнянням лінії навантаження*. Оскільки в системі координат ($I_{\text{пр}}$, $U_{\text{пр}}$) рівняння (2.4) першого ступеня, то лінія навантаження є прямою, і тому називається *навантажувальною прямою*.

Лінія навантаження «1-2» (рис. 2.2) будується по двох точках 1 і 2 перетину з осями координат наступним чином.

Точка 1: підставляємо у вираз (2.4) рівняння вісі абсцис: $I_{\text{пр}} = 0$, звідки отримуємо $U_{\text{вх}} = U_{\text{пр}}$ і відкладаємо $U_{\text{пр}} = U_{\text{вх}m}$, де $U_{\text{вх}m}$ – амплітуда вхідної напруги.

Точка 2: підставляємо у вираз (2.4) рівняння вісі ординат: $U_{\text{пр}} = 0$, звідки одержуємо співвідношення $I_{\text{пр}} = \frac{U_{\text{вх}}}{R_{\text{н}}}$, в яке підставляємо $U_{\text{вх}} = U_{\text{вх}m}$.

Через точки 1 і 2 проводимо пряму лінію, яка є *лінією навантаження*.

Перетин лінії навантаження з ВАХ визначає робочу точку РТ, яка задає режим діода, тобто всю сукупність напруг і струмів елементів схеми. Так, точки 1 і 0 визначають амплітуду вхідної напруги $U_{\text{вх}m}$. Робоча точка РТ є гранню між напругою на діоді $U_{\text{пр} \max}$ і напругою на $R_{\text{н}}$, тобто вихідною напругою $U_{\text{вих} \max}$.

Для розрахунку випрямляча основними заданими параметрами є опір навантаження $R_{\text{н}}$ і випрямлена напруга на ньому $U_{\text{вих} \max}$.

Необхідно скласти схему випрямляча, вибрати тип діода, визначити амплітуди вхідної напруги, вхідного струму, прямої і зворотної напруг.

Тип діода вибираємо за вхідним струмом $I_{\text{вх} \max}$ і зворотною напругою $U_{\text{мзв}}$ в даній схемі рис. 2.1, а:

$$I_{\text{вх} \max} = I_{\text{н} \max} = \frac{U_{\text{вих} \max}}{R_{\text{н}}}. \quad (2.6)$$

Розраховане за формулою (2.6) значення струму $I_{\text{н} \max}$ не повинно перевищувати номінальне значення струму діода $I_{\text{ном}}$, яке дане у довіднику для кожного діода:

$$I_{\text{н} \max} \leq I_{\text{ном}}. \quad (2.7)$$

Оскільки вхідна напруга $U_{\text{вх}}$ розподіляється між діодом VD і опором навантаження $R_{\text{н}}$, то амплітуда вхідної напруги дорівнює їх сумі:

$$U_{\text{вх} m} = U_{\text{пр} \max} + U_{\text{вих} \max}, \quad (2.8)$$

де $U_{\text{пр} \max} \approx 0,7 \text{ В}$ – пряма напруга на діоді.

Амплітуда вхідної напруги $U_{\text{м вх}}$ не повинна перевищувати максимально припустимого значення зворотної напруги $U_{\text{зв} \max}$, яка є паспортним даним для кожного діода.

Зворотну напругу діода вибираємо з 20% запасом з нерівності:

$$1,2U_{m\text{ вх}} \leq U_{\text{обр макс}}, \quad (2.9)$$

де $U_{m\text{ вх}}$ – амплітуда вхідної напруги.

За проєкціями РТ на вісі координат визначаємо розраховані параметри випрямляча.

Проекція РТ на вісь абсцис визначає:

- максимальне значення прямої напруги на діоді $U_{\text{пр макс}}$;
- максимальне значення вихідної напруги (на опорі R_H):

$$U_{\text{вих макс}} = U_{\text{вхм}} - U_{\text{пр макс}}.$$

Проекція РТ на вісь ординат визначає максимальне значення струму в навантаженні $I_{H\text{ макс}} = I_{\text{пр макс}}$.

Амплітуда зворотної напруги на діоді $U_{\text{звм}}$ практично дорівнює амплітуді вхідної напруги $U_{\text{вхм}}$, оскільки цілком падає на діоді, тому вихідна напруга на опорі R_H дорівнює нулю.

Результати розрахунку відображає часова діаграма роботи однопівперіодного випрямляча на рис. 2.3, де u_D – напруга на діоді.

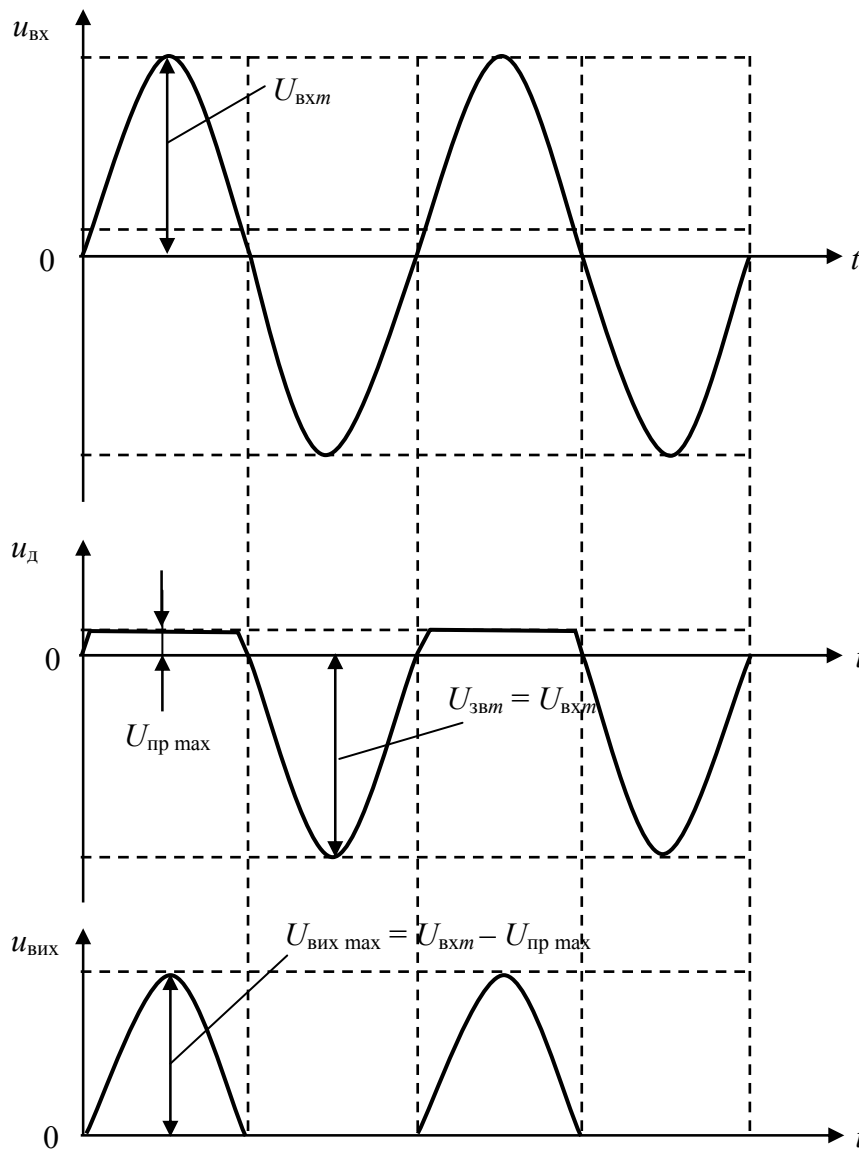


Рисунок 2.3 – Часова діаграма роботи однопівперіодного випрямляча позитивної напруги (рис. 2.1,а)

Слід звернути увагу на те, що випрямлення досягається не за будь-якого опору навантаження R_H . Якщо опір R_H порівнянний зі зворотним опором діода ($R_H \approx R_{зв}$), то зворотна півхвиля буде лише розподілятися між R_H і $R_{зв}$, тобто частково виділятися і на опорі R_H , і на діоді, але випрямлення не буде.

2.2. Завдання для розрахунку

1. Наведіть схему однопівперіодного випрямляча позитивної напруги.
2. За довідником оберіть тип діода.
3. Наведіть у масштабі діаграму роботи випрямляча.
4. Визначте амплітуди вхідної напруги, вхідного струму, прямої та зворотної напруги.
5. Наведіть в масштабі часову діаграму роботи випрямляча: епюри вхідної напруги, напруги на діоді й вихідної напруги, звертаючи увагу на фази. (Епюру вхідної напруги розмістіть зверху).

2.3. Вихідні дані

1. Максимальне значення вихідної напруги $U_{\text{вих max}} = (5 + N) \text{ В}$.
2. Опір навантаження $R_H = (200 + 10 \cdot M) \text{ Ом}$.
(N – остання; M – передостання цифри номера залікової книжки).

2.4. Виконання розрахунку

1. На рис. 2.4 наведена схема однопівперіодного випрямляча позитивної випрямленої напруги.

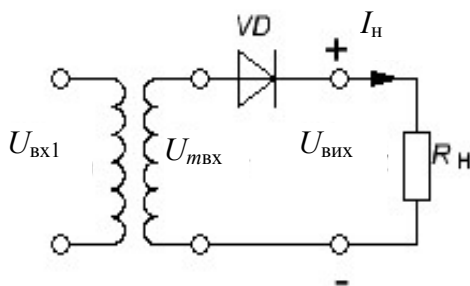


Рисунок 2.4 – Схема однопівперіодного випрямляча позитивно випрямленої напруги

2. За заданими значеннями вихідної напруги $U_{\text{вих max}}$ та опором навантаження R_H визначаємо максимальне значення прямого струму $I_{\text{пр max}}$, який протікає через діод,

$$I_{\text{пр max}} = \frac{U_{\text{вих max}}}{R_H}.$$

3. Вважаючи, що максимальне значення прямої напруги на діоді $U_{пр\ max}=1\ В$, визначаємо амплітуду зворотної напруги, прикладеної до діоду.

$$U_{зв\ m} = U_{вих\ max} + U_{пр\ max}.$$

4. Діод вибираємо за довідником із запасом за граничними параметрами, для цього значення $I_{пр\ max}$ і $U_{зв\ m}$ збільшимо на 20%:

$$I_{пр} = 1,2 \cdot I_{пр\ max},$$

$$U_{зв} = 1,2 \cdot U_{зв\ m}.$$

5. За розрахованими значеннями $I_{пр}$ і $U_{обр}$ з довідника вибираємо діод, для параметрів якого виконуються наступні нерівності:

$$I_{пр\ макс} \geq I_{пр} \quad \text{і} \quad U_{зв\ макс} \geq U_{зв}.$$

6. Для вибраного діода за довідником визначаємо падіння напруги $U_{пр\ VD}$.

7. Визначаємо вхідну напругу $U_{m\ вх}$ випрямляча

$$U_{m\ вх} = U_{вих\ max} + U_{пр\ VD}.$$

8. Будуємо часову діаграму роботи випрямляча (рис. 2.3) в масштабі. Тривалість періоду при цьому вибирається довільно.

2.5. Контрольні запитання

1. Поясніть принцип роботи випрямляча.
2. Наведіть співвідношення амплітуд вхідної та вихідної напруг випрямляча.
3. Накресліть схеми випрямлячів для отримання позитивно та негативно випрямленої напруги.
4. Поясніть, чому дорівнює пряма й зворотна напруги на діоді.

2.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 6-25.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 41 – 51.

Тема 3. БІПОЛЯРНІ ТРАНЗИСТОРИ. ПІДСИЛЮВАЧІ НА БІПОЛЯРНОМУ ТРАНЗИСТОРІ

3.1. Ключові положення

Біполярним транзистором (БТ) називається напівпровідниковий прилад, який має два взаємодіючих p - n -переходи. Транзистор являє собою кристал напівпровідника, що містить три області з по чергово змінюючимися типами провідності. Залежно від порядку чергування областей розрізняють БТ типів p - n - p та n - p - n . Принцип дії БТ різних типів однаковий. Транзистори назвали біполярними, тому що їх робота забезпечується носіями обох полярностей: електронами та дірками.

Схематично структура БТ та його умовне позначення показано на рис. 3.1: на рис. 3.1,а – транзистор $p-n-p$ -типу; на рис. 3.1,б – транзистор $n-p-n$ -типу.

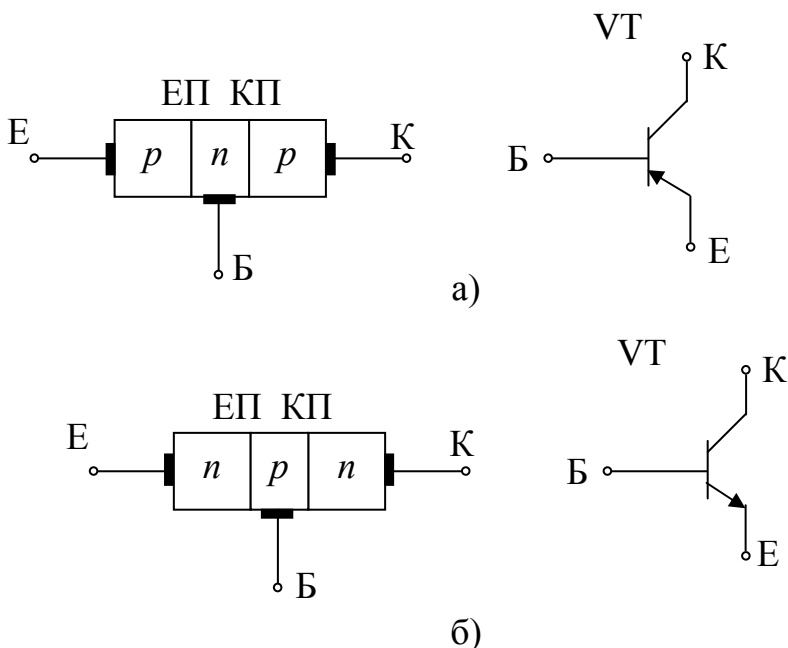


Рисунок 3.1 – Структура біолярного транзистора та його умовне позначення:
а) $p-n-p$ -типу; б) $n-p-n$ -типу

Одну з крайніх областей транзисторної структури створюють з підвищеною концентрацією домішок, використовують в режимі інжекції та називають *емітером* (Е). Середню область називають *базою* (Б), а іншу крайню область – *колектором* (К). Два *p-n*-переходи БТ називають емітерним та колекторним.

Таким чином, у транзисторі є два p - n -переходи: *емітерний* (ЕП) – між емітером та базою й *колекторний* (КП) – між базою та колектором. Відстань між переходами має бути малою, тобто область бази повинна бути дуже тонкою. Це є умовою гарної роботи транзистора. Від бази, емітера та колектора зроблено виводи.

Струми у проводах емітера, бази, колектора позначають відповідно I_e , I_b , I_k .

Напруги між електродами позначають подвійними індексами, наприклад, напруга між базою й емітером $U_{\text{бє}}$, між колектором й базою $U_{\text{кб}}$. В умовному позначенні транзисторів на рис. 3.1 стрілка показує вивід емітера, а її напрямок – напрям струму (від плюсу до мінуса) у проводі емітера при прямій напрузі на емітерному переході.

Біполярний транзистор може працювати у чотирьох режимах залежно від полярності напруги на його переходах.

1) **Режим насичення**: на обидва переходи подано пряму напругу, обидва переходи відкриті.

2) **Режим відсічки**: на обидва переходи подано зворотну напругу, обидва переходи закриті.

3) **Режим активний**: на емітерний перехід подано пряму напругу, а на колекторний – зворотну напругу; емітерний перехід відкритий, колекторний закритий.

4) **Режим інверсний**: на емітерний перехід подано зворотну напругу, а на колекторний – пряму напругу; емітерний перехід закритий, колекторний відкритий, тобто режим інверсний (протилежний) по відношенню до активного. Інверсний режим використовують досить рідко.

Активний режим БТ використовується в аналогових схемах: підсилювачах та генераторах. Режими відсічки й насичення використовують для імпульсної роботи БТ та застосовують у цифрових схемах.

Як впливає з рис. 3.1, транзистор є триполюсним елементом, тому що має три виводи: емітер (Е), базу (Б) і колектор (К). Частіше за все транзистор використовують як чотириполюсний елемент, для цього один з його виводів роблять спільним між вхідним та вихідним колами. Розрізняють **три схеми включення біполярного транзистора**: зі спільним емітером (СЕ), зі спільною базою (СБ), зі спільним колектором (СК). Таке включення розглядають як для проходження постійних струмів, так і для змінних. Так, наприклад, три схеми можуть різнитися за змінним струмом, але мати однакову схему включення за постійним струмом. За умовчанням, термін СЕ, СБ, СК відноситься, як правило, до *схеми включення за змінним струмом*.

У довідниках зазначається більша кількість параметрів й граничних експлуатаційних даних біполярних транзисторів. Найчастіше використовують наступні граничні параметри, які визначають робочу область активного режиму транзистора.

- 1) $U_{\text{ке макс}}$ – максимально припустима постійна напруга колектор-емітер.
- 2) $U_{\text{кб макс}}$ – максимально припустима постійна напруга колектор-база.
- 3) $I_{\text{к макс}}$ – максимально припустимий постійний струм колектора.
- 4) $I_{\text{е макс}}$ – максимально припустимий постійний струм емітера.
- 5) $I_{\text{б макс}}$ – максимально припустимий постійний струм бази.
- 6) $P_{\text{к макс}}$ – максимально припустима постійна розсіювана потужність колектора.
- 7) $T_{\text{п макс}}$ – максимально припустима постійна температура колекторного переходу.

Всі параметри біполярного транзистора залежать від температури. Це зумовлено

тим, що фізичні властивості напівпровідникового матеріалу суттєво змінюються під впливом температури.

Струм колектора I_k при збільшенні температури збільшується. В результаті режим роботи транзистора у схемі змінюється й може вийти за межі максимально припустимих значень струмів та потужностей. Потужні транзистори для нормальної роботи мають тепловідводи.

Для стабілізації режиму роботи транзистора у пристрої використовують спеціальні схеми.

У схемі зі спільним емітером емітерний перехід транзистора є входним колом підсилювача, а колекторний – вихідним. Якщо джерело входного сигналу витрачає меншу потужність, ніж отримана потужність у навантаженні підсилювача, то входний сигнал підсилюється.

Принципові схеми підсилювачів зі спільним емітером на транзисторах *n-p-n*-типу й *p-n-p*-типу показано на рис. 3.2. Як випливає з рис. 3.2, схеми відрізняються типом транзисторів, а також полярністю напруги живлення E_K . Підсилювач на *n-p-n*-транзисторі живиться позитивною напругою ($+E_K$) відносно корпусу, а на *p-n-p*-транзисторі – негативною ($-E_K$).

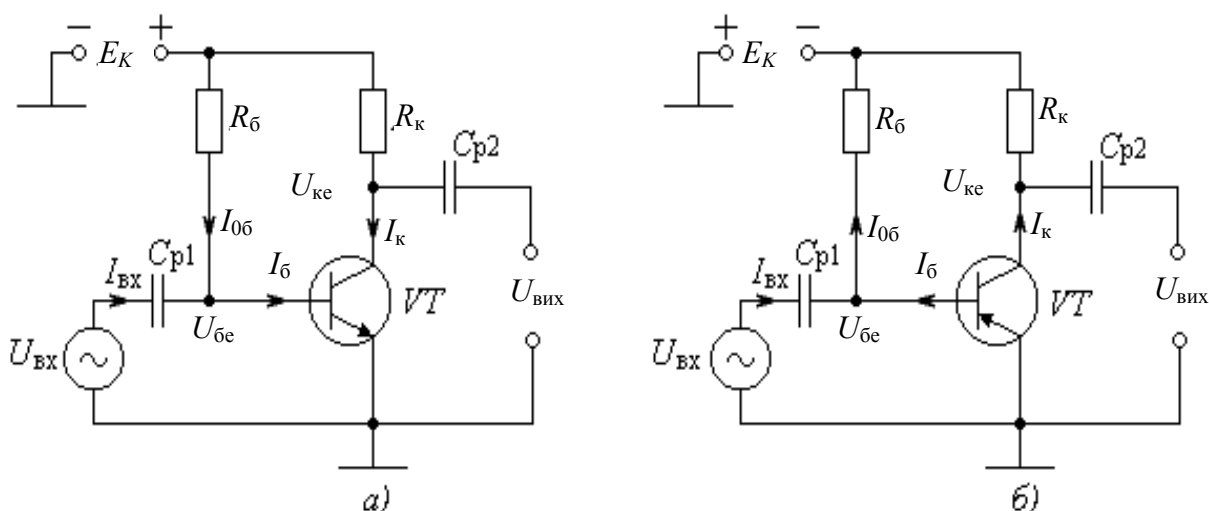


Рисунок 3.2 – Принципові схеми підсилювачів із загальним емітером:
а) на транзисторі *n-p-n*; б) на транзисторі *p-n-p*

На схемах рис. 3.2 позначено:

$U_{ВХ}$ – входна підсилювана напруга;

$U_{ВІХ}$ – вихідна підсилена напруга;

VT – біполярний транзистор;

E_K – напруга живлення;

$U_{бэ}$ – напруга між базою та емітером;

$U_{кэ}$ – напруга між колектором та емітером;

I_{06} – струм зміщення у колі бази;

$I_б$ – струм бази;

I_k – струм колектора;

$I_{ВХ}$ – входний струм;

$R_б$ – резистор у колі бази;

R_K – опір навантаження;

C_{p1} и C_{p2} – розділяльні конденсатори.

Підсилювач зі спільним емітером (СЕ), принципову схему якого зображено на рис. 3.2,а, є подільником напруги живлення E_K , у верхньому плечі якого увімкнено опір навантаження R_K , а у нижньому – транзистор VT . Аналогічне твердження справедливе для схеми підсилювача на рис. 3.2,б.

У цьому випадку коефіцієнт передачі подільника напруги живлення $K_{ж}$ буде дорівнювати

$$K_{ж} = \frac{U_{ке}}{E_K} = \frac{R_K}{R_K + R_{VT}}, \quad (3.1)$$

де R_{VT} – еквівалентний опір колектор–емітер транзистора.

Тоді напруга між колектором та емітером транзистора буде дорівнювати

$$U_{ке} = E_K \frac{R_{VT}}{R_K + R_{VT}}. \quad (3.2)$$

З формули (3.2) слідує:

- напруга $U_{ке}$ між колектором та емітером є частиною напруги живлення E_K ;
- напруга $U_{ке}$ між колектором та емітером тим більша, чим більша напруга живлення E_K ;
- напруга $U_{ке}$ ніколи не може бути більшою напруги живлення:

$$U_{ке} < E_K. \quad (3.3)$$

Вхідна підсилювана напруга $U_{вх}$ управляє зміненням опору транзистора R_{VT} за своїм законом і, як впливає з формули (3.1), тим самим управляє коефіцієнтом передачі напруги живлення $K_{п}$. Таким чином, в основу принципу дії підсилювача покладено те, що частина напруги живлення E_K надходить до виходу через подільник напруги з R_K та опору між колектором та емітером транзистора R_{VT} , а вхідний підсилюваний сигнал $U_{вх}$ управляє коефіцієнтом передачі $K_{ж}$ цього подільника.

Для розгляду роботи підсилювача знайдемо рівняння лінії навантаження.

Напруга живлення E_K за законом Кірхгофа ділиться на падіння напруги на опорі навантаження $I_K R_K$ та напругу колектор–емітер $U_{ке}$:

$$E_K = I_K R_K + U_{ке}. \quad (3.4)$$

З рівняння (3.4), поділивши його на R_K , отримаємо рівняння лінії навантаження

$$I_K = \frac{E_K}{R_K} - \frac{U_{ке}}{R_K}. \quad (3.5)$$

Рівняння (3.5) в системі координат $(I_K, U_{ке})$ першого ступеня. Тому лінія навантаження є прямою лінією (навантажувальна пряма), і її можна побудувати за двома точками на вісях координат (рис. 3.3).

Точка 1: $I_K = 0$; з рівняння (3.5) отримаємо: $U_{ке} = E_K$.

Точка 2: $U_{ке} = 0$; з рівняння (3.5) отримаємо: $I_K = \frac{E_K}{R_K}$.

Відрізок прямої 1–2 є лінією навантаження.

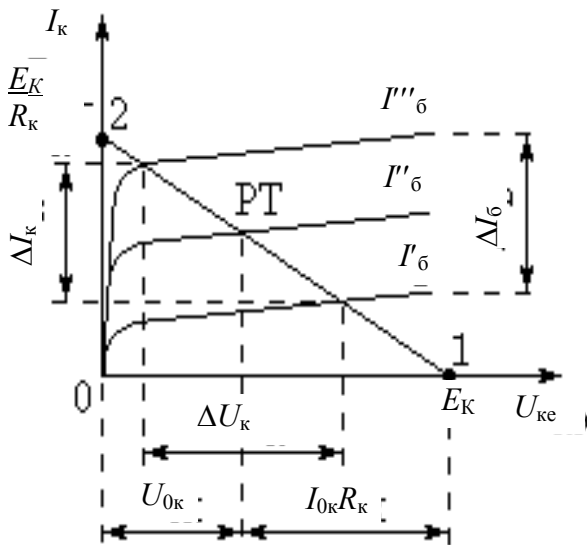


Рисунок 3.3 – Лінія навантаження й режим транзистора

Перетин лінії навантаження із заданою характеристикою визначає *робочу точку*. Якщо, наприклад, задана характеристика для струму зміщення $I_{06} = I_6''$, то робочою буде точка РТ.

Робоча точка однозначно визначає *режим* роботи транзистора, тобто *сукупність* напруг і струмів. Вона ніби розділяє напругу живлення E_K на напругу колектор-емітер в робочій точці $U_{0ке}$ й падіння напруги $I_{0к}R_K$ на опорі навантаження R_K , тобто $E_K = U_{0ке} + I_{0к}R_K$.

Лінія навантаження повністю описує режим роботи транзистора та його змінення.

Так, за допомогою лінії навантаження можна визначити вплив змінення будь-якого параметра режиму. Якщо, наприклад, змінити струм бази на ΔI_6 , то струм колектора зміниться на $\Delta I_K = h_{21e} \cdot \Delta I_6$ і, як наслідок, зміниться напруга між колектором та емітером на $\Delta U_{ке}$. Параметр h_{21e} – коефіцієнт передачі струму транзистора у схемі зі спільним емітером, значення якого дано у довіднику.

3.2. Діаграма роботи підсилювача зі спільним емітером

Підсилювач працює наступним чином.

Принцип дії підсилювача пояснює діаграма його роботи (рис. 3.4).

На рис. 3.4 позначено:

$U_{m\text{ вх}}$ – амплітуда вхідної підсилюваної напруги;

$U_{m\text{ вих}}$ – амплітуда вихідної підсиленої напруги;

$I_{m\text{ вх}}$ – амплітуда вхідного струму;

$I_{m\text{ к}}$ – амплітуда струму колектора.

Як впливає з рис. 3.4, у схемі підсилювача напруги і струми транзистора змінюються у наступних межах відносно постійних складових:

– напруга база-емітер

$$U_{6e} = U_{06e} \pm U_{m\text{ вх}}; \quad (3.6)$$

– напруга колектор-емітер

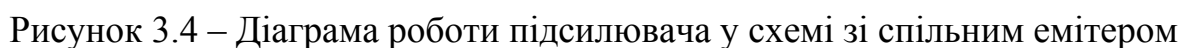
$$U_{ке} = U_{0ке} \pm U_{m\text{ вих}}; \quad (3.7)$$

– струм бази

$$I_6 = I_{06} \pm I_{m\text{ вх}}; \quad (3.8)$$

– струм колектора

$$I_K = I_{0к} \pm I_{m\text{ к}}. \quad (3.9)$$



Струм бази I_6 протікає колом: плюс джерело живлення $(+E_K)$, резистор R_6 , перехід база-емітер транзистора, нульовий провід, мінус джерело живлення $(-E_K)$. Оскільки протікає струм бази I_6 , то з'являється й струм колектора $I_K = h_{21e} \cdot I_6$, який протікає колом: плюс джерело живлення $(+E_K)$, опір навантаження R_K , перехід колектор-емітер транзистора, нульовий провід, мінус джерело живлення $(-E_K)$.

$$\begin{aligned} 1) \quad & I_{\bar{6}} R_{\bar{6}} + U_{\bar{6}e} - E_K = 0 \quad \text{або} \quad I_{\bar{6}} R_{\bar{6}} + U_{\bar{6}e} = E_K. \\ 2) \quad & I_K R_K + U_{Ke} - E_K = 0 \quad \text{або} \quad I_K R_K + U_{Ke} = E_K. \end{aligned} \quad (3.10)$$

- постійна напруга база-емітер: $U_{\text{бе}} = U_{0\text{бе}}$;
- постійна напруга колектор-емітер: $U_{\text{ке}} = U_{0\text{ке}}$;
- постійний струм баз: $I_{\text{б}} = I_{0\text{б}}$;
- постійний струм колектора: $I_{\text{к}} = I_{0\text{к}}$.

Так, в момент t_1 на вході підсилювача діє амплітуда $U_{m\text{ вх}}$ позитивної напівхвилі, в результаті напруга база-емітер збільшується до максимального значення:

$U_{\text{бе max}} = U_{0\text{бе}} + U_{m \text{ вх}}$. Тому струм бази також буде максимальним: $I_{\text{б max}} = I_{0\text{б}} + I_{m \text{ б}}$. Так як струм колектора прямо пропорційний току бази ($I_{\text{к}} = h_{21\text{э}} \cdot I_{\text{б}}$), то він також буде мати максимальне значення: $I_{\text{к max}} = I_{0\text{к}} + I_{m \text{ к}}$.

Напруга колектор-емітер знайдемо з виразу (3.4):

$$U_{\text{кэ}} = E_{\text{к}} - I_{\text{к}} R_{\text{к}}, \quad (3.11)$$

для моменту t_1 знайдемо його мінімальне значення, підставивши у вираз (3.11) значення $I_{\text{к}} = I_{\text{к max}}$, отримаємо:

$$U_{\text{ке min}} = E_{\text{к}} - I_{\text{к max}} R_{\text{к}}. \quad (3.12)$$

В момент t_2 на вході підсилювача діє амплітуда вхідного сигналу $U_{m \text{ вх}}$ від'ємної напівхвилі, тому напруга база-емітер зменшується до мінімального значення: $U_{\text{бе min}} = U_{0\text{бе}} - U_{m \text{ вх}}$. Струм бази також буде мінімальним: $I_{\text{б min}} = I_{0\text{б}} - I_{m \text{ б}}$. Тоді струм колектора також буде мінімальним: $I_{\text{к min}} = I_{0\text{к}} - I_{m \text{ к}}$, тому що $I_{\text{к}} = h_{21\text{э}} \cdot I_{\text{б}}$.

Напругу колектор-емітер в момент t_2 визначимо, підставивши у вираз (3.10) значення $I_{\text{к}} = I_{\text{к min}}$, одержимо

$$U_{\text{ке max}} = E_{\text{к}} - I_{\text{к min}} R_{\text{к}}. \quad (3.13)$$

Як впливає з виразів (3.12) і (3.13), *максимальний* струм колектора $I_{\text{к max}}$ зумовлює *мінімальне* значення напруги колектор-емітер $U_{\text{ке min}}$. Це пояснюється тим, що максимальний струм колектора $I_{\text{к max}}$ створює максимальне падіння напруги на опорі навантаження $R_{\text{к}}$, яке дорівнює: $I_{\text{к max}} R_{\text{к}}$. Аналогічно, *мінімальний* струм колектора $I_{\text{к min}}$ зумовлює *максимальне* значення напруги колектор-емітер $U_{\text{ке max}}$.

З цього слідує, що підсилювач зі спільним емітером повертає фазу вхідної напруги на 180° .

3.3. Розрахунок підсилювача на біполярному транзисторі зі спільним емітером

3.3.1. Завдання для розрахунку

1. Розробіть схему резистивного підсилювача напруги зі спільним емітером (далі підсилювач).
2. За довідником оберіть тип біполярного транзистора.
3. Наведіть у масштабі діаграму роботи підсилювача.
4. Визначте напругу живлення колекторного кола $E_{\text{к}}$.
5. Розрахуйте опір навантаження у колекторному колі та опір резистора у колі бази.
6. Розрахуйте потужність $P_{0\text{к}}$, яка розсіюється колектором, порівняйте її з максимально припустимою потужністю $P_{\text{к max}}$ та зробіть висновки про правильність вибору транзистора.
7. Розрахуйте вихідну корисну потужність $P_{\text{вих}}$ та потужність витрат $P_{\text{випр}}$.
8. Визначте коефіцієнт корисної дії (ККД).
9. Визначте коефіцієнти підсилення напруги K_u , струму K_i та потужності K_P .
10. Знайдіть вхідний опір.

11. Наведіть у масштабі часову діаграму роботи підсилювача. (*Зверху* – емпора вхідної напруги, *знизу* – вихідної). Розміщення емпор вхідної та вихідної напруг у різних стовпцях або на різних сторінках не припустиме.

3.3.2. Вихідні дані

1. Амплітуда вхідної напруги $U_{m\text{ вх}} = 0,05 (1 + 0,1 \cdot N)$ В.
2. Амплітуда вихідної напруги $U_{m\text{ вих}} = (7 + 0,3 \cdot M)$ В.
(M – передостання, N – остання цифри номера залікової книжки).

3.3.3. Виконання розрахунку

Розробка схеми

Схема підсилювача зі спільним емітером показана на рис. 3.5.

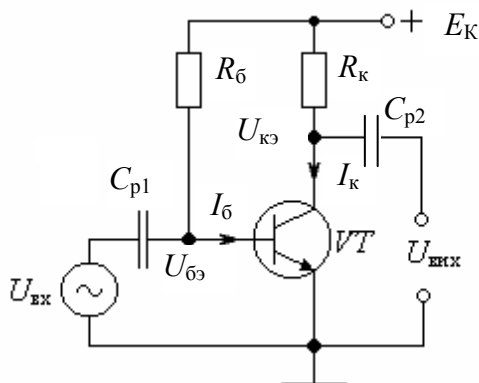


Рисунок 3.5 – Схема підсилювача зі спільним емітером

Далі необхідно пояснити всі позначення на схемі; наприклад,

$U_{\text{вх}}$ – вхідна напруга, яку необхідно підсилити;

$U_{\text{вих}}$ – вихідна підсилена напруга;

$R_{\text{б}}$ – резистор в колі бази;

$R_{\text{к}}$ – опір навантаження.

і т.д.

Вибір транзистора

Транзистор обирається за максимально припустимою напругою колектор-емітер $U_{\text{ке max}}$, значення якого зазначається у довідниках.

Розрахункове значення напруги живлення колекторного кола для вибору транзистора дорівнює

$$E_{\text{К розр}} = 2 U_{m\text{ вих}} + 2 U_{\text{ке нас}},$$

де $U_{\text{ке нас}}$ – напруга насичення транзистора, яку зазначено у довіднику та дорівнює приблизно 1...2 В.

Має виконуватися нерівність: $E_{\text{К розр}} < U_{\text{ке max}}$.

Побудова діаграми роботи підсилювача

1. Для обраного транзистора знімаємо вхідну вольтамперну характеристику (ВАХ) $I_{\text{б}} = f(U_{\text{бе}})$ та обираємо на ній значення мінімального струму бази $I_{\text{б min}}$, відсікаючи найбільш нелінійну ділянку вхідної ВАХ, як показано на рис. 3.4. Як правило, мінімальне значення струму бази $I_{\text{б min}}$ можна обрати рівним значенню, зазначеному на нижній вихідній ВАХ.

2. На вхідній характеристиці знаходимо точку з координатами $(U_{\text{бе min}}, I_{\text{б min}})$. Для цього значення $I_{\text{б min}}$ проєціюємо на вхідну ВАХ, знаходимо точку 1, а

потім точку 1 проеціюємо на вісь напруги $U_{\text{бе}}$ й знаходимо значення $U_{\text{бе min}}$, як зображено на рис. 3.4. Записуємо значення: $U_{\text{бе min}} = , I_{\text{б min}} = .$

3. Потім на вхідній ВАХ знаходимо робочу точку з координатами $(U_{0\text{бе}}, I_{0\text{б}})$, розрахувавши напругу база-емітер за формулою

$$U_{0\text{бе}} = U_{\text{бе min}} + U_{m \text{ вх}}$$

і визначивши за вхідною характеристикою відповідне значення струму бази $I_{0\text{б}}$. Записуємо значення: $U_{\text{бе 0}} = , I_{\text{б 0}} = .$

4. Далі на вхідній характеристиці знаходимо точку 2 з координатами $(U_{\text{бе max}}, I_{\text{б max}})$, розрахувавши максимальну напругу база-емітер у точці 2 за формулою

$$U_{\text{бе max}} = U_{\text{бе min}} + 2U_{m \text{ вх}}$$

й визначивши за вхідною характеристикою відповідне значення струму бази $I_{\text{б max}}$. Записуємо значення: $U_{\text{бе max}} = , I_{\text{б max}} = .$

5. На епюрі напруги $U_{\text{вх}}(t)$ навколо напруги спокою $U_{0\text{бе}}$ розміщуємо синусоїду без спотворень із заданою амплітудою $U_{m \text{ вх}}$.

6. Креслимо вихідні вольтамперні характеристики для струмів бази $I_{\text{б min}}$, $I_{0\text{б}}$ й $I_{\text{б max}}$, значення яких позначено на вхідній ВАХ відповідно у точках 1, РТ, 2 (рис. 3.4).

7. На вихідних характеристиках обраного транзистора знаходимо точку 3 лінії навантаження. Для цього обираємо значення напруги $U_{\text{ке min}}$ й проеціюємо його на вихідну характеристику для струму бази $I_{\text{б max}}$.

Напруга $U_{\text{ке min}}$ повинна відсікати найбільш нелінійну ділянку вихідних ВАХ транзистора. Тому значення напруги $U_{\text{ке min}}$ слід обирати таким чином, *щоб точка 3 була б як можна ближче до вісі ординат $I_{\text{к}}$, але правіше точки перегину характеристики для струму $I_{\text{б max}}$, тобто на можливо лінійній ділянці вихідної характеристики*. Наприклад, $U_{\text{ке min}} = 2 U_{\text{ке нас}}$.

8. На вихідних характеристиках знаходимо точку 4 лінії навантаження, проеціюючи максимальну напругу $U_{\text{ке max}} = U_{\text{ке min}} + 2U_{m \text{ вих}}$ на вихідну характеристику для струму бази $I_{\text{б min}}$.

9. Через точки 3 і 4 проводимо лінію навантаження до перетину з вісями координат $U_{\text{ке}}$ й $I_{\text{к}}$. Позначаємо робочу точку РТ, яка знаходиться на перетині ВАХ, що відповідає струму бази $I_{0\text{б}}$, й навантажувальній прямій. Проеціюючи робочу точку РТ на вісь напруги $U_{\text{ке}}$ (вісь абсцис), знаходимо напругу $U_{0\text{ке}}$.

10. Проеціюючи точки 3, РТ, 4 на вісь струму $I_{\text{к}}$ (вісь ординат), знаходимо значення відповідних струмів: $I_{\text{к max}}, I_{0\text{к}}, I_{\text{к min}}$.

11. В межах мінімальних та максимальних значень струму колектора та напруги колектор-емітер розміщуємо їх епюрі, як показано на рис. 3.4.

12. Наводимо діаграму роботи розраховуваного підсилювача на вхідних й вихідних ВАХ обраного транзистора, як показано на рис. 3.4, використовуючи тільки три вихідні ВАХ для трьох значень струму бази: $I_{\text{б max}}, I_{0\text{б}}, I_{\text{б min}}$.

Через нелінійності вхідної та вихідної вольтамперних характеристик транзистора, форма вихідного сигналу відрізняється від гармонічної. Це засвідчує наявність у підсилювачі нелінійних спотворень.

Розрахунок параметрів підсилювачів

1. Розраховуємо значення потужності, яка розсіюється колектором, та порівнюємо його з максимально-припустимим значенням, зазначеним у довіднику,

$$P_{0к} = U_{0ке} I_{0к}.$$

Має виконуватися нерівність: $P_{0к} < P_{к \text{ max}}$. Якщо нерівність не виконується, необхідно обрати інший, більш потужний транзистор.

2. Знаходимо напругу живлення підсилювача $E_K = \dots$, яке відраховується у точці перетину лінії навантаження з віссю абсцис – віссю напруги $U_{ке}$. На вісі ординат – вісі струму I_k у точці перетину навантажувальної прямої знаходимо значення розрахованого струму $I_{кр} = \frac{E_K}{R_k}$.

3. Визначаємо опір навантаження

$$R_k = \frac{E_K}{I_{кр}}.$$

4. Розраховуємо опір резистора у колі бази

$$R_б = \frac{E_K - U_{0бе}}{I_{0б}}.$$

5. Розраховуємо вихідну корисну потужність

$$P_{вих} = \frac{U_{mвих}^2}{2R_k}$$

й споживану потужність

$$P_{пот} = E_K \cdot I_{0к}.$$

6. Визначаємо коефіцієнт корисної дії (ККД) підсилювача

$$\eta = \frac{P_{вих}}{P_{сп}}.$$

Для підсилювача зі спільним емітером й резистивним навантаженням має виконуватися нерівність: $\eta < 0,25$.

Попередження: якщо нерівність не виконується, це свідчить про наявність у роботі помилки, яку необхідно знайти та виправити.

7. Розраховуємо коефіцієнти підсилення підсилювача:

1) коефіцієнт підсилення напруги

$$K_u = \frac{U_{mвих}}{U_{mвх}};$$

2) коефіцієнт підсилення струму

$$K_i = \frac{I_{mkер}}{I_{mbсер}},$$

де $I_{mk \text{ сер}}$ и $I_{mb \text{ сер}}$ – середні значення амплітуд струмів відповідно колектора і бази:

$$I_{mk \text{ сер}} = \frac{I_{\kappa \max} - I_{\kappa \min}}{2}, \quad I_{mb \text{ сер}} = \frac{I_{\delta \max} - I_{\delta \min}}{2};$$

3) коефіцієнт підсилення потужності

$$K_p = K_u \cdot K_i.$$

Через нелінійність ВАХ транзистора виникають нелінійні спотворення сигналу (спотворення форми струмів та напруг у підсилювача), тому у розрахунках використовуються середні значення. Середні значення амплітуд струмів знаходимо за відомими формулами.

8. Знаходимо вхідний опір підсилювача

$$R_{вх} = \frac{U_{m \text{ вх}}}{I_{mb \text{ ср}}}.$$

9. Креслимо часову діаграму роботи підсилювача у масштабі.

(Зверху епюра вхідної напруги, знизу – вихідної).

3.4. Контрольні запитання

1. Поясніть принцип дії підсилювача.
2. Поясніть зв'язок між напругою живлення та максимальною неспотвореною амплітудою вихідної напруги.
3. Покажіть зв'язок між струмами бази і колектора.
4. Поясніть вплив значення опору резистора у колі бази на спотворення сигналу.
5. Поясніть оптимальне положення робочої точки на вихідних ВАХ транзистора для отримання мінімальних спотворень вихідної напруги.

3.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 33-47.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 89 – 102.

Тема 4. РОЗРАХУНОК ПАРАМЕТРІВ ПІДСИЛЮВАЧА З НЕГАТИВНИМ ЗВОРТНИМ ЗВ'ЯЗКОМ

4.1. Ключові положення

Зворотним зв'язком називають зв'язок, що забезпечує передавання енергії сигналу з вихідного кола підсилювача у вхідне.

Задано підсилювач, охоплений петлею загального негативного зворотного зв'язку, як показано на рис. 4.1,б.

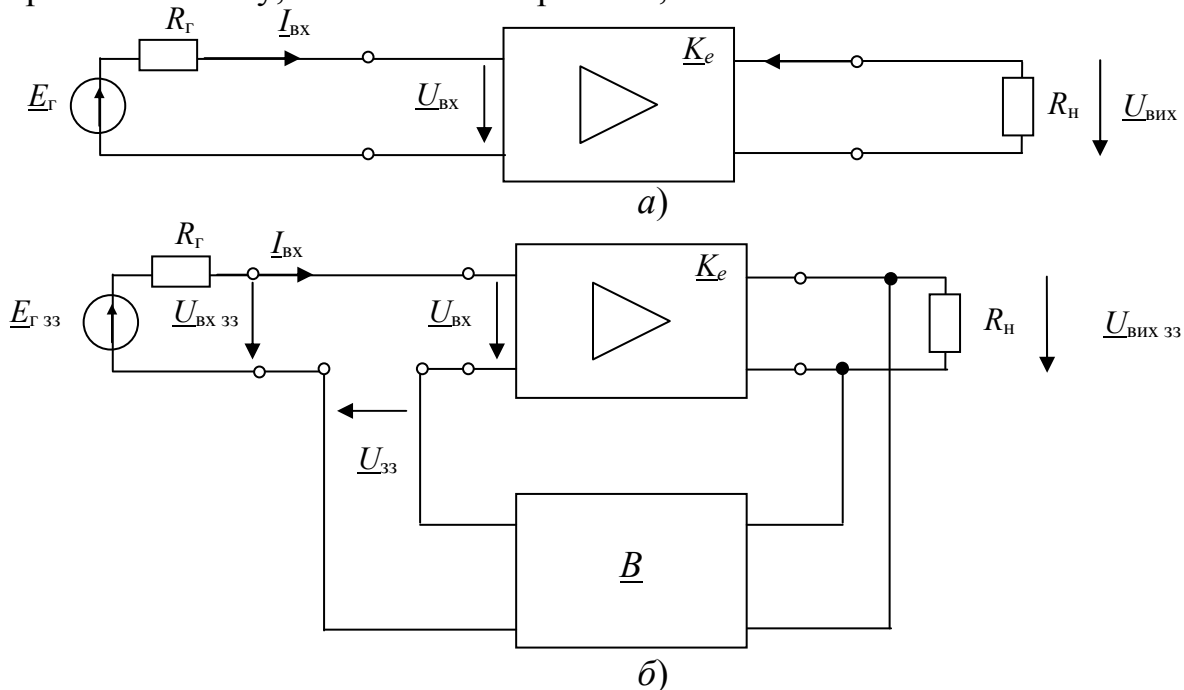


Рисунок 4.1 – Структурна схема підсилювача:

а) схема підсилювача без зворотного зв'язку;

б) схема підсилювача з послідовним зворотним зв'язком за напругою

Передача сигналу з виходу на вхід підсилювача здійснюється за допомогою чотириполюсника B . Чотириполюсник зворотного зв'язку є зовнішнім електричним колом, що складається з пасивних або активних, лінійних або нелінійних елементів. Якщо зворотний зв'язок охоплює весь підсилювач, то зворотний зв'язок називається **загальним**; якщо зворотний зв'язок охоплює окремі каскади або частини підсилювача, називається **місцевим**. На рис. 4.1 показано структурну схему підсилювача із загальним зворотним зв'язком.

Коефіцієнт передачі чотириполюсника ЗЗ дорівнює

$$\underline{B} = \frac{\underline{U}_{\text{ЗЗ}}}{\underline{U}_{\text{ВІХ}}} \quad (4.1)$$

Риска знизу у формулі (4.1) й далі показує, що величина є комплексною функцією.

Коефіцієнт $\underline{B}$ показує, яка частина вихідної напруги $\underline{U}_{\text{вих}}$ передається знову на вхід. Тому цей коефіцієнт називають **коефіцієнтом зворотного зв'язку**. Найчастіше в колі зворотного зв'язку використовують пасивні чотириполосники, тому $B < 1$.

Зворотний зв'язок впливає на всі параметри й характеристики підсилювача.

Наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком $\underline{K}_{e33}$ визначається виразом

$$\underline{K}_{e33} = \frac{\underline{K}_e}{1 - \underline{B}\underline{K}_e}, \quad (4.2)$$

де $\underline{K}_e = \frac{\underline{U}_{\text{вих}}}{\underline{E}_\Gamma}$ – комплексний наскрізний коефіцієнт підсилення підсилювача без

зворотного зв'язку (коефіцієнт підсилення ЕРС);

$\underline{E}_\Gamma = E_\Gamma e^{j\varphi_\Gamma}$ – комплексне значення ЕРС джерела сигналу;

$\underline{U}_{\text{вих}} = U_{\text{вих}} e^{j\varphi_{\text{вих}}}$ – комплексне значення вихідної напруги без зворотного зв'язку;

$\underline{K}_{e33} = \frac{\underline{U}_{\text{вих}33}}{\underline{E}_{\Gamma33}}$ – комплексний наскрізний коефіцієнт підсилення

підсилювача зі зворотним зв'язком.

Чотириполосники $\underline{K}_e$ й $\underline{B}$ утворюють петлю 33. Добуток $\underline{B}\underline{K}_e$ характеризує коефіцієнт передачі сигналу петлею 33, його називають **петльовим підсиленням**

$$\underline{B}\underline{K}_e = \frac{\underline{U}_{33}}{\underline{E}_\Gamma} = B \cdot K_e \cdot e^{j\varphi} = BK_e(\cos \varphi + j\sin \varphi), \quad (4.3)$$

де $\varphi = \varphi_e + \varphi_v$ – зміщення фаз у петлі 33.

З виразу (4.2) знайдемо модуль коефіцієнта підсилення підсилювача зі 33

$$\underline{K}_{e33} = \frac{K_e}{|1 - \underline{B}\underline{K}_e|} = \frac{K_e}{\gamma}, \quad (4.4)$$

величину

$$\gamma = |1 - \underline{B}\underline{K}_e| \quad (4.5)$$

називають **глибиною 33**.

З виразу (4.4) випливає, що при уведенні зворотного зв'язку коефіцієнт підсилення підсилювача зі 33 змінюється у γ разів.

Зворотний зв'язок називають **негативним**, якщо при уведенні 33 коефіцієнт підсилення **зменшується**, тобто $K_{e33} < K_e$. Зворотний зв'язок називають **позитивним**, якщо при уведенні 33 коефіцієнт підсилення **збільшується**, тобто $K_{e33} > K_e$. Якщо коефіцієнт підсилення при уведенні 33 **не змінюється** ($K_{e33} = K_e$, $\gamma = |1 - \underline{B}\underline{K}_e| = 1$), такий зв'язок називають **нейтральним**.

Як впливає з формули (4.5), величина γ залежить від знака петльового

підсилення $\underline{BK}_e$, знак у свою чергу визначається зміщенням фаз у петлі ЗЗ $\varphi = \varphi_e + \varphi_v$. Вид ЗЗ може змінюватися залежно від значень величин φ_e й φ_v . Значення зміщень фаз φ_e й φ_v змінюються при зміні частоти, тому вид ЗЗ (негативний чи позитивний) визначається в області середніх частот підсилюваного діапазону на частоті f_0 :

1) **Якщо $\varphi = \pi$** , то $\underline{BK}_e$ – негативна дійсна величина (згідно з формулою 4.3), $\gamma = 1 + BK_e$ (згідно з формулою 4.5), глибина ЗЗ більша одиниці, $K_{e_{ЗЗ}} < K_e$, отже, зв'язок **негативний**.

2) **Якщо $\varphi = 0$** , то $\underline{BK}_e$ – позитивна дійсна величина, а $\gamma = 1 - BK_e$, глибина ЗЗ менша одиниці $K_{e_{ЗЗ}} > K_e$, отже, зв'язок **позитивний**.

Іншими словами, якщо сигнал зворотного зв'язку надходить у **протифазі з вхідним сигналом** (з інверсією, $\varphi = \pi$), то такий зв'язок – **негативний** (НЗЗ). Якщо сигнал зворотного зв'язку надходить у **фазі з вхідним сигналом** ($\varphi = 0$), то такий зв'язок – **позитивний** (ПЗЗ).

Якщо глибина негативного зворотного зв'язку (НЗЗ) $\gamma \gg 1$, то такий НЗЗ називають *глибоким*, для нього

$$K_{e_{ЗЗ}} = \frac{K_e}{1 + BK_e} \approx \frac{1}{B}, \quad (4.6)$$

тобто коефіцієнт підсилення підсилювача з глибоким НЗЗ визначається лише параметрами кола ЗЗ.

У багатокаскадних підсилювачах фазові зміщення φ_e можуть призвести до того, що у смузі пропускання та за її границями зв'язок стане позитивним.

У підсилювальних пристроях для покращення якісних показників й характеристик використовується негативний ЗЗ:

1) НЗЗ зменшує частотні й фазові спотворення, розширює смугу пропускання за малих фазових зміщень у петлі ЗЗ φ .

2) НЗЗ зменшує коефіцієнт гармонік.

3) НЗЗ зменшує нестабільність коефіцієнта підсилення.

4) НЗЗ змінює вхідний та вихідний опір залежно від способу введення та зняття сигналу НЗЗ. Послідовний НЗЗ збільшує вхідний опір, паралельний НЗЗ зменшує вхідний опір. НЗЗ за струмом збільшує вихідний опір, НЗЗ за напругою зменшує вихідний опір.

Позитивний ЗЗ має протилежний вплив на параметри й характеристики підсилювача, тобто їх погіршує. ПЗЗ використовується у спеціальних схемах, наприклад, для реалізації активних двополюсників з еквівалентним негативним опором або еквівалентною негативною провідністю, а також у схемах автогенераторів.

Стійкість підсилювачів зі зворотним зв'язком

Негативний зворотний зв'язок широко використовується в підсилювачах для поліпшення його параметрів і характеристик. Проте ЗЗ, що здійснюється у середині робочого діапазону частот як негативний, може перейти в позитивний

на краях смуги пропускання або за її межами через фазові спотворення, що вносяться підсилювачем та петлею ЗЗ. У цьому випадку можуть виникнути умови, за яких на виході підсилювача з'явиться напруга за відсутності напруги на вході. Виникнення власних коливань у підсилювачі називається *самозбудженням* або *генерацією*.

Проаналізуємо формулу (4.4)

$$K_{e\text{ зз}} = \frac{K_e}{|1 - BK_e|}.$$

Якщо коефіцієнт петльового підсилення буде дорівнювати одиниці

$$|1 - BK_e| = 0, \quad (4.7)$$

то знаменник виразу (4.4) буде дорівнювати нулю, а коефіцієнт підсилення підсилювача зі ЗЗ збільшується до нескінченності. Умова (4.7) є умовою самозбудження підсилювача зі ЗЗ. З умови (4.7) випливають дві умови *самозбудження*: для модуля й фази петльового підсилення:

1) умова амплітуд

$$BK_e = 1; \quad (4.8)$$

2) умова фаз

$$\varphi = 0; \quad 2\pi, \dots, n \cdot 2\pi; \quad (n = 0, 1, \dots). \quad (4.9)$$

Умова фаз означає, що для самозбудження підсилювача зворотний зв'язок має бути *позитивним*.

При виконанні на будь-якій частоті умов (4.8) та (4.9) у підсилювачі виникнуть коливання, що не залежать від наявності сигналу на його вході. Поява цих коливань зумовлена тим, що енергія з виходу, що надходить колами ЗЗ на вхід, компенсує втрати сигналу у колах підсилювача. У цьому випадку в підсилювачі встановлюються стаціонарні автоколивання за будь-якої, навіть дуже малої дії (наприклад, від флуктуацій теплового шуму джерела сигналу, шумів підсилювальних елементів, флуктуацій напруги джерела живлення тощо). Власні коливання у підсилювачі або надто спотворюють корисний сигнал, або значно погіршують технічні показники підсилювача, або (найбільш часто) просто подавляють корисний сигнал. Тому виникнення генерації (автоколивань) у підсилювачі неприпустиме. Забезпечення стійкості підсилювача є однією з важливих задач при розробці та експлуатації підсилювачів зі зворотним зв'язком.

Для зменшення фазових зсувів та забезпечення *стійкості багатокаскадних підсилювачів* у петлі загального негативного зворотного зв'язку використовують місцеві негативні зворотні зв'язки, які охоплюють один або два каскади.

Використовують також *кола корекції*, які забезпечують *стійкість багатокаскадного підсилювача* при уведенні загального негативного зворотного зв'язку.

При розрахунку параметрів підсилювача з негативним зворотним зв'язком *будемо вважати, що фазові зміщення у петлі зворотного зв'язку незначні*. У цьому випадку у широкій смузі частот зворотний зв'язок буде негативним.

Негативний зворотний зв'язок (НЗЗ) зменшує наскрізний коефіцієнт підсилення підсилювача, який дорівнює

$$K_{e\ 33} = \frac{K_e}{\gamma}, \quad (4.10)$$

де $K_e = \frac{U_{\text{вих}}}{E_{\Gamma}}$ – наскрізний коефіцієнт підсилення підсилювача без зворотного зв'язку;

$K_{e\ 33} = \frac{U_{\text{вих}\ 33}}{E_{\Gamma\ 33}}$ – наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком;

$\gamma = 1 + B_0 K_e$ – глибина негативного ЗЗ; (4.11)

$B_0 = \frac{U_{33}}{U_{\text{вих}}}$ – коефіцієнт передачі чотириполюсника зворотного зв'язку.

У загальному випадку всі зазначені величини є комплексними. Так як розрахунок виконується у смузі пропускання, де фазові зсуви незначні, розглядаємо їхні модулі. Для спрощення розрахунків будемо розглядати частотнезалежний зворотний зв'язок, для якого $B = B_0 = \text{const}$.

Як впливає з формули (4.11), глибина НЗЗ $\gamma > 1$, а коефіцієнт підсилення підсилювача при введенні НЗЗ зменшується $K_{e\ 33} < K_e$ (формула 4.10).

З формули (4.11) також впливає, що значення глибини НЗЗ γ залежить від значення коефіцієнта підсилення K_e : при зменшенні K_e значення γ також зменшується

$$K_{e\ 33} = \frac{K_e}{1 + B_0 K_e}. \quad (4.12)$$

У загальному випадку $\underline{K}_e = K_e \cdot e^{j\varphi_e}$ – комплексна величина, модуль й фаза якої залежить від частоти сигналу. Тому при введенні у підсилювач негативного зворотного зв'язку змінюються АЧХ і ФЧХ підсилювача, отже, змінюються частотні та фазові спотворення, як показано на рис. 4.2.

Коефіцієнт частотних спотворень підсилювача без зворотного зв'язку дорівнює

$$M_e = \frac{K_{e0}}{K_e(f)}, \quad (4.13)$$

де K_{e0} – коефіцієнт підсилення підсилювача на середній частоті підсилюваного діапазону f_0 ;

$K_e(f)$ – коефіцієнт підсилення підсилювача на розглядуваній частоті.

На рис. 4.2 діапазон частот підсилювача без ЗЗ заданий граничними частотами $f_{\text{н гр}} \dots f_{\text{в гр}}$, які визначаються на рівні $0,707 K_{e0}$.

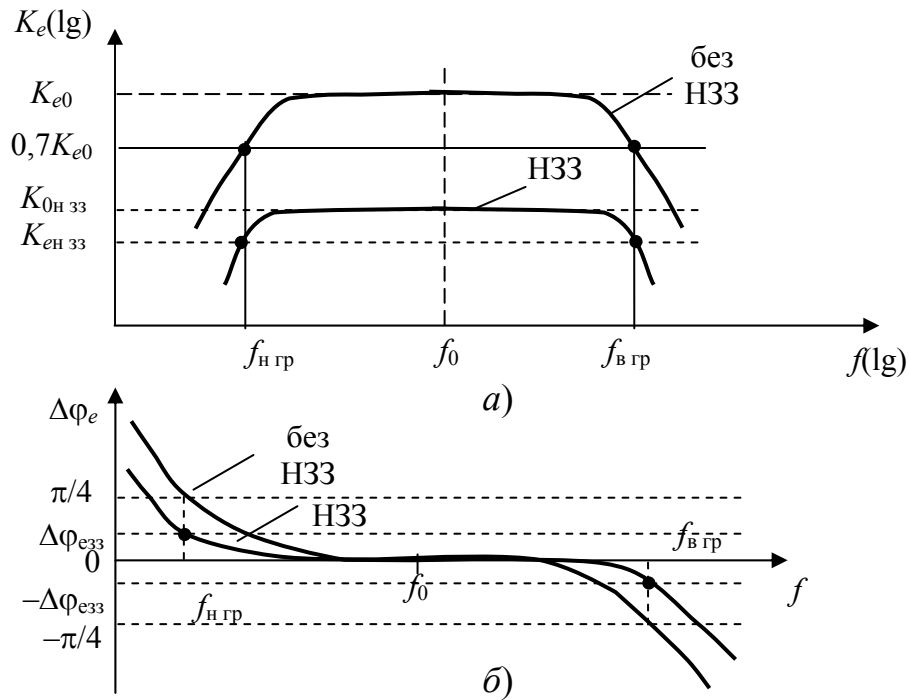


Рисунок 4.2 – АЧХ й ФЧХ підсилювача без зворотного зв'язку та з негативним зворотним зв'язком (НЗЗ)

Аналогічно розраховується коефіцієнт частотних спотворень підсилювача зі зворотним зв'язком

$$M_{e 33} = \frac{K_{e0 33}}{K_{e 33}(f)}. \quad (4.14)$$

Як впливає з рис. 4.2,а за негативного зворотного зв'язку коефіцієнт частотних спотворень зменшується.

Фазові спотворення підсилювача з негативним зворотним зв'язком можна розрахувати за наступною формулою

$$\varphi_{e 33} = \frac{\varphi_e}{1 + B_0 K_{e0}}. \quad (4.15)$$

Отже, за негативного зворотного зв'язку фазові спотворення підсилювача зменшуються в глибину НЗЗ, що також видно з рис. 4.2,б.

Нелінійні спотворення підсилювача при уведенні негативного зворотного зв'язку зменшуються. Коефіцієнт гармонік підсилювача з НЗЗ дорівнює

$$k_{Г 33} = \frac{k_{Г}}{1 + B_0 K_{e0}}. \quad (4.16)$$

Тому що значення глибини НЗЗ $\gamma_0 = 1 + B_0 K_{e0}$ залежить від значення коефіцієнта підсилення K_{e0} , то при зміні K_{e0} (його нестабільності) нестабільність коефіцієнта підсилення зі зв'язком зменшується.

Коефіцієнт нестабільності можна визначити як відносну зміну коефіцієнта підсилення. Тоді коефіцієнт нестабільності коефіцієнта підсилення без зворотного зв'язку дорівнює

$$q = \frac{\Delta K_{e0}}{K_{e0}}, \quad (4.17)$$

де $\Delta K_{e0} = K_{e01} - K_{e0}$ – абсолютна зміна коефіцієнта підсилення;
 K_{e0} – номінальне (задане) значення коефіцієнта підсилення.

Коефіцієнт нестабільності підсилювача з негативним зворотним зв'язком дорівнює

$$q_{зз} = \frac{q}{1 + B_0 K_{e0}}. \quad (4.18)$$

Усі наведені формули справедливі за малих фазових зміщень у петлі зворотного зв'язку.

За способом введення сигналу зворотного зв'язку розрізняють наступні види: а) послідовний зворотний зв'язок; б) паралельний зворотний зв'язок; в) змішаний за входом зворотний зв'язок.

За способом зняття сигналу зворотний зв'язок розрізняють наступні види: а) зворотний зв'язок за напругою; б) зворотний зв'язок за струмом; в) змішаний за виходом зворотний зв'язок.

На рис. 4.1,б показана структурна схема підсилювача з послідовним зворотним зв'язком за напругою. На рис. 4.3 надано структурну схему підсилювача з паралельним зворотним зв'язком за струмом. Для паралельного зворотного зв'язку напруга зворотного зв'язку дорівнює

$$\underline{U}_{зз} = \underline{I}_{зз} R_{\Gamma}. \quad (4.19)$$

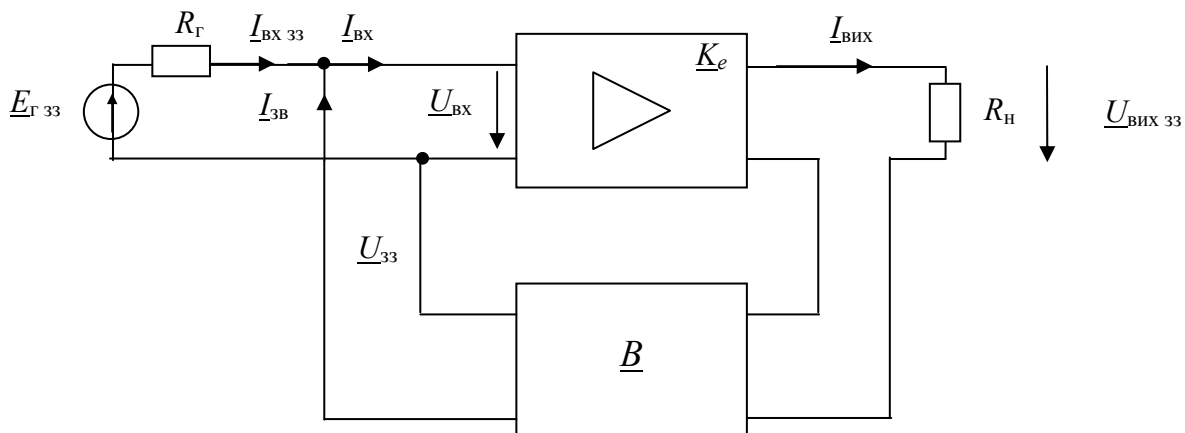


Рисунок 4.3 – Структурна схема підсилювача з паралельним зворотним зв'язком за струмом

Послідовний негативний зворотний зв'язок має максимальну глибину за низькоомного джерела сигналу ($R_{\Gamma} = 0$), тобто працює найбільш ефективно; та не працює ($\gamma = 1$) за високоомного джерела сигналу ($R_{\Gamma} \rightarrow \infty$).

Паралельний негативний зворотний зв'язок має максимальну глибину за високоомного джерела сигналу ($R_{\Gamma} \rightarrow \infty$), тобто працює найбільш ефективно; та не працює ($\gamma = 1$) за низькоомного джерела сигналу ($R_{\Gamma} = 0$).

Спосіб уведення сигналу зворотного зв'язку впливає на вхідний опір підсилювача.

Послідовний негативний зворотний зв'язок збільшує вхідний опір, який дорівнює

$$R_{\text{вх зз посл}} = R_{\text{вх}}(1 + B_0 K_{u0}), \quad (4.20)$$

де $R_{\text{вх}}$ – вхідний опір підсилювача без зворотного зв'язку;

$$K_{u0} = \frac{U_{\text{вих}}}{U_{\text{вх}}} - \text{коефіцієнт підсилення напруги підсилювача без зворотного}$$

зв'язку.

Якщо задано значення наскрізного коефіцієнта підсилення K_{e0} , то коефіцієнт підсилення напруги K_{u0} розраховується за формулою

$$K_{u0} = \frac{K_{e0}}{K_{\text{вх}}}, \quad (4.21)$$

$$\text{де } K_{\text{вх}} = \frac{R_{\text{вх}}}{R_{\Gamma} + R_{\text{вх}}} - \quad (4.22)$$

коефіцієнт передачі напруги вхідного кола підсилювача.

Паралельний негативний зворотний зв'язок збільшує вхідну провідність підсилювача, тобто зменшує вхідний опір.

Вхідний опір підсилювача з паралельним негативним зворотним зв'язком дорівнює

$$R_{\text{вх зз пар}} = R_{\text{вх}} \cdot \frac{1}{1 + B_0 K_{e0} \left(1 + \frac{R_{\text{вх}}}{R_{\Gamma}} \right)}. \quad (4.23)$$

Вхідна провідність підсилювача з паралельним негативним зворотним зв'язком дорівнює

$$Y_{\text{вх зз пар}} = \frac{1}{R_{\text{вх зз пар}}}. \quad (4.24)$$

Спосіб зняття сигналу зворотного зв'язку впливає на вихідний опір підсилювача. Згідно з визначенням вихідний опір підсилювача визначається за формулою

$$R_{\text{вих}} = \frac{U_{\text{вих хх}}}{I_{\text{вих кз}}}, \quad (4.25)$$

де $U_{\text{вих хх}}$ – вихідна напруга підсилювача в режимі холостого ходу ($R_{\text{н}} \rightarrow \infty$ для сигналу);

$I_{\text{вих кз}}$ – вихідний струм підсилювача в режимі короткого замикання ($R_{\text{н}} = 0$ для сигналу).

За цих обчислень або вимірювань режими схеми за постійним струмом не повинні змінитися.

Аналогічно розраховується вихідний опір підсилювача зі зворотним зв'язком

$$R_{\text{вих}} = \frac{U_{\text{вих 33 XX}}}{I_{\text{вих 33 КЗ}}}. \quad (4.26)$$

Після перетворення формули (4.26) отримаємо вираз (4.27):

$$R_{\text{вих 33}} = R_{\text{вих}} \frac{\gamma(0)}{\gamma(\infty)}, \quad (4.27)$$

де $\gamma(0)$ – глибина негативного зворотного зв'язку в режимі короткого замикання ($R_{\text{н}} = 0$);

$\gamma(\infty)$ – глибина негативного зворотного зв'язку в режимі холостого ходу ($R_{\text{н}} \rightarrow \infty$).

З аналізу формули (4.27) випливає, що

– негативний зворотний зв'язок за напругою зменшує вихідний опір підсилювача: $R_{\text{вих 33}} < R_{\text{вих}}$, тому що $\gamma(0) = 1$, $\gamma(\infty) > 1$;

– негативний зворотний зв'язок за струмом збільшує вихідний опір підсилювача: $R_{\text{вих 33}} > R_{\text{вих}}$, тому що $\gamma(0) > 1$, $\gamma(\infty) = 1$.

Змішаний за входом негативний зворотний зв'язок дозволяє як збільшити, так і зменшити вхідний опір підсилювача порівняно з вихідним значенням. Тому його використовують у тому випадку, якщо необхідно забезпечити режим узгодження з джерелом сигналу.

Змішаний за виходом негативний зворотний зв'язок дозволяє як збільшити, так і зменшити вихідний опір підсилювача порівняно з вихідним значенням. Тому його використовують у тому випадку, якщо необхідно забезпечити режим узгодження з навантаженням.

Режим узгодження за входом та виходом підсилювача важливий при роботі з кабельними лініями передачі для отримання максимального ККД.

4.2. Завдання для розрахунку

1) Накресліть структурні схеми підсилювачів зі зворотним зв'язком: рис. 4.1,б та 4.3.

2) Розрахуйте коефіцієнти підсилення підсилювача з негативним зворотним зв'язком на середній частоті f_0 та на граничних частотах $f_{\text{н гр}}$ і $f_{\text{в гр}}$: $K_{\text{е0 33}}$, $K_{\text{ен 33}} = K_{\text{ев 33}}$.

3) Накресліть за трьома точками: для частот f_0 , $f_{\text{н гр}}$ і $f_{\text{в гр}}$ АЧХ підсилювача без ЗЗ й зі НЗЗ (рис. 4.2,а), зазначивши на рисунку отримані значення $K_{\text{е0}}$, $0,707K_{\text{е0}}$, $K_{\text{е0 33}}$, $K_{\text{ен 33}} = K_{\text{ев 33}}$. Графік АЧХ слід накреслити у логарифмічному масштабі по осі $K_{\text{е}}$, по осі f – умовно.

4) Розрахуйте частотні спотворення підсилювача без зворотного зв'язку $M_{\text{е}}$ та з негативним зворотним зв'язком $M_{\text{е 33}}$ на граничних частотах $f_{\text{н гр}}$ і $f_{\text{в гр}}$.

5) Розрахуйте фазові спотворення підсилювача з негативним зворотним зв'язком на граничних частотах $f_{\text{н гр}}$ і $f_{\text{в гр}}$. Накресліть ФЧХ підсилювача без ЗЗ й

з НЗЗ (рис. 4.2,б), зазначивши значення $\Delta\varphi_e$ і $\Delta\varphi_{e\text{ЗЗ}}$.

6) Розрахуйте коефіцієнт гармонік підсилювача з негативним зворотним зв'язком $k_{Г\text{ЗЗ}}$.

7) Розрахуйте коефіцієнт нестабільності підсилювача без зворотного зв'язку q та з негативним зворотним зв'язком $q_{\text{ЗЗ}}$.

8) Розрахуйте вхідний опір підсилювача з послідовним негативним зворотним зв'язком (рис. 4.1,а) та паралельним негативним зворотним зв'язком (рис. 4.3).

9) Складіть табл. 4.1, у якій зазначте значення параметрів підсилювачів без зворотного зв'язку та з негативним зворотним зв'язком.

Таблиця 4.1 – Параметри підсилювача

Параметр	K_{e0}	M_e	$\Delta\varphi_e$, рад	$k_{Г}$, %	q	$R_{вх}$	
Значення без ЗЗ							
Параметр	$K_{e0\text{ЗЗ}}$	$M_{e\text{ЗЗ}}$	$\Delta\varphi_{e\text{ЗЗ}}$, рад	$k_{Г\text{ЗЗ}}$, %	$q_{\text{ЗЗ}}$	$R_{вх\text{ЗЗ посл}}$	$R_{вх\text{ЗЗ пар}}$
Значення з НЗЗ							

10) Зробіть висновки про те, як змінилися спотворення підсилювача після введення негативного зворотного зв'язку: частотні й фазові, нелінійні, нестабільність коефіцієнта підсилення, а також вхідний опір підсилювача з послідовним та паралельним зворотним зв'язком.

4.3. Вихідні дані

1) Коефіцієнт підсилення підсилювача без зворотного зв'язку на частоті f_0 дорівнює

$$K_{e0} = 100 \left(1 + \frac{N}{3} \right), \quad (4.28)$$

де N – остання цифра; M – передостання цифра номера залікової книжки.

Варіант MN – останні дві цифри номера залікової книжки, виключаючи рік вступу до академії, якщо він зазначений.

2) Коефіцієнт передачі чотириполусника зворотного зв'язку B_0 не залежить від частоти і дорівнює

$$B_0 = 0,05. \quad (4.29)$$

3) Фазові спотворення підсилювача без зворотного зв'язку на граничних частотах дорівнюють

$$\Delta\varphi_e = \pm \frac{\pi}{4}. \quad (5.30)$$

4) Коефіцієнт гармонік підсилювача без зворотного зв'язку дорівнює

$$k_r = \left(5 + \frac{M}{3} \right) \%. \quad (4.31)$$

5) Коефіцієнт підсилення підсилювача на частоті f_0 збільшується у A разів порівняно із заданим номінальним значенням K_{e0} , тобто

$$K_{e01} = A K_{e0}, \text{ де } A = 2 + \frac{N}{5}. \quad (4.32)$$

6) Вхідний опір підсилювача без зворотного зв'язку

$$R_{вх} = \left(0,6 + \frac{N}{5} \right) \text{ кОм.}$$

7) Опір джерела сигналу

$$R_r = \left(1 + \frac{M}{4} \right) \text{ кОм.}$$

4.4. Виконання розрахунку

1) Структурні схеми підсилювачів зі зворотним зв'язком показано на рис. 4.1,б й 4.3.

2) Розраховуємо коефіцієнт підсилення підсилювача з негативним зворотним зв'язком на середній частоті f_0

$$K_{e0\text{ зз}} = \frac{K_{e0}}{1 + B_0 K_{e0}}. \quad (4.33)$$

3) Розраховуємо коефіцієнти підсилення підсилювача з негативним зворотним зв'язком на граничних частотах $f_{н\text{ гр}}$ і $f_{в\text{ гр}}$.

$$K_{ен\text{ зз}} = K_{ев\text{ зз}} = \frac{K_{ен}}{1 + B_0 K_{ен}}, \quad (4.34)$$

де $K_{ен} = K_{ев} = 0,707 K_{e0}$ – коефіцієнт підсилення підсилювача на граничних частотах без зворотного зв'язку. (4.35)

4) Креслимо АЧХ підсилювача (рис. 4.2,а), на ньому зазначаємо: K_{e0} ; $K_{ен} = K_{ев}$; $K_{e0\text{ зз}}$; $K_{ен\text{ зз}} = K_{ев\text{ зз}}$.

5) Розраховуємо частотні спотворення підсилювача:

а) без зворотного зв'язку

$$M_{ен} = M_{ев} = \frac{K_{e0}}{K_{ен}} = \frac{K_{e0}}{K_{ев}}; \quad (4.36)$$

б) з негативним зворотним зв'язком

$$M_{ен\text{ зз}} = M_{ев\text{ зз}} = \frac{K_{e0\text{ зз}}}{K_{ен\text{ зз}}} = \frac{K_{e0\text{ зз}}}{K_{ев\text{ зз}}}. \quad (4.37)$$

6) Визначаємо, у скільки разів зменшились частотні спотворення підсилювача на граничних частотах $f_{н\text{ гр}}$ і $f_{в\text{ гр}}$, при уведенні негативного зворотного зв'язку порівняно з ідеальним підсилювачем

$$k_1 = \frac{M_{\text{ен}} - 1}{M_{\text{ен 33}} - 1} = \frac{M_{\text{ев}} - 1}{M_{\text{ев 33}} - 1}. \quad (4.38)$$

Отримане значення k_1 порівнюємо зі значенням глибини НЗЗ на середній частоті

$$\gamma_0 = 1 + B_0 K_{e0}. \quad (4.39)$$

7) Знаходимо фазові спотворення підсилювача на граничних частотах з негативним зворотним зв'язком

$$\Delta\varphi_{\text{е 33}} = \frac{\Delta\varphi_{\text{е}}}{1 + B_0 K_{e0}}, \quad (4.40)$$

де $\Delta\varphi_{\text{ен}} = +\frac{\pi}{4}$; $\Delta\varphi_{\text{ев}} = -\frac{\pi}{4}$ – фазові спотворення підсилювача на граничних частотах без зворотного зв'язку.

8) Креслимо ФЧХ підсилювача (рис. 4.2,б), на ньому зазначаємо значення $\Delta\varphi_{\text{е}}$ і $\Delta\varphi_{\text{е 33}}$ на граничних частотах $f_{\text{н гр}}$ і $f_{\text{в гр}}$.

9) Розраховуємо коефіцієнт гармонік підсилювача з негативним зворотним зв'язком

$$k_{\Gamma 33} = \frac{k_{\Gamma}}{1 + B_0 K_{e0}}. \quad (4.41)$$

10) Розраховуємо коефіцієнт нестабільності підсилювача q без зворотного зв'язку

$$q = \frac{\Delta K_{e0}}{K_{e0}} = \frac{K_{e01} - K_{e0}}{K_{e0}}. \quad (4.42)$$

11) Розраховуємо коефіцієнт нестабільності підсилювача з негативним зворотним зв'язком q_{33}

$$q_{33} = \frac{q}{1 + B_0 K_{e0}}. \quad (4.43)$$

12) Розраховуємо вхідний опір підсилювача з послідовним негативним зворотним зв'язком

$$R_{\text{вх 33 посл}} = R_{\text{вх}}(1 + B_0 K_{u0}), \quad (4.44)$$

$$K_{u0} = \frac{K_{e0}}{K_{\text{вх}}}, K_{\text{вх}} = \frac{R_{\text{вх}}}{R_{\Gamma} + R_{\text{вх}}}.$$

13) Розраховуємо вхідний опір підсилювача з паралельним негативним зворотним зв'язком

$$R_{\text{вх 33 пар}} = R_{\text{вх}} \cdot \frac{1}{1 + B_0 K_{e0} \left(1 + \frac{R_{\text{вх}}}{R_{\Gamma}} \right)}. \quad (4.45)$$

14) Отримані значення заносимо до табл. 4.1.

4.5. Контрольні запитання

1. Як впливає НЗЗ на частотні спотворення підсилювача на частотах $f_{н\ гр.}$ і $f_{в\ гр.}$?
2. Як впливає НЗЗ на фазові спотворення підсилювача на частотах $f_{н\ гр.}$ і $f_{в\ гр.}$?
3. Як впливає НЗЗ на нелінійні спотворення підсилювача?
4. Як впливає НЗЗ на коефіцієнт нестабільності підсилювача?
5. Як змінює послідовний НЗ вхідний опір підсилювача?
6. Як змінює паралельний НЗ вхідний опір підсилювача?

4.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 81-86.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 137 – 142.

Тема 5. АНАЛОГОВІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ. ОПЕРАЦІЙНИЙ ПІДСИЛЮВАЧ. ІНВЕРТУЮЧИЙ ПІДСИЛЮВАЧ

5.1. Ключові положення

Інтегральна мікросхема (ІМС) – це мікроелектронний виріб, який виконує функції перетворення й обробки сигналу. ІМС має високу щільність упакування електрично з'єднаних елементів й розглядається як єдине ціле.

За своїм функціональним застосуванням інтегральні мікросхеми підрозділяються на два основних види: аналогові та цифрові.

Аналогові ІМС призначені для перетворення й оброблення сигналів, що змінюються за законом неперервної функції. **Цифрові ІМС** призначені для перетворення й оброблення сигналів, що змінюються за законом дискретної функції.

До аналогових відносяться ІМС, що виконують функції підсилення, генерування сигналів різної форми, а також перетворення сигналів (модулятори, демодулятори, перетворювачі частоти та ін.). До складу аналогових ІМС входять також інтегральні схеми, що виконують допоміжні функції – стабілізатори напруги й струму, випрямлячі та інші, а також набори транзисторів, діодів та інших елементів, які використовують при конструюванні мікроелектронних приладів.

Аналогові і цифрові ІМС розроблюються та виготовляються підприємствами-виготівниками у вигляді серій. **Серією** називають сукупність ІМС, які можуть виконувати різні функції, мають єдине конструктивно-технологічне виконання й призначені для сумісного застосування. Випуск кожної нової серії ІМС потребує великих витрат часу та коштів, тому до ІМС пред'являються вимоги універсальності, багатоцільового використання у пристроях різного призначення.

Серій аналогових ІМС значна кількість.

Основну елементну базу аналогової мікроелектронної апаратури складають операційні підсилювачі, компаратори та перемножувачі, завдяки універсальності їх застосування. Умовні позначення цих аналогових мікросхем показано на рис. 5.1.

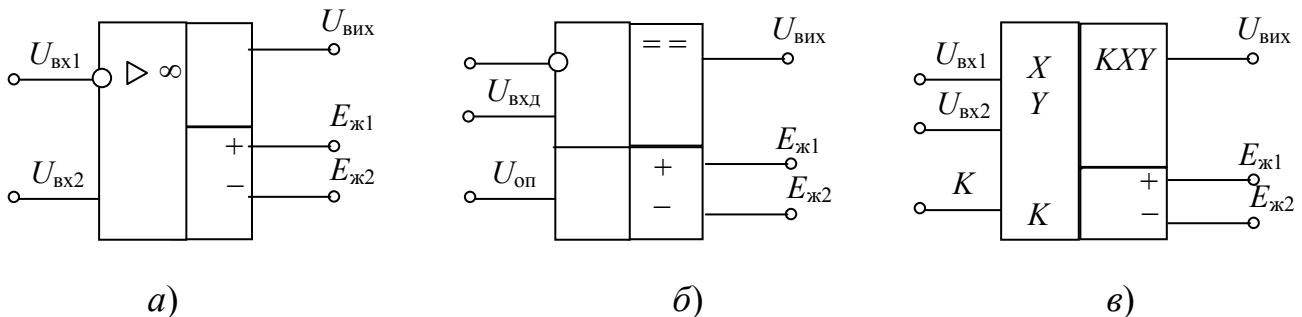


Рисунок 5.1 – Умовні позначення аналогових інтегральних мікросхем:

а) операційний підсилювач; б) компаратор; в) перемножувач

5.2. Операційні підсилювачі

Найбільш розповсюдженими аналоговими ІМС є операційні підсилювачі завдяки універсальності їх застосування.

Операційний підсилювач (ОП) – це підсилювач напруги з безпосередніми зв'язками між каскадами, який має великий коефіцієнт підсилення, малий рівень шумів, великий вхідний опір, малий вихідний опір і широку смугу одиничного підсилення. ОП є підсилювачем постійного струму (ППС), так як здатний підсилювати постійні сигнали. Назва «операційний підсилювач» було дано спочатку підсилювачам з великим коефіцієнтом підсилення, розробленим для виконання математичних операцій додавання, віднімання, множення і ділення. У даний час інтегральні ОП використовуються для створення різних функціональних вузлів.

Умовні позначення операційного підсилювача з колами корекції показані на рис. 5.2.

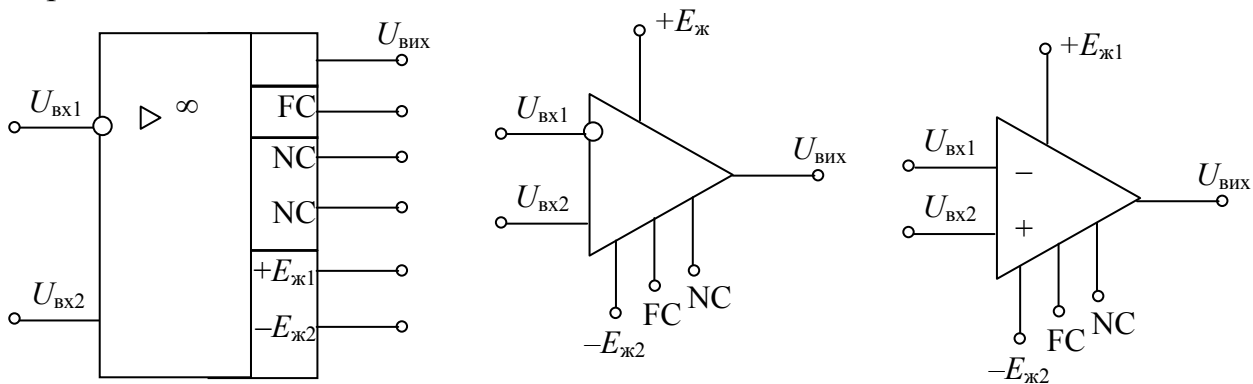


Рисунок 5.2 – Умовні позначення операційного підсилювача:
а) згідно з ЄСКД; б) за функціональній ознаці (підсилювач);
в) застаріле позначення

Операційний підсилювач має два входи: *інвертуючий* і *неінвертуючий*. На рис. 5.2,а і б інвертуючий вхід позначений кружечком, на рис. 5.2,в – знаком мінус (–). Обидва входи називають *диференціальними* (або *різницеви*). Так як вхідний каскад ОП є диференціальним, то вихідна напруга ОП $U_{\text{вих}}$ залежить від різниці напруг

$$U_{\text{вх д}} = U_{\text{вх2}} - U_{\text{вх1}}, \quad (5.1)$$

$U_{\text{вх д}}$ називається *диференціальним вхідним сигналом*.

Якщо $U_{\text{вх2}} > U_{\text{вх1}}$, то полярність вихідного сигналу збігається з полярністю сигналу $U_{\text{вх2}}$ (сигнал не інвертується). Якщо $U_{\text{вх1}} > U_{\text{вх2}}$, то полярність вихідного сигналу протилежна полярності сигналу $U_{\text{вх1}}$ (сигнал інвертується). Формула (5.1) справедлива також для випадку, коли або $U_{\text{вх2}} = 0$, або $U_{\text{вх1}} = 0$.

Операційний підсилювач не чутливий до *синфазної складової вхідних сигналів*, яка дорівнює

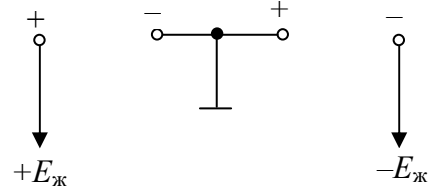
$$U_{\text{вх с}} = \frac{1}{2} (U_{\text{вх2}} + U_{\text{вх1}}). \quad (5.2)$$

Тому коефіцієнт підсилення ОП визначається тільки для диференціального вхідного сигналу

$$K_{\text{ОП}} = \frac{U_{\text{вих}}}{U_{\text{вх д}}} = \frac{U_{\text{вих}}}{U_{\text{вх2}} - U_{\text{вх1}}} \quad (5.3)$$

Напруги $U_{\text{вх1}}$, $U_{\text{вх2}}$ і $U_{\text{вих}}$ відраховуються відносно корпусу.

Операційний підсилювач має один вихід і два виводи для підключення джерела живлення: $+E_{\text{ж1}}$, $-E_{\text{ж2}}$. Для ОП використовується, як правило, симетричне (відносно корпусу) джерело живлення ($\pm E_{\text{ж}}$), як показано на рис. 5.3.



Таке живлення називають *двополярним*, може використовуватися також несиметричне (однополярне) живлення.

Рисунок 5.3 – Симетричне джерело живлення

Виводи, які призначені для підключення кіл корекції нуля ОП, позначаються символами NC, а для підключення елементів частотної корекції – символами FC.

Операційний підсилювач за своїми характеристиками й параметрами наближається до «ідеального» підсилювача.

Параметри ідеального ОП:

- 1) нескінчений коефіцієнт підсилення напруги ($K_{\text{ОП}} \rightarrow \infty$);
- 2) нескінчений повний вхідний опір ($Z_{\text{вх ОП}} \rightarrow \infty$);
- 3) нульовий повний вихідний опір ($Z_{\text{вих ОП}} = 0$);
- 4) рівна нулю вихідна напруга $U_{\text{вих}} = 0$ при рівних напругах на обох входах $U_{\text{вх2}} = U_{\text{вх1}}$ ($U_{\text{вхд}} = 0$);
- 5) нескінченна ширина смуги пропускання (відсутність затримки при проходженні сигналу через підсилювач).

На практиці ні одна з цих властивостей не може бути здійснена повністю, проте до них можна наблизитися з достатньою точністю для багатьох застосувань.

Параметри операційного підсилювача

Властивості ОП визначаються значною кількістю параметрів. Основними технічними показниками ОП є:

1) Коефіцієнт підсилення напруги $K_{\text{ОП}}$, що рівний відношенню вихідної напруги до диференціальної вхідної напруги (формула 5.3). Для сучасних ОП значення коефіцієнта підсилення дорівнює: $K_{\text{ОП}} = 10^5 \dots 10^6$.

2) Напруга джерела живлення $\pm E_{\text{ж}}$, В при симетричному живленні.

3) Споживаний струм $I_{\text{сп}}$, мА.

4) Максимальна вихідна напруга: позитивного плеча $U_{\text{вих max}}^{(+)}$; негативного плеча $U_{\text{вих max}}^{(-)}$. Максимальна вихідна напруга зазвичай на (1...2) В менша напруги живлення.

5) Коефіцієнт послаблення синфазних вхідних напруг

$$K_{\text{пос сф дБ}} = 20 \lg \frac{U_{\text{вих}}}{U_{\text{вх с}}} \quad (5.4)$$

Значення цього коефіцієнта для сучасних ОП дорівнює (70...80) дБ.

6) Вхідна напруга зміщення нуля $U_{\text{зм}}$, мВ, дорівнює напрузі, яку необхідно подати на диференціальний вхід, щоб $U_{\text{вих}} = 0$.

7) Вхідний опір ОП $R_{\text{вх ОП}}$ для диференціального сигналу: $R_{\text{вх ОП}} = (10^6 \dots 10^{10})$ Ом.

8) Вихідний опір ОП $R_{\text{вих ОП}}$ при подачі диференціального вхідного сигналу: $R_{\text{вих ОП}} = (10 \dots 100)$ Ом.

9) Частота одиничного підсилення f_1 , на якій модуль коефіцієнта підсилення ОП дорівнює одиниці, тобто $|K_{\text{ОП}}| = 1$ або $K_{\text{ОП, дБ}} = 20 \lg K_{\text{ОП}} = 0$ дБ. У сучасних ОП $f_1 = (1 \dots 12)$ МГц.

Структура операційного підсилювача

Більшість операційних підсилювачів виконується у вигляді трикаскадних підсилювачів. Структурна схема ОП показана на рис. 5.4.

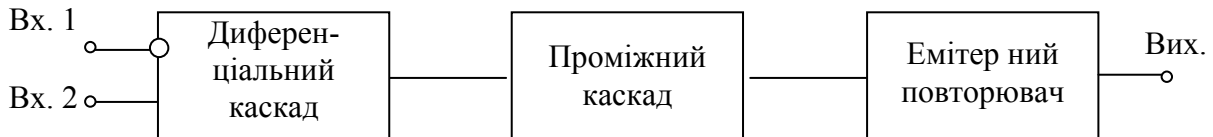


Рисунок 5.4 – Структурна схема операційного підсилювача

Вхідний каскад ОП – це диференціальний підсилювач. Диференціальний підсилювач має великий коефіцієнт підсилення диференціального вхідного сигналу і велике послаблення синфазного вхідного сигналу. Диференціальний підсилювач має також великий вхідний опір для будь-яких вхідних сигналів. Вхідний каскад є найбільш відповідальним каскадом ОП.

За вхідним слідує проміжний каскад, який здійснює основне підсилення струму та напруги ОП. У ОП використовується безпосередній (гальванічний) зв'язок між каскадами, тому проміжний каскад повинен забезпечити також зниження напруги спокою, щоб на виході ОП напруга спокою дорівнювала нулю.

Вихідний каскад повинен забезпечити малий вихідний опір ОП і струм, достатній для живлення бажаного навантаження. Крім того, цей каскад повинен мати великий вхідний опір, щоб не навантажувати проміжний каскад. Як вихідний каскад в ОП використовують двотактний емітерний повторювач, який працює в режимі *B* (або *AB*). Використання режиму *B* дозволяє підвищити ККД вихідного каскаду, зменшити втрати в його транзисторах та спростити процес охолодження кристалу.

Зворотний зв'язок

Операційні підсилювачі використовуються для створення значної кількості функціональних вузлів, в яких використовується зворотний зв'язок.

Зворотним називається зв'язок, який забезпечує передавання енергії сигналу з вихідного кола підсилювача у вхідне. Він використовується для покращення технічних параметрів та характеристик підсилювача. Структурна схема підсилювача зі зворотним зв'язком (ЗЗ) зображена на рис. 5.5.

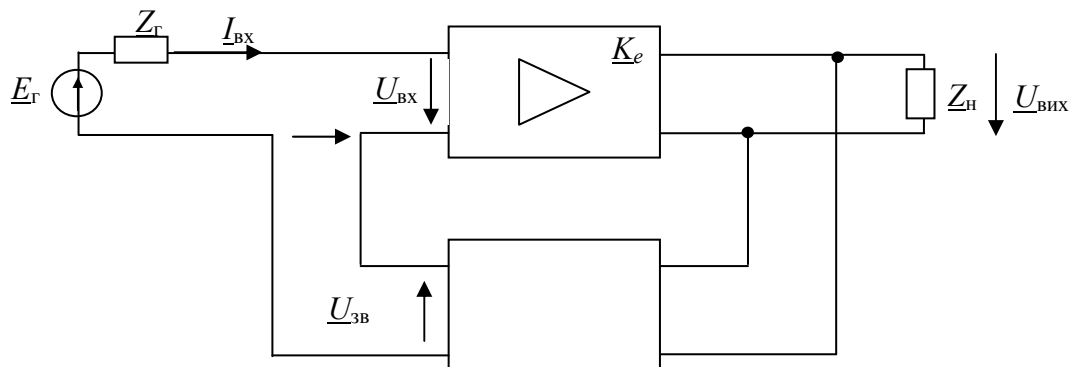


Рисунок 5.5 – Структурна схема підсилювача зі зворотним зв'язком

Передача сигналу з виходу на вхід підсилювача здійснюється за допомогою чотириполюсника B . Чотириполюсник ЗЗ являє собою зовнішнє електричне коло, яка складається з пасивних або активних, лінійних або нелінійних елементів. Якщо ЗЗ охоплює увесь підсилювач, то ЗЗ називається *загальною*; якщо охоплює окремі каскади або частини підсилювача, називається *місцевою*. На рис. 5.5 показана структурна схема підсилювача із загальним ЗЗ.

Коефіцієнт передавання чотириполюсника ЗЗ дорівнює

$$\underline{B} = \frac{\underline{U}_{\text{ЗВ}}}{\underline{U}_{\text{ВІХ}}}. \quad (5.5)$$

Риска знизу у формулі (5.5) і далі показує, що величина є комплексною функцією.

Коефіцієнт B показує, яка частина вихідної напруги $U_{\text{ВІХ}}$ передається знову на вхід. Тому цей коефіцієнт називають *коефіцієнтом зворотного зв'язку*. Частіш за все у колі ЗЗ використовують пасивні чотириполюсники, тому $B < 1$.

Вплив зворотного зв'язку на параметри й характеристики підсилювача

Зворотний зв'язок впливає на усі параметри й характеристики підсилювача.

Наскрізний коефіцієнт підсилення підсилювача зі зворотним зв'язком $\underline{K}_{e \text{ ЗВ}}$ визначається виразом

$$\underline{K}_{e \text{ ЗВ}} = \frac{\underline{K}_e}{1 - \underline{B} \underline{K}_e}, \quad (5.6)$$

де $\underline{K}_e = \frac{\underline{U}_{\text{ВІХ}}}{\underline{E}_Г}$ – комплексний наскрізний коефіцієнт підсилення підсилювача без зворотного зв'язку;

$\underline{E}_r = E_r e^{j\varphi_r}$ – комплексне значення ЕРС джерела сигналу;

$\underline{U}_{\text{вих}} = U_{\text{вих}} e^{j\varphi_{\text{вих}}}$ – комплексне значення вихідної напруги без зворотного зв'язку;

$\underline{K}_{e33} = \frac{\underline{U}_{\text{вих}33}}{\underline{E}_r}$ – комплексний наскрізний коефіцієнт підсилення

підсилювача зі зворотним зв'язком.

Чотириполюсники $\underline{K}_e$ і $\underline{B}$ утворюють петлю 33. Добуток $\underline{B}\underline{K}_e$ характеризує коефіцієнт передавання сигналу по петлі 33, його називають **петльовим підсиленням**

$$\underline{B}\underline{K}_e = \frac{\underline{U}_{33}}{\underline{E}_r} = B \cdot K_e \cdot e^{j\varphi} = BK_e(\cos \varphi + j\sin \varphi), \quad (5.7)$$

де $\varphi = \varphi_e + \varphi_b$ – зсув фаз у петлі 33.

З виразу (5.6) знайдемо модуль коефіцієнта підсилення підсилювача зі 33

$$\underline{K}_{e33} = \frac{K_e}{|1 - \underline{B}\underline{K}_e| \gamma} = \frac{K_e}{\gamma} \quad (5.8)$$

величину

$$\gamma = |1 - \underline{B}\underline{K}_e| \quad (5.9)$$

називають **глибиною 33**.

З виразу (5.8) випливає, що при уведенні зворотного зв'язку коефіцієнт підсилення підсилювача з 33 змінюється у γ разів.

Зворотний зв'язок називають **негативним**, якщо при уведенні 33 коефіцієнт підсилення зменшується, тобто $K_{e33} < K_e$. Зворотний зв'язок називають **позитивним**, якщо при уведенні 33 коефіцієнт підсилення збільшується, тобто $K_{e33} > K_e$. Якщо коефіцієнт підсилення при уведенні 33 не змінюється ($K_{e33} = K_e, \gamma = |1 - \underline{B}\underline{K}_e| = 1$), такий зв'язок називають **нейтральним**.

Як випливає з формули (5.9), величина γ залежить від знака петльового підсилення $\underline{B}\underline{K}_e$, знак у свою чергу визначається зсувом фаз у петлі ОС $\varphi = \varphi_e + \varphi_b$. Вид 33 може змінюватися залежно від значень величин φ_e і φ_b . Значення зсувів фаз φ_e і φ_b змінюються при зміні частоти, тому вид 33 (негативний чи позитивний) визначається в області середніх частот підсилюваного діапазону.

1) Якщо $\varphi = \pi$, то $\underline{B}\underline{K}_e$ – негативна дійсна величина (згідно з формулою 5.8), $\gamma = 1 + BK_e$ (згідно з формулою 5.10), глибина 33 більша одиниці, $K_{e33} < K_e$, отже, зв'язок **негативний**.

2) Якщо $\varphi = 0$, то $\underline{B}\underline{K}_e$ – позитивна дійсна величина, а $\gamma = 1 - BK_e$, глибина 33 менша одиниці $K_{e33} > K_e$, отже, зв'язок **позитивний**.

Іншими словами, якщо сигнал зворотного зв'язку надходить у **протифазі**

з *вхідним сигналом* (з інверсією, $\varphi = \pi$), то такий зв'язок – **негативний (НЗЗ)**. Якщо сигнал зворотного зв'язку надходить у *фазі з вхідним сигналом* ($\varphi = 0$), то такий зв'язок – **позитивний (ПЗЗ)**.

Якщо глибина негативного зворотного зв'язку (НЗЗ) $\gamma \gg 1$, то такий НЗЗ називають **глибоким**, для нього

$$K_{e\text{зв}} = \frac{K_e}{1 + BK_e} \approx \frac{1}{B}, \quad (5.10)$$

тобто коефіцієнт підсилення підсилювача з глибоким НЗЗ визначається тільки параметрами кола ЗЗ.

У багатокаскадних підсилювачах фазові зсуви φ_e можуть призвести до того, що у смузі пропускання та за її межами зв'язок стане позитивним.

У підсилювальних пристроях для покращення якісних показників і характеристик використовується **негативний ЗЗ**:

5) НЗЗ зменшує частотні і фазові спотворення, розширює смугу пропускання за малих фазових зсувів у петлі ЗЗ φ .

6) НЗЗ зменшує коефіцієнт гармонік.

7) НЗЗ зменшує нестабільність коефіцієнта підсилення.

8) НЗЗ змінює вхідний та вихідний опір залежно від способу введення і зняття сигналу НЗЗ. Послідовний НЗЗ збільшує вхідний опір, паралельний НЗЗ зменшує вхідний опір. НЗЗ за струмом збільшує вихідний опір, НЗЗ за напругою зменшує вихідний опір.

Позитивний ЗЗ має протилежний вплив на параметри і характеристики підсилювача, тобто їх погіршує. ПЗЗ використовується у спеціальних схемах, наприклад, для реалізації активних двополюсників з еквівалентним негативним опором або еквівалентною негативною провідністю, а також у схемах автогенераторів.

Стійкість підсилювачів зі зворотним зв'язком

Негативний ЗЗ у підсилювачах широко використовується для покращення їх показників. Проте ЗЗ, який здійснюється у середині робочого діапазону частот як негативний, може бути позитивним на краях діапазону або за його межами через фазові зсуви, які вносяться підсилювачем та колом ЗЗ. У цьому випадку можуть виникнути умови, за яких на виході підсилювача з'являється напруга за відсутності напруги на вході. Виникнення власних коливань у підсилювачі називається *самозбудженням* або *генерацією*.

5.3. Інвертуючий підсилювач напруги

Схема інвертуючого підсилювача показана на рис. 5.6. Аналогові ІМС на схемах позначаються літерою *A*, цифрові – літерою *D*.

Схема інвертує напругу, тому що вхідний сигнал подано на інвертуючий вхід. Отже, напруги $U_{\text{вх}}$ і $U_{\text{вих}}$ зміщені по фазі на π . Зворотний зв'язок подається на вхід підсилювача за допомогою резистора R_2 , коло зворотного

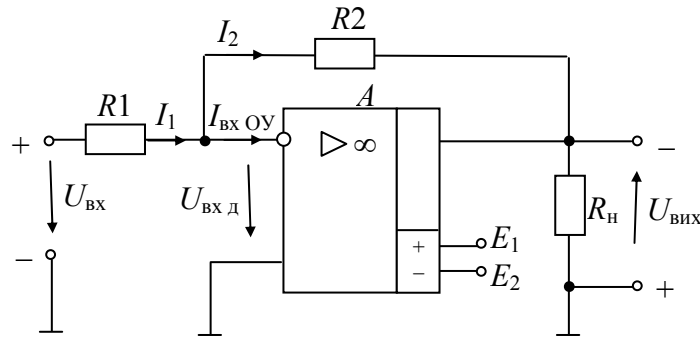


Рисунок 5.6 – Інвертуючий підсилювач напруги

зв'язку B утворене зовнішніми елементами R_2 і R_1 . Так як напруги вхідне $U_{\text{ВХ}}$ та зворотного зв'язку $U_{\text{ЗВ}}$ зміщені на π , то зв'язок негативний. За способом уведення – зв'язок паралельний, за способом зняття – за напругою. Паралельний негативний ЗЗ призводить до збільшення вхідного струму схеми $I_{\text{ВХ}} = I_1$, і, як наслідок, до зменшення вхідного опору інвертуючого підсилювача порівняно з вхідним опором операційного підсилювача. Негативний ЗЗ за напругою призводить до зменшення вихідного опору інвертуючого підсилювача, тобто $R_{\text{ВЫХ}} < R_{\text{ВЫХ ОП}}$, яке й без зворотного зв'язку мале.

Для спрощення аналізу будемо вважати, що у розглядуваній смузі частот операційний підсилювач близький до ідеального: $K_{\text{ОП}} \rightarrow \infty$, $R_{\text{ВХ ОП}} \rightarrow \infty$, $R_{\text{ВЫХ ОП}} \rightarrow 0$. Це припущення можна вважати справедливим, тому що вхідна напруга ОП $U_{\text{ВХ Д max}}$ дорівнює дуже маленькому значенню. У цьому випадку вважаємо, що $U_{\text{ВХ Д}} \approx 0$, а вхідний струм ОП $I_{\text{ВХ ОП}} \approx 0$, так як вхідний опір $R_{\text{ВХ ОП}} \rightarrow \infty$.

Тоді для схеми рис. 5.6 справедлива рівність

$$I_1 = I_2,$$

а вхідний опір інвертуючого підсилювача

$$R_{\text{ВХ}} = \frac{U_{\text{ВХ}}}{I_1} = R_1. \quad (5.11)$$

Для визначення коефіцієнта підсилення інвертуючого підсилювача знайдемо струми:

$$I_1 = \frac{U_{\text{ВХ}}}{R_1},$$

з врахуванням полярності вихідної напруги

$$I_2 = -\frac{U_{\text{ВЫХ}}}{R_2}.$$

Так як $I_1 = I_2$, то справедлива рівність

$$\frac{U_{\text{ВХ}}}{R_1} = -\frac{U_{\text{ВЫХ}}}{R_2}.$$

З цієї рівності знайдемо коефіцієнт підсилення інвертуючого підсилювача

$$K_{ui} = \frac{U_{\text{вих}}}{U_{\text{вх}}} = -\frac{R_2}{R_1}. \quad (5.12)$$

Таким чином, коефіцієнт підсилення K_{ui} визначається тільки зовнішніми елементами схеми й не залежить від коефіцієнта підсилення операційного підсилювача K_{OP} . Знак мінус свідчить про інверсію сигналу.

Для змінного вхідного сигналу

$$\underline{K_{ui}} = \frac{\underline{U_{\text{вих}}}}{\underline{U_{\text{вх}}}} = -\frac{R_2}{R_1}.$$

По умовчання, під коефіцієнтом підсилення розуміють його модуль.

Операційний підсилювач є підсилювачем постійного струму, тому підсилювач (рис. 5.6) підсилює і постійну, і змінну напруги. У загальному випадку, якщо вхідний сигнал містить і постійну, і змінну складові, обидві складові будуть підсилені у K_{ui} разів. Перевагою операційних підсилювачів є те, що при використанні симетричного двополярного живлення, якщо сигнал не містить постійної складової, то й вихідний сигнал також не буде містити постійної складової. Це суттєво спрощує каскадне з'єднання таких підсилювачів, тому що немає необхідності використовувати розділяльні конденсатори між каскадами.

Вхідний опір інвертуючого підсилювача дорівнює R_1 , тому значення R_1 обирають з умови забезпечення необхідного вхідного опору. Значить, потрібний коефіцієнт підсилення забезпечують вибором значень опору R_2 .

5.3.1. Завдання для розрахунку

1. Розробіть схему інвертуючого підсилювача.
2. Розрахуйте опори резисторів й виберіть номінальні значення за шкалою Е24.
3. Розрахуйте необхідний коефіцієнт підсилення інвертуючого підсилювача по заданим значенням вхідної та вихідної напруг.
4. Визначте отриманий коефіцієнт підсилення інвертуючого підсилювача за значеннями опорів резисторів вхідного кола та кола НЗЗ.
5. Порівняйте отримані результати розрахунків та зробіть висновки про похибку розрахунків.
6. Накресліть в масштабі часові діаграми напруг розробленого підсилювача.

5.3.2. Вихідні дані

1. Амплітуда вхідної напруги $U_{m \text{ вх}} = (0,1 + 0,01 \cdot N)$ В.
2. Амплітуда вихідної напруги $U_{m \text{ вих}} = (5 + 0,7 \cdot M)$ В.
3. Опір навантаження $R_H = 2$ кОм.

5.3.3. Виконання розрахунку

1. Розробка схеми

Схема інвертуючого підсилювача показана на рис. 5.6. Далі необхідно пояснити всі позначення на схемі:

A – операційний підсилювач;

R_1 – опір у вхідному колі, що визначає вхідний опір підсилювача;

R_2 – опір кола зворотного зв'язку;

R_H – опір навантаження;

U_{BX} – вхідна напруга;

$U_{ВИХ}$ – вихідна напруга;

$+E_1$, и $-E_2$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок підсилювача

1) Розраховуємо амплітуду струму у колі навантаження

$$I_{mH} = \frac{U_{mВИХ}}{R_H}.$$

2) Вибираємо значення амплітуди струму у колі зворотного зв'язку із співвідношення

$$I_{m2} = (0,02 \dots 0,05) \cdot I_{mH}.$$

Вибираємо, наприклад, значення: $I_{m2} = 0,04 \cdot I_{mH}$.

3) Так як амплітуди струмів I_{m1} і I_{m2} рівні, то:

$$I_{m1} = I_{m2}.$$

4) Визначаємо опір резистора у вхідному колі

$$R_1 = \frac{U_{mBX}}{I_{m1}}.$$

5) Визначаємо опір резистора у колі зворотного зв'язку

$$R_2 = \frac{U_{mВИХ}}{I_{m2}}.$$

6) Вибираємо значення опорів резисторів R_1 і R_2 з ряду Е 24:

$$R_1 = \quad, \quad R_2 = \quad.$$

7) Розраховуємо заданий коефіцієнт підсилення напруги

$$K_u = \frac{U_{mВИХ}}{U_{mBX}}.$$

8) Так як значення опорів резисторів R_1 і R_2 обрано з номінальних значень, то отриманий коефіцієнт підсилення розробленого інвертуючого підсилювача може відрізнятися від заданого значення. Тому розраховуємо коефіцієнт підсилення напруги розробленого інвертуючого підсилювача

$$K_{ui} = \frac{R_2}{R_1}.$$

9) Порівнюємо значення K_u і K_{ui} й знаходимо відносну похибку коефіцієнта підсилення розробленого інвертуючого підсилювача

$$\delta\% = \frac{K_{ui} - K_u}{K_u} \cdot 100.$$

10) Робимо висновки про отриманий результат: відносна похибка не повинна перевищувати значення: $\pm 5\%$.

11) Будуємо епюри $u_{вх} = f(t)$; $u_{вих} = f(t)$ в масштабі: рис. 5.7.

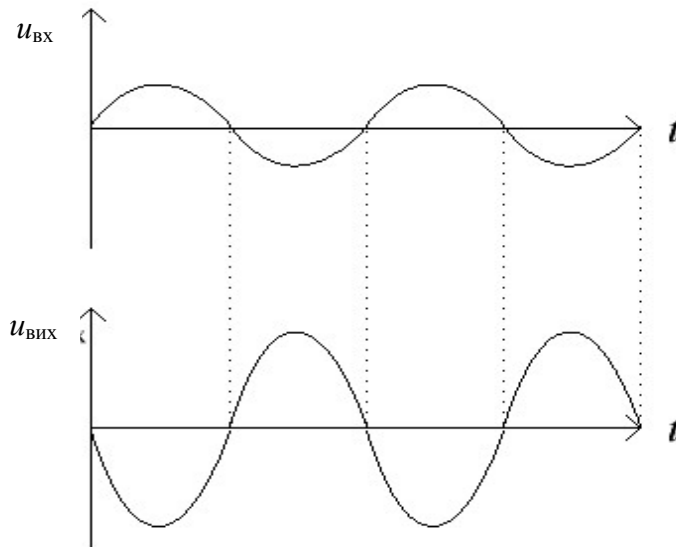


Рисунок 5.7 – Епюри напруг інвертуючого підсилювача

5.4. Контрольні запитання

1. Накресліть схему інвертуючого підсилювача на ОП.
2. Запишіть формулу для визначення коефіцієнта підсилення інвертуючого підсилювача за значеннями вхідної та вихідної напруг та за значеннями опорів резисторів R_1 і R_2 .
3. Доведіть, що вхідний струм дорівнює струму в колі НЗЗ.
4. Накресліть епюри вхідної та вихідної напруг.
5. Поясніть, що у схемі інвертуючого підсилювача уведений негативний зворотний зв'язок, паралельний за напругою.

5.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. І. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 139-158.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 159 – 166.

Тема 6. ОПЕРАЦІЙНИЙ ПІДСИЛЮВАЧ. НЕІНВЕРТУЮЧИЙ ПІДСИЛЮВАЧ

6.1. Ключові положення

Неінвертуючий підсилювач напруги

Схема неінвертуючого підсилювача показана на рис. 6.1.

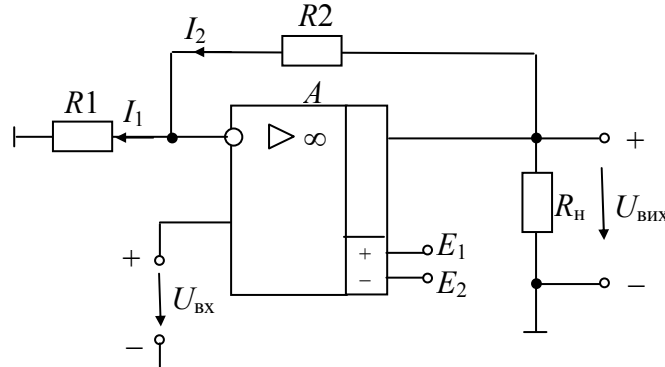


Рисунок 6.1 – Неінвертуючий підсилювач

Підсилювач вхідної напруги не інвертує, так як вхідний сигнал подано на неінвертуючий вхід. Отже, напруги $U_{ВХ}$ і $U_{ВІХ}$ збігаються за фазою. Резистори R_1 і R_2 утворюють чотирьохполюсник зворотного зв'язку B . Напруга зворотного зв'язку $U_{ЗВ}$, яка виділяється на резисторі R_1 ($U_{ЗВ} = I_1 R_1$), увімкнена послідовно зі вхідною напругою у протифазі. Таким чином, у схемі рис. 6.1 використаний **негативний ЗЗ послідовний за напругою**. Послідовний ЗЗ збільшує вхідний опір неінвертуючого підсилювача, тобто $R_{ВХ} > R_{ВХ \text{ ОП}}$, який й без зворотного зв'язку значний ($R_{ВХ \text{ ОП}} \rightarrow \infty$). Негативний ЗЗ за напругою зменшує вихідний опір неінвертуючого підсилювача, тобто $R_{ВІХ} < R_{ВІХ \text{ ОП}}$.

Знайдемо коефіцієнт підсилення неінвертуючого підсилювача, вважаючи $U_{ВХ \text{ Д}} \approx 0$, $I_{ВХ \text{ ОП}} \approx 0$. У цьому випадку $I_1 = I_2$, а $U_{ВХ} = I_1 R_1$, $U_{ВІХ} = I_2 R_2 + I_1 R_1 = I_2 R_2 + U_{ВХ}$. Знайдемо струми:

$$I_1 = \frac{U_{ВХ}}{R_1}, \quad I_2 = \frac{U_{ВІХ} - U_{ВХ}}{R_2}.$$

Прирівнявши струми, отримаємо

$$\frac{U_{ВХ}}{R_1} = \frac{U_{ВІХ} - U_{ВХ}}{R_2}.$$

Звідси знайдемо коефіцієнт підсилення неінвертуючого підсилювача

$$K_{ін} = \frac{U_{ВІХ}}{U_{ВХ}} = 1 + \frac{R_2}{R_1}. \quad (6.1)$$

Порівнюючи формули (5.12) і (6.1), бачимо, що $K_{u \text{ н}}$ більший $K_{u \text{ і}}$ на одиницю. Для значних коефіцієнтів підсилення ($K_{u \text{ н}} \gg 1$) це не має значення, а для незначних значень $K_{u \text{ н}}$ одиниця впливає суттєво.

6.2. Завдання для розрахунку

1. Розробіть схему неінвертуючого підсилювача.
2. Розрахуйте значення опорів резисторів й оберіть їх номінальні значення за шкалою E24.
3. Розрахуйте необхідний коефіцієнт підсилення неінвертуючого підсилювача за заданими значеннями вхідної й вихідної напруг.
4. Розрахуйте отриманий коефіцієнт підсилення неінвертуючого підсилювача за значеннями опорів резисторів кола НЗЗ.
5. Порівняйте отримані результати розрахунків та зробіть висновки про похибку розрахунків.
6. Накресліть у масштабі часові діаграми напруг розробленого підсилювача.

6.3. Вихідні дані

1. Амплітуда вхідної напруги $U_{m\text{ вх}} = (0,1 + 0,01 \cdot N)$ В.
2. Амплітуда вихідної напруги $U_{m\text{ вих}} = (5 + 0,7 \cdot M)$ В.
3. Опір навантаження $R_{\text{н}} = 2$ кОм.

6.4. Виконання розрахунку

1. Розробка схеми

Схема неінвертуючого підсилювача наведена на рис. 6.1. Далі необхідно пояснити всі позначення на схемі.

На схемі рис. 6.1 позначено:

A – операційний підсилювач; R_1 , R_2 – опори кола негативного зворотного зв'язку; $R_{\text{н}}$ – опір навантаження; $U_{\text{вх}}$ – вхідна напруга; $U_{\text{вих}}$ – вихідна напруга; $+E_1$, $-E_2$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок схеми

- 1) Розраховуємо амплітуду струму у колі навантаження

$$I_{m\text{н}} = \frac{U_{m\text{ вих}}}{R_{\text{н}}}.$$

- 2) Вибираємо значення амплітуди струму у колі зв'язку із співвідношення

$$I_{m2} = (0,02 \dots 0,05) \cdot I_{m\text{н}}.$$

Вибираємо, наприклад, значення: $I_{m2} = 0,04 \cdot I_{m\text{н}}$.

- 3) Так як амплітуди струмів I_{m1} і I_{m2} рівні, то:

$$I_{m1} = I_{m2}.$$

- 4) Визначаємо опір резистора у вхідному колі

$$R_1 = \frac{U_{m\text{ вх}}}{I_{m1}}.$$

- 5) Визначаємо опір резистора у колі зворотного зв'язку

$$R_2 = \frac{U_{m\text{ вих}} - U_{m\text{ вх}}}{I_{m2}}.$$

- 6) Вибираємо значення опорів резисторів R_1 і R_2 за шкалою номінальних

значень з ряду E24

$$R_1 = \quad , R_2 = \quad .$$

7) Розраховуємо заданий коефіцієнт підсилення напруги

$$K_u = \frac{U_{m\text{вих}}}{U_{m\text{вх}}}.$$

8) Оскільки значення опорів резисторів R_1 і R_2 вибрано з номінальних значень, то отриманий коефіцієнт підсилення розробленого неінвертуючого підсилювача може відрізнятися від заданого значення. Тому розраховуємо коефіцієнт підсилення напруги розробленого неінвертуючого підсилювача

$$K_{u\text{н}} = \frac{R_2}{R_1} + 1.$$

9) Порівнюємо значення K_u і $K_{u\text{н}}$ та знаходимо відносну похибку коефіцієнта підсилення розробленого інвертуючого підсилювача

$$\delta\% = \frac{K_{u\text{н}} - K_u}{K_u} \cdot 100.$$

10) Робимо висновки про отриманий результат: відносна похибка не повинна перевищувати значення: $\pm 5\%$.

11) Будуємо епюри $u_{\text{вх}} = f(t)$; $u_{\text{вих}} = f(t)$ в масштабі: рис. 6.2.

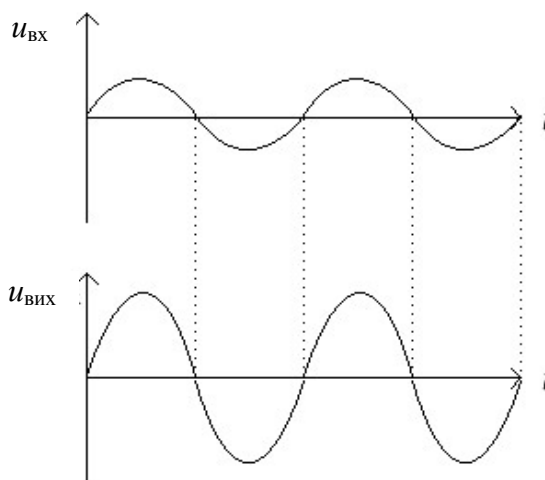


Рисунок 6.2 – Епюри напруг неінвертуючого підсилювача

6.5. Контрольні запитання

1. Наведіть схему неінвертуючого підсилювача на ОП.
2. Запишіть формулу для визначення коефіцієнта підсилення неінвертуючого підсилювача за значенням вхідної і вихідної напруг та за значеннями опорів резисторів R_1 і R_2 .
3. Запишіть формули для визначення коефіцієнтів підсилення інвертуючого та неінвертуючого підсилювачів за значеннями опорів резисторів R_1 і R_2 . Поясніть, чим вони відрізняються.
4. Накресліть епюри вхідної та вихідної напруг.
5. Поясніть, що у схемі неінвертуючого підсилювача уведений негативний зворотний зв'язок послідовний за напругою.

6.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 159-160
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 159 – 166.

Тема 7. ОПЕРАЦІЙНИЙ ПІДСИЛЮВАЧІ. ІНВЕРТУЮЧИЙ СУМАТОР

7.1. Ключові положення

Інвертуючий суматор

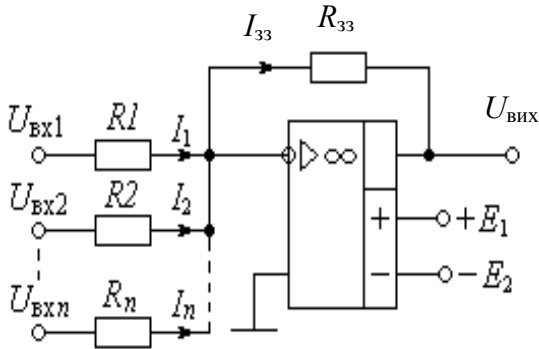


Рисунок 7.1 – Схема інвертуючого суматора

Інвертуючий суматор, схема якого показана на рис. 7.1, у загальному випадку складає струми. Ця властивість обумовлена дуже значним входним опором ($R_{\text{вхОП}}$) і дуже малим власним струмом ($I_{\text{вхОП}}$) операційного підсилювача A , на якому реалізований суматор.

Оскільки сума входних струмів протікає по колу 33, то справедлива рівність

$$I_{\text{ос}} = I_1 + I_2 + \dots + I_n. \quad (7.1)$$

У цьому випадку вихідна напруга буде дорівнювати

$$U_{\text{вих}} = - (I_1 + I_2 + \dots + I_n) \cdot R_{33}. \quad (7.2)$$

Вхідні струми визначаються входними напругами та опорами резисторів в їх вхідних колах, тому

$$I_1 = \frac{U_{\text{вх1}}}{R_1}; \quad I_2 = \frac{U_{\text{вх2}}}{R_2}; \quad \dots; \quad I_n = \frac{U_{\text{вхn}}}{R_n}. \quad (7.3)$$

З формул (7.1)...(7.3) знаходимо вихідну напругу

$$U_{\text{вих}} = - \left(\frac{U_{\text{вх1}}}{R_1} + \frac{U_{\text{вх2}}}{R_2} + \dots + \frac{U_{\text{вхn}}}{R_n} \right) \cdot R_{33}. \quad (7.4)$$

З виразу (7.4) випливає, що суматор складає *напруги* $U_{\text{вх1}} \dots U_{\text{вхn}}$ зі своїми *масштабними коефіцієнтами*, які визначаються опорами $R_1 \dots R_n$. Наприклад, при $U_{\text{вх1}} = U_{\text{вх2}}$ і $R_2 = 2R_1$ внесок напруги $U_{\text{вх2}}$ у вихідний сигнал буде вдвічі меншим, ніж напруги $U_{\text{вх1}}$. Вираз у дужках (7.4) носить назву *зваженої суми*.

Якщо необхідно отримати *арифметичну* суму напруг, то згадані *масштабні коефіцієнти* повинні дорівнювати *одиниці*. З цього слідує, що опори всіх резисторів повинні бути однаковими:

$$R_1 = R_2 = \dots = R_n = R_{33} = R. \quad (7.5)$$

З формул (7.4) і (7.5) випливає, що в окремому випадку за однакових опорів всіх резисторів отримаємо алгебраїчну суму входних напруг:

$$U_{\text{вих}} = - (U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхn}}). \quad (7.6)$$

7.2. Завдання для розрахунку

1. Розробіть схему інвертуючого суматора.
2. Розрахуйте опори резисторів для суматора струмів.
3. Побудуйте в масштабі діаграму роботи суматора напруг.

7.3. Вихідні дані

1. Амплітуди вхідних напруг
 $U_{m\text{ вх1}} = (0,1 + 0,01 \cdot N) \text{ В};$
 $U_{m\text{ вх2}} = (0,1 + 0,01 \cdot M) \text{ В}.$
2. Амплітуда вихідної напруги
 $U_{m\text{ вх2}} = (5 + 0,7 \cdot M) \text{ В}.$
3. Амплітуди вхідних струмів
 $I_{m\text{ вх1}} = I_{m\text{ вх2}}.$
4. Опори навантаження
 $R_{\text{н}} = 2 \text{ кОм}.$

7.4. Виконання розрахунку

1) Розробка схеми

Схема інвертуючого суматора двох вхідних напруг показана на рис. 7.2. Далі необхідно пояснити всі позначення на схемі.

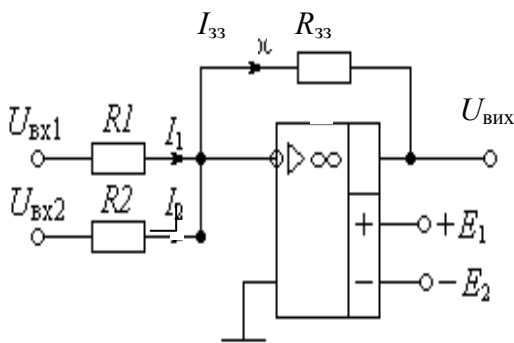


Рисунок 7.2 – Схема інвертуючого суматора

На схемі рис. 7.2 позначено:
 A – операційний підсилювач;
 R_1 і R_2 – опори у вхідних колах суматора;
 R_{33} – опір кола зворотного зв'язку;
 $R_{\text{н}}$ – опір навантаження;
 $U_{\text{вх1}}, U_{\text{вх2}}$ – вхідні напруги;
 $U_{\text{вих}}$ – вихідні напруги;
 $+E_2$, і $-E_1$ – джерела живлення, як правило, однакові за величиною.

2. Розрахунок інвертуючого суматора напруг

- 1) Визначаємо амплітуду струму у колі навантаження

$$I_{m\text{ н}} = \frac{U_{m\text{ вих}}}{R_{\text{н}}}.$$

- 2) Вибираємо струм у колі зворотного зв'язку із співвідношення

$$I_{m\text{ зз}} = (0,02 \dots 0,05) \cdot I_{m\text{ н}}.$$

Наприклад, виберемо $I_{m\text{ зз}} = 0,05 \cdot I_{m\text{ н}}.$

- 3) Розраховуємо опір у колі зворотного зв'язку

$$R_{33} = \frac{U_{m\text{ вих}}}{I_{m\text{ зз}}}.$$

- 4) Так як за завданням амплітуди вхідних струмів рівні: $I_{m\text{ вх1}} = I_{m\text{ вх2}}$, отже,

$$I_{m\text{ вх1}} = I_{m\text{ вх2}} = 0,5 I_{m\text{ зз}}.$$

- 5) Визначаємо опори у вхідних колах суматора

$$R_1 = \frac{U_{m\text{ ВХ1}}}{I_{m\text{ ВХ1}}}, \quad R_2 = \frac{U_{m\text{ ВХ2}}}{I_{m\text{ ВХ2}}}.$$

6) Опори резисторів обираємо за шкалою номінальних значень з ряду E24:

$$R_1 = \quad ; R_2 = \quad ; R_{33} = \quad .$$

7) Будуємо епюри напруг $u_{\text{ВХ1}}$, $u_{\text{ВХ2}}$, $u_{\text{ВІХ}}$ суматора напруг у масштабі.

8) Розраховуємо вихідну напругу за формулою (7.6).

7.5. Контрольні запитання

1. Наведіть схему суматора.
2. Поясніть, як отримана сума зі зваженими коефіцієнтами та алгебраїчна сума вхідних напруг.
3. Наведіть епюри вхідних напруг та вихідної напруги інвертуючого суматора напруг.

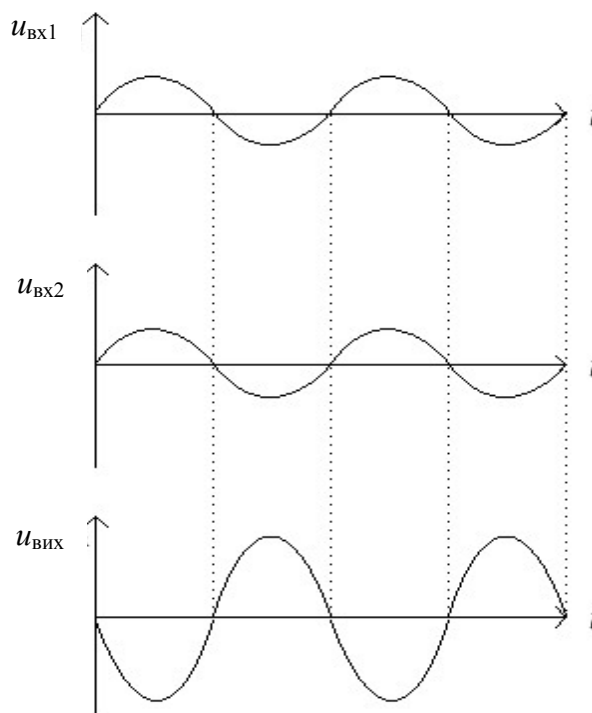


Рисунок 7.3 – Епюри напруг інвертуючого суматора

7.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 160-161.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки: підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 159 – 166.

Тема 8. ЛОГІЧНІ ФУНКЦІЇ БУЛЬОВОГО БАЗИСУ

8.1. Ключові положення

Набір з трьох логічних функцій, що носять назву НЕ, І, АБО називають бульовим базисом. За допомогою законів алгебри можна висловити різноманітні логічні функції через набір трьох найпростіших.

Функція логічного заперечення НЕ

Найпростішою логічною функцією одного аргументу є функція логічного заперечення або інверсії

$$y = \bar{x}. \quad (8.1)$$

Логічний елемент, що виконує цю функцію носить назву *інвертора* або *схеми НЕ*.

Умовне позначення інвертора показано на рис. 8.1,а. У релейно-контактній схемі інверсну функцію реалізує розмикаючий контакт реле, який замкнутий, поки в обмотці реле нема струмкового сигналу, тобто аргумент $x = 0$ (рис. 8.1,б).

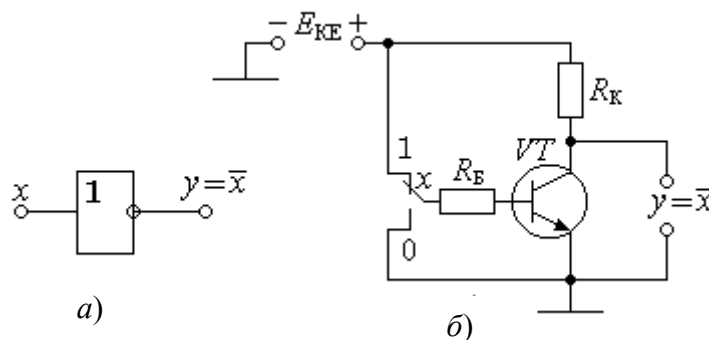


Рисунок 8.1 – Інвертор або схема НЕ: а) умовне позначення; б) реалізація за допомогою розмикаючого контур реле

При $x = 1$ вхід інвертора буде підключений до $+E$, через що транзистор VT відкритий і підключає вихід y до нуля, тобто $y = 0$ і навпаки, при $x = 0$ вхід інвертора підключений до нуля, транзистор VT закритий і підключає вихід y через R_K до $+E$, тобто $y = 1$. Таблиця істинності (табл. 8.1) логічної функції НЕ (заперечення) має найпростіший вигляд.

Часова діаграма роботи схеми логічного заперечення показана на рис. 8.2, з якої видно наступне.

Таблиця 8.1

x	y
1	0
0	1

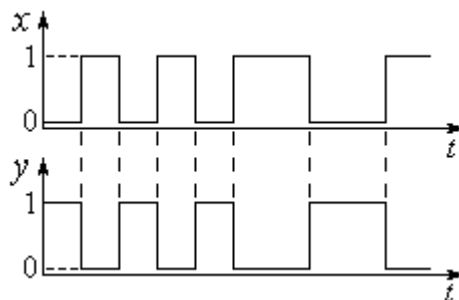


Рисунок 8.2 – Часова діаграма схеми НЕ

Вхідний сигнал U_x складається з черги логічних нулів «0» та одиниць «1». Діаграма $U_y = f(t)$ вихідного сигналу теж набуває значення логічних нулів «0» або одиниць «1». Якщо до входу поданий рівень логічного «0» $x = 0$, то на виході з'являється логічна «1» $y = 1$ і навпаки, при логічній «1» на вході схеми $x = 1$ на виході установлюється рівень логічного «0» $y = 0$.

Функція логічного множення І

Функція логічного множення І – це функція двох або багатьох аргументів, що виконує операцію логічного множення або кон'юнкцію:

$$y = x_1 \wedge x_2 = x_1 x_2. \quad (8.2)$$

Функція І приймає значення логічної 1 тоді і тільки тоді, коли всі її аргументи $x_1, x_2, \dots, x_n$ дорівнюють 1.

У релейно-контактній схемі функція І реалізується послідовним включенням двох або більшого числа (за кількістю аргументів x) замикаючих контактів, які керуються сигналами-аргументами x_n (рис. 8.3,б). Струм по колу пройде тільки тоді, коли усі контакти замкнуті, тобто знаходяться в одиничному стані. Якщо лише один контакт K_n буде розімкненим (його нульовий стан), то струм відсутній і функція дорівнює 0.

Умовне позначення логічного елемента, що реалізує функцію 2І (кон'юнктора), показано на рис. 8.3,а (цифра 2 показує наявність двох входів).

У релейно-контактній техніці функція І реалізується послідовним включенням двох (K_1, K_2) або більшого числа (за числом аргументів n) замикаючих контактів, які керуються сигналами-аргументами x_n (рис. 8.3,б).

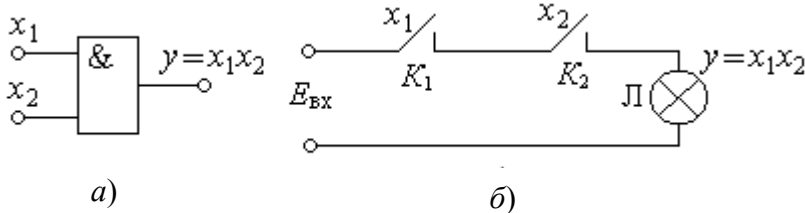


Рисунок 8.3 – Двовходовий кон'юнктор або схема 2І:
а) умовне позначення; б) реалізація за допомогою контактів реле

Таблиця 8.2

x_1	x_2	y
1	1	1
0	1	0
1	0	0
0	0	0

Лампа Л буде світитися тільки тоді, коли і контакт K_1 і контакт K_2 будуть замкнені, тобто перебувати в одиничному стані. Якщо хоча б один із контактів буде розімкненим (в нульовому стані), лампа світитися не буде, тобто функція дорівнює 0.

Двовходова функція 2І – однозначна. Тому для кожної комбінації значення аргументів x_1 та x_2 даної функції існує тільки одне значення функції y . Таблиця істинності для схеми 2І – це табл. 8.2.

Часова діаграма роботи логічної схеми 2І показана на рис. 8.4, де вхідними сигналами є групи П-імпульсів x_1 та x_2 , які діють на відповідних входах. Вихідним сигналом є y .

Часова діаграма (рис. 8.4) наочно ілюструє алгоритм роботи функції, що

впливає з таблиці істинності. Дійсно, рівень логічної «1» на виході y устанавлюється і підтримується тоді і тільки тоді, коли і на вході x_1 , і на вході x_2 присутні логічні «1», тобто $x_1 = x_2 = 1$. Збіг логічних «1» на входах x_1 та x_2 спостерігається в часи $t_1 - t_2$; $t_3 - t_4$ та $t_5 - t_6$ на часовій діаграмі. Протягом решти часу, коли на одному вході $x_1 = 0$ або на вході $x_2 = 0$, або обидва входи $x_1 = 0$; $x_2 = 0$ знаходяться під нульовим потенціалом, на виході схеми устанавлюється рівень $y = 0$.

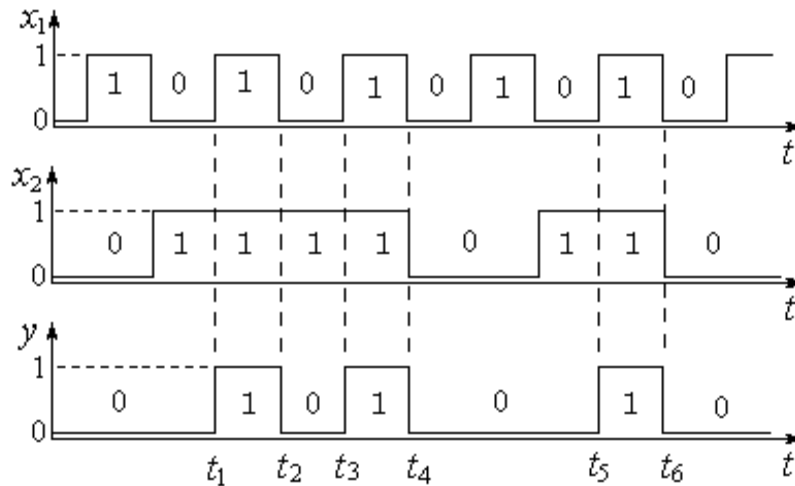


Рисунок 8.4 – Часова діаграма схеми 2І

Функція логічного додавання АБО

Функція логічного додавання АБО двох чи багатьох аргументів x_n виконує операцію логічного додавання або *диз'юнкцію* і записується формулою

$$y = x_1 \vee x_2 = x_1 + x_2. \quad (8.3)$$

Функція АБО набуває значення логічної «1» тоді, коли хоча б один із аргументів x_n дорівнює одиниці. Тут знак « $\vee$ » або «+» означає *логічне*, а не *алгебраїчне* додавання.

Так, логічне додавання дає $y = x_1 \vee x_2 \vee \dots \vee x_n = 1 + 1 + \dots + 1 = 1$.

Умовне позначення логічного елемента, який реалізує функцію 2АБО, показано на рис. 8.5,а.

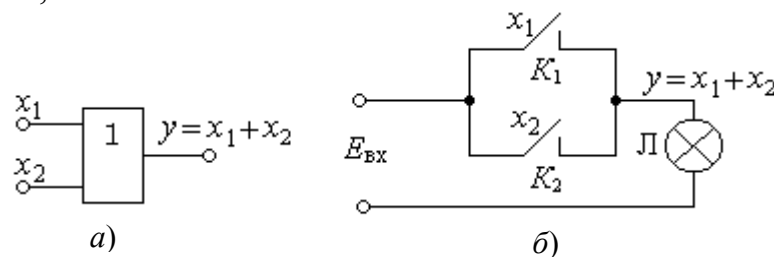


Рисунок 8.5 – Двовходовий диз'юнктор або схема 2АБО:

а) умовне позначення; б) реалізація за допомогою контактів реле

У релейно-контактній техніці функція АБО реалізується паралельним з'єднанням двох або більшого числа (за числом аргументів n) замикаючих контактів $K_1, K_2 \dots$ (рис. 8.5,б).

Лампа Л буде світитися тоді, коли хоча б один контакт або K_1 ($x_1 = 1$), або K_2 ($x_2 = 1$), або обидва ($x_1 = 1; x_2 = 1$) будуть замкнені, тобто перебувати в одиничному стані ($y = 1$). Лампа Л буде погашеною ($y = 0$) лише тоді, коли всі контакти будуть розімкненими (у нульовому стані), тобто $x_1 = 0; x_2 = 0$.

Струм по колу (рис. 8.5,б) пройде тоді, коли будуть замкнені контакти K_1 або K_2 , або обидва контакти. При цьому на виході схеми у встановлюється рівень логічної «1». Лише у разі, коли обидва контакти розімкнені, тобто $x_1 = x_2 = 1$, на виході у з'являється логічний «0».

Таблиця 8.3

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Роботу схеми 2АБО відбиває таблиця істинності (табл. 8.3). Ця функція, як і 2І, теж однозначна.

Роботу схеми 2АБО можна проілюструвати часовою діаграмою (рис. 8.6), з якої видно, що достатньо хоча б на одному з входів x_1 або x_2 мати рівень 1, щоб на виході сигнал у дорівнював би 1. Тільки тоді, коли на обох входах $x_1 = 0; x_2 = 0$ (моменти часу $t_2 - t_3, t_4 - t_5, t_6 - t_7, t_8 \dots$) на виході $y = 0$.

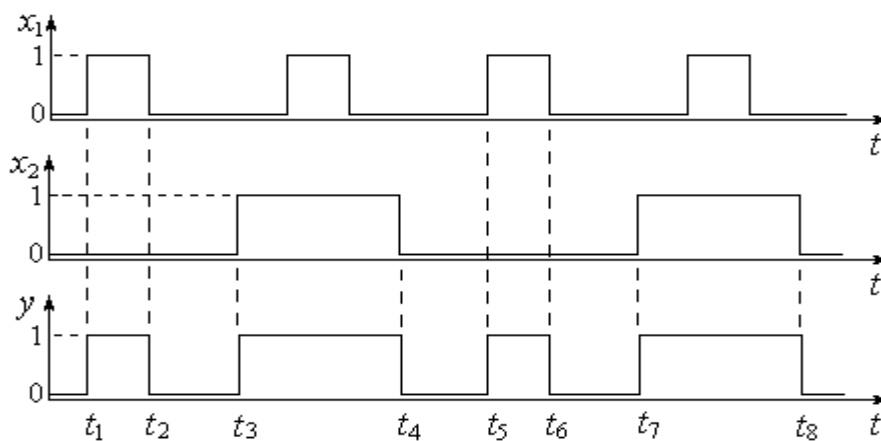


Рисунок 8.6 – Часова діаграма схеми 2АБО

Комбіновані логічні функції

Кожна з розглянутих функцій бульового базису набуває значення логічного «0» або логічної «1» в залежності від аргументів x_n , що входять до складу даної функції. Якщо мати логічні елементи, які реалізують найпростіші функції НЕ, І, АБО, то можна побудувати більш складні функції шляхом послідовного виконання функціональних залежностей, які зв'язують пари змінних. Таке з'єднання простих логічних елементів дає змогу отримати цифрові пристрої, що реалізують складні логічні функції.

За основний критерій при структурній реалізації береться мінімум апаратних витрат, під яким слід розуміти мінімальну кількість логічних елементів та мінімальне число зв'язків між ними. Значну роль у забезпеченні критерію за мінімумом апаратних затрат відіграє елементний базис, тобто певний набір функціонально повних логічних елементів. Якщо, як у нашому випадку, базис наперед заданий (бульовий), то логічну функцію, яку треба побудувати, необхідно спеціально перетворити. Головна мета цих перетворень – зведення виразу функції до заданого базису.

Наприклад, треба отримати функцію 2АБО-НЕ. Вона утворюється з двох булевих функцій 2АБО та НЕ.

Схемотехнічно така задача розв'язується шляхом послідовного з'єднання логічних елементів 2АБО та НЕ (рис. 8.7,а).

Це з'єднання реалізує функцію 2АБО-НЕ, яка носить назву стрілки Пірса й умовно позначається, як показано на рис. 8.7,б.

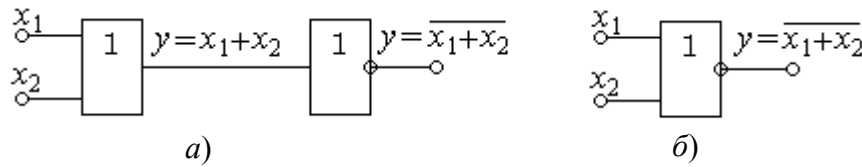


Рисунок 8.7 – Двовходова схема 2АБО-НЕ:

а) послідовне з'єднання логічних елементів 2АБО та НЕ;

б) умовне позначення

Роботу схеми 2АБО-НЕ описує таблиця істинності (табл. 8.4).

Часова діаграма роботи схеми 2АБО-НЕ показана на рис. 8.8, з якої видно наступне.

Таблиця 8.4

x_1	x_2	y
0	0	1
1	0	0
0	1	0
1	1	0

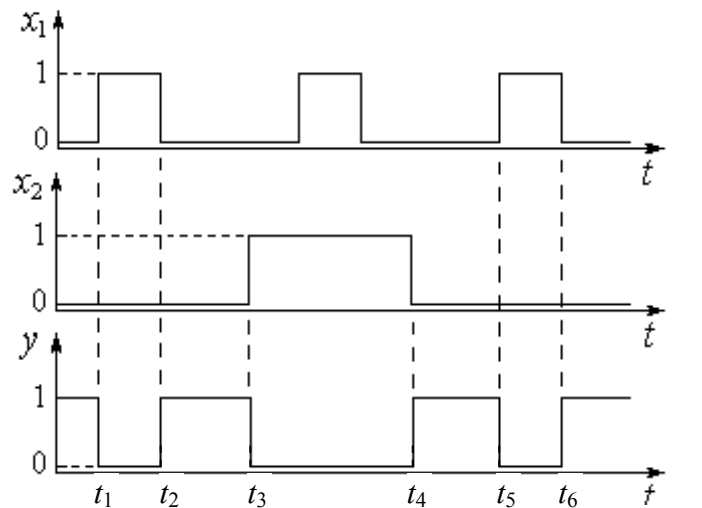


Рисунок 8.8 – Часова діаграма схеми 2АБО-НЕ

Якщо обидва входи нульові ($x_1 = 0$ та $x_2 = 0$), значення функції $y = 1$ одиничне.

Коли ж або $x_1 = 1$, або $x_2 = 1$, або обидва аргументи одиничні, то значення функції $y = 0$.

Якщо порівняти роботу схем 2АБО (рис. 8.6) та 2АБО-НЕ (рис. 8.8), то можна побачити, що вся різниця полягає лише в інверсії вихідного сигналу y .

Аналогічно можна отримати логічну функцію 2І-НЕ за допомогою двох логічних функцій булевого базису 2І та заперечення НЕ (рис. 8.9). Функція 2І-НЕ носить назву “штрих Шеффера”.

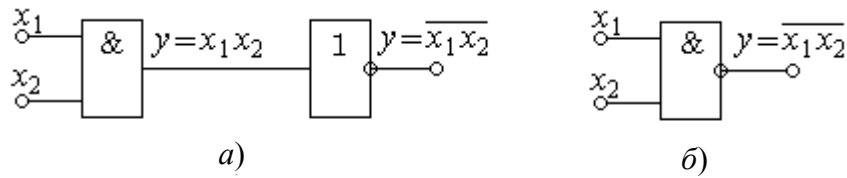


Рисунок 8.9 – Двовходова схема 2І-НЕ:

а) послідовне з'єднання логічних елементів 2І та НЕ;

б) умовне позначення

Елемент Шеффера будується послідовним з'єднанням двох логічних елементів, що реалізують функції 2І та НЕ. Тому таблиця істинності (табл. 8.5) є проінвертованою таблицею істинності (табл. 8.2) функції 2І.

Таблиця 8.5

x_1	x_2	y
1	1	0
0	1	1
1	0	1
0	0	1

Часова діаграма роботи логічної схеми 2І-НЕ (рис. 8.10) утворюється інверсією вихідного сигналу y логічної схеми 2І (див. рис. 8.4).

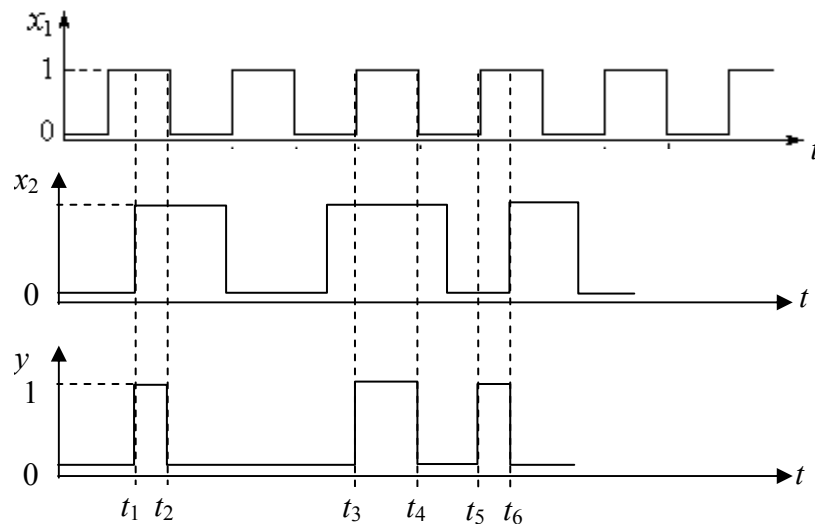


Рисунок 8.10 – Часова діаграма схеми 2І-НЕ

У цифрових функціональних пристроях комбінаційного типу багато застосовується логічний елемент, що реалізує функцію “виняткове АБО” (рис. 8.11). Цю функцію іноді називають “сума за mod 2”.

Якщо обидва входи одиничні ($x_1 = 1$ та $x_2 = 1$), тільки тоді значення функції $y = 0$ нульове.

Коли ж або $x_1 = 0$, або $x_2 = 0$, або обидва аргументи нульові, то значення функції $y = 1$.

Логічна функція “виняткове АБО” описується формулою

$$x_1 \oplus x_2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2 = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2). \quad (8.4)$$

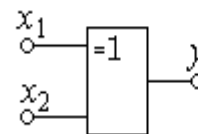


Рисунок 8.11 – Умове позначення логічного елемента «виняткове АБО»

Символ $\oplus$ означає, що змінні x_1 та x_2 пов'язані логічною функцією «виняткове АБО».

Її робота полягає в тому, що $y = 1$ тоді і тільки тоді, коли вхідні змінні різні $x_1 \neq x_2$. Коли ж усі змінні однакові $x_1 = x_2$, тобто $x_1 = 0$ та $x_2 = 0$ або $x_1 = 1$ та $x_2 = 1$, лише тоді $y = 0$ (табл. 8.6).

Таблиця 8.6

x_1	x_2	y
0	0	0
1	0	1
0	1	1
1	1	0

Виняткове АБО має властивості комутативності, асоціативності, дистрибутивності відносно кон'юнкції. Для неї також справедливі аксіоми бульової алгебри. На основі властивостей і аксіом функції «виняткове АБО» можна отримати функції елементарного базису.

Часова діаграма роботи схеми, яка реалізує логічну функцію «виняткове АБО», показана на рис. 8.12.

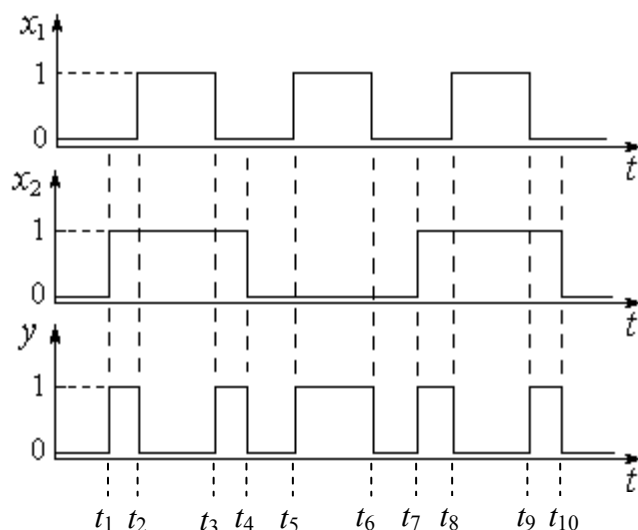


Рисунок 8.12 – Часова діаграма «виняткове АБО»

З цієї діаграми видно, функція $y = 1$ набуває одиничного значення лише тоді, коли обидва аргументи різні $x_1 \neq x_2$.

8.2. Завдання для розрахунку

1. Намалюйте умовне позначення логічного елемента, який виконує задану логічну функцію.
2. Запишіть задану логічну функцію у вигляді алгебраїчного виразу.
3. Складіть таблицю істинності заданої логічної функції.
4. Поясніть у масштабі тимчасову діаграму роботи заданого логічного елемента.

8.3. Вихідні дані

1. Вибір логічної функції здійснюється за цифрами M та N залікової книжки. Якщо номери залікової книжки відповідають зазначеним значенням, то
 $MN = 01 \dots 20$ – виконуєте завдання для логічної функції «НЕ»;
 $MN = 21 \dots 40$ – виконуєте завдання для логічної функції «2АБО»;
 $MN = 41 \dots 60$ – виконуєте завдання для логічної функції «2І»;
 $MN = 61 \dots 80$ – виконуєте завдання для логічної функції «2АБО-НЕ»;
 $MN = 81 \dots 00$ – виконуєте завдання для логічної функції «2І-НЕ».
2. Дані для побудови тимчасових діаграм:
рівень логічного нуля: $U' = (0,2 + 0,05 \cdot N) \text{ В}$;
рівень логічної одиниці: $U' = (5 + 0,1 \cdot M) \text{ В}$.

8.4. Контрольні запитання

1. Які сигнали називають цифровими?
2. Яка система числення називається війковою?
3. Що таке логічна функція?
4. Який набір логічних функцій повний?
5. Які існують форми уявлення логічних функцій?
6. Що таке логічна функція НЕ?
7. Що таке логічна функція І?
8. Що являє собою логічна функція АБО?
9. Яка функція називається стрілкою Пірса?
10. Яка функція називається елементом Шеффера?

8.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. І. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 171-192..
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 195-210.

Тема 9. ПОСЛІДОВНІСНІ ПРИСТРОЇ. ТРИГЕРИ

9.1. Ключові положення

Послідовнісні пристрої – це цифрові автомати з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини й елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача, що може запам'ятовувати один біт інформації (0 або 1), виконує тригер.

Тригери

Тригери – це елементи з двома стійкими станами. Тригери – це найбільш поширені функціональні елементи цифрових систем. Тригери застосовуються в лічильниках імпульсів, регістрах, запам'ятовувачах, розподільвачах сигналів, накопичувальних суматорах тощо. Тригери мають самостійне застосування, наприклад, у приладах керування, виконуючи важливі функції логічного перетворення та схову інформації.

Тригерами називають логічну схему з додатним зворотним зв'язком, яка має два стійких стани, і під дією зовнішніх сигналів переключається в будь-який стан та знаходиться в цьому стані необмежений час після припинення дії вхідних сигналів.

Тригер, що може запам'ятовувати один біт двійкової інформації (логічний нуль “0” або логічна одиниця “1”), носить назву двостанового запам'ятовувача. Як правило, двостанові тригери мають два виходи, за рівнем яких можна судити про стан тригера. Перший з виходів має назву *прямого* і позначається Q , другий – *інверсний* $\bar{Q}$.

Перший із станів тригера приймається за нульовий і носить назву *скинутого*. При цьому його вихід Q знаходиться під нульовим потенціалом, тобто $Q = 0$, а $\bar{Q} = 1$.

Другий стан тригера – одиничний, коли $Q = 1$, а $\bar{Q} = 0$ і його називають *встановленим*.

Переключення тригера в одиничний стан носить назву *встановлення*, а в стан 0 – *скидання* або *скиду*.

Узагальнена структурна схема тригера (рис. 9.1) складається з двох частин: елемента пам'яті – власне двостанового тригера T та схеми керування СК, на яку надходять зовнішні сигнали керування роботою схеми.

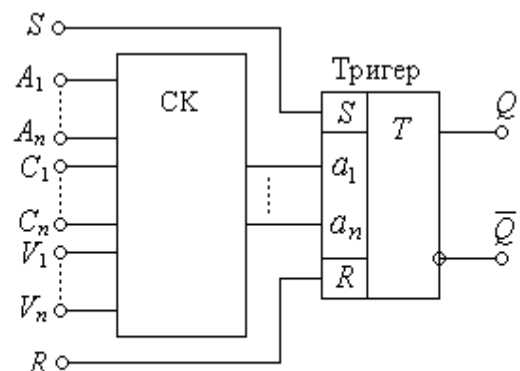


Рисунок 9.1 – Узагальнена структурна схема тригера

Входи $A_1, \dots, A_n$ називають *інформаційними* або *логічними*. До них подають двійкову інформацію у вигляді логічних нуля або одиниці. За допомогою схеми управління вхідна інформація перетворюється в комбінації сигналів 00, 01, 10, 11, що діють безпосередньо на входах $a_1, \dots, a_n$ власно тригера.

Схема тригера, крім логічних, може мати тактові входи *синхронізації* ($C_1, \dots, C_n$), *керуючі* входи ($V_1, \dots, V_n$), а також *настановні* S - та R -входи безпосереднього *встановлення* або *скидання* тригера.

Вхід S – вхід встановлення *одиночного* стану або *одиночний вхід*.

Вхід R – вхід встановлення *нульового* стану або *нульовий вхід*.

Тактові або синхронізуючі сигнали, які подаються до входів $C_1, \dots, C_n$, визначають у СК момент запису чи зчитування стану, тобто переключення тригера.

Класифікація тригерів може бути надана за багатьма ознаками: за способом схемної реалізації, за логікою функціонування, за способом запису інформації.

Згідно з ознакою за способом схемної *реалізації* визначають основні властивості тригерних приладів:

- тип використовуваного запам'ятовувача (статичний, динамічний, статично-динамічний);

- вид керуючого сигналу, з яким може працювати тригер: імпульсний (або сигнал обмеженої тривалості) і потенційний (або сигнал безмежної тривалості; імпульсно-потенційний);

- наявність або відсутність у структурній схемі вузлів, перетворюючих потенційні вхідні сигнали в імпульсні.

У відповідності з цими ознаками тригери поділяються на *статичні*, *квазістатичні*, *імпульсно-статичні*, *динамічні*.

Функціональна ознака, тобто логіка функціонування тригера визначає той чи інший тип тригера за видом характеристичного рівняння, що в загальному випадку записується як

$$Q^{n+1} = f(Q^n, A_1^n, A_2^n, \dots, A_n^n) \quad (9.1)$$

і відбиває стан виходу Q^{n+1} тригера на нинішній момент t_{n+1} в залежності від комбінації сигналів, діючих на входах тригера $A_1, \dots, A_n$, та його стану Q^n на попередній момент t_n . Назва тригера надається за значенням його інформаційних входів, яким замість символів $A_1, \dots, A_n$ присвоюються символи D, J, K, T та інші.

В інтегральній схемотехніці, здебільшого, зустрічаються двовходові RS - і JK -тригери, універсальні – $D(RS)$, $JK(RS)$ -тригери. Всі типи тригерів, яких досить багато, можуть бути побудовані в базисі різних логічних елементів.

За способом запису інформації розрізняють два типи тригерів: *асинхронні* та *синхронні*.

До асинхронних відносяться тригери, які мають лише інформаційні входи без входу синхронізації. Запис інформації в них здійснюється в будь-який час безпосередньо з надходженням інформаційного сигналу, який подається на інформаційний вхід тригера.

Відмінною особливістю синхронних тригерів є наявність додаткового тактового (синхронізуючого) входу C для подачі синхронізуючих імпульсів, які здійснюють запис інформації. У той самий час синхронні тригери поділяються на тригери однотокової та багатотактової дії. В тригерах однотокової дії спрацьовування відбувається з надходженням кожного синхроімпульсу. В тригерах багатотактової дії запис інформації закінчується наприкінці дії n -го тактового імпульсу.

У тригерах розрізняють входи *статичні* та *динамічні*.

На статичні входи подають потенційні цифрові сигнали для переключення тригера, тобто такі сигнали x , що визначені рівнями $x = 0$ або $x = 1$.

Динамічні входи керуються імпульсними сигналами, часова тривалість яких нескінченно мала, тобто при зміні потенційного сигналу з одиниці на нуль (зрізу), або навпаки, при зміні на вході сигналу з нуля на одиницю (фронт).

Параметри тригера можна поділити на *функціональні* та *схемотехнічні*.

До *функціональних* відносяться параметри, яким повинні задовольняти тригери при їхньому конкретному застосуванні. Це такі параметри:

- функціональний тип тригера;
- спосіб запису інформації в тригер;
- спосіб керування записом інформації в тригер;
- число тактових, інформаційних, дозволяючих та установлюючих входів;
- еквівалент навантаження тригера по тактовому входу;
- навантажувальна здатність тригера по виходу;
- швидкодія тригера;
- функціональна надійність тригера.

До *схемотехнічних* параметрів мають відношення такі параметри:

- апаратні витрати;
- потужність споживання.

Функціональний тип тригера припускає вибір готового або розробку нового тригера, характеристичне рівняння якого повинне задовольняти необхідним вимогам за логікою дії.

Способи запису інформації в тригер два: асинхронний або синхронний. При цьому треба враховувати, в якому режимі тригер може працювати. Наприклад, асинхронний тригер працює у синхронному режимі, або навпаки.

Спосіб керування записом інформації припускає вибір одного з типів тригерів, який необхідно мати за логікою праці в конкретному випадку.

Число тактових, інформаційних та інших входів визначається конкретикою його застосування. В загальному випадку тригер може мати безліч входів або в найпростішому випадку може бути лише один або два інформаційних входи.

Еквівалент навантаження тригера по тактовому входу n_c показує, яке число тригерів з боку тактового входу C може бути підключено до типового елемента без порушення його працездатності.

Для тригерів, які виконані на логічних елементах, параметр n_c визначається числом зв'язків S_c тактового входу C з рештою елементів тригера.

Навантажувальна здатність по виходу n_Q показує, яке число елементів можна підключити до виходу тригера без відхилення вихідної напруги від сталого логічного рівня, і визначається за формулою

$$n_Q = n_e - S_Q, \quad (9.2)$$

де n_e – навантажувальна здатність елемента, на якому виконаний тригер;

S_Q – число зв'язків виходу тригера.

Швидкодія тригера показує максимальну частоту проходження вхідних сигналів $f_{\max}$, за якої тригер повністю виконує свої функції. В загальному випадку $f_{\max}$ будь-якого тригера визначається формулою

$$f_{\max} = \frac{1}{\tau_{i\min} - \tau_{п\min}} = \frac{1}{t_d}, \quad (9.3)$$

де $\tau_{i\min}$ – мінімальна тривалість сигналу, за якого працює тригер;

$\tau_{п\min}$ – мінімальна тривалість паузи між сигналами запису інформації;

$t_d = \tau_{i\min} - \tau_{п\min}$ – мінімальний часовий інтервал між двома вхідними імпульсами.

Вимога функціональної надійності припускає схемну реалізацію тригера, в якому немає небезпечних змагань фронтів імпульсів.

Число логічних елементів у тригері $n_{сп}$ зумовлює *потужність споживання тригера*.

Апаратні трати обраховують витрати за числом корпусів інтегральних мікросхем.

Схемотехнічні параметри допомагають виконувати оптимальний вибір тригера. Слід зауважити, що вибір типу тригера здійснюється за розглядом як схемотехнічних, так і функціональних параметрів. Тут слід звернути увагу на те, що в деяких випадках різні типи тригерів можуть виконувати одну й ту ж функцію. Наприклад, лічильну функцію виконують тригери D -; JK -типів та ін.

Асинхронний RS -тригер

Асинхронним RS -тригером називають логічний прилад з двома стійкими станами, що має два інформаційних входи S та R . Якщо на S -вхід поданий рівень логічної “1” ($S = 1$), а на R – логічний “0” ($R = 0$), тригер RS типу встановлюється, тобто набуває одиничний стан, за якого на виході Q потенціал досягає одиничного рівня напруги ($Q = 1$), а при $S = 0$ і $R = 1$ тригер набуває нульового стану, в якому $Q = 0$.

Тригер RS -типу має найпростішу структуру, яку умовно називаємо базовою. Реалізувати RS тригер можна на будь-яких логічних елементах бульового базису.

На рис. 9.2,а показана базова схема RS -тригера, яка реалізована на двох логічних елементах 2АБО-НЕ (стрілка Пірса), а на рис. 9.2,б – умовне позначення RS -тригера.

Роботу RS -тригера віддзеркалює *таблиця переходів* (табл. 9.1), у якій Q^n – попередній стан тригера, а Q^{n+1} – теперішній стан тригера. Хрестиком X позначена незалежність від стану.

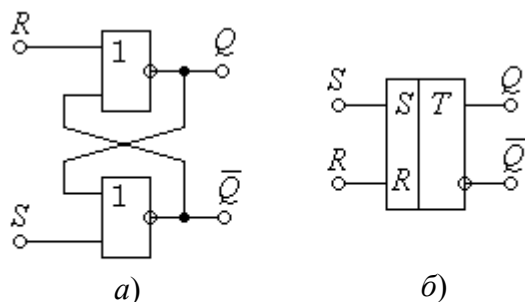


Рисунок 9.2 – Асинхронний RS-тригер:

а) схема; б) умовне позначення

Таблиця 9.1 – Стани RS-тригера

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

З таблиці видно наступне.

При обох нульових входах $R = 0$ та $S = 0$ тригер знаходиться в режимі зберігання, тобто він не спрацьовує, а зберігає попередню інформацію (попередній стан) Q^n : або $Q^n = 0$, або $Q^n = 1$. Якщо тригер був скинутий ($Q^n = 0$) до подачі сигналів $R = 0$; $S = 0$, то скинутим він і залишиться, тобто $Q^{n+1} = 0$. Коли ж тригер до подачі сигналів $R = 0$; $S = 0$ перебував у зведеному (одиничному) стані ($Q^n = 1$), то зведеним він і залишиться, тобто $Q^{n+1} = 1$.

Якщо на нульовий вхід R подати логічну “1” ($R = 1$), а на одиничний вхід S – логічний “0” ($S = 0$), то незалежно від попереднього стану тригер переходить в нульовий стан ($Q = 0$, $\bar{Q} = 1$). Надалі стан тригера будемо визначати значенням тільки прямого виходу Q . Дійсно, при $R = 1$ рівень прямого виходу становить $Q = 0$. Тоді до обох входів нижньої схеми АБО-НЕ (рис. 9.2,а) надходять логічні “0” ($Q = 0$ та $S = 0$), через що на виході $\bar{Q} = 1$. Так при $R = 1$; $S = 0$ тригер скидається, тобто в нього записується логічний “0” (нульовий стан).

Якщо на одиничний вхід S подати логічну “1” ($S = 1$), а на нульовий вхід R – логічний “0” ($R = 0$), то незалежно від попереднього стану тригер устанавлюється в одиничний стан $Q = 1$. Дійсно, при $S = 1$ рівень інверсного виходу становить $\bar{Q} = 0$. Тоді до обох входів верхньої схеми АБО-НЕ надходять логічні “0” ($\bar{Q} = 0$ та $R = 0$), через що на виході $Q = 1$. Так при $S = 1$; $R = 0$ тригер встановлюється, тобто в нього записується логічна “1” (одиничний стан).

Якщо ж на входах R і S діють одночасно одиничні сигнали ($S = 1$; $R = 1$), то стан тригера стає невизначеним, що позначено в табл. 4.1 значком “–”. За такої комбінації входних сигналів обидва елементи 2АБО-НЕ мають на своїх виходах рівні логічного “0”, що не визначає стан тригера. Така комбінація входних сигналів для RS-тригера є забороненою і тому її треба уникати, щоб запобігти можливих збоїв у цифровій системі.

Базовий RS-тригер (рис. 9.2) належить до асинхронних, через що особливість його функціонування полягає в тому, що він змінює свій стан безпосередньо в момент подачі сигналів на входи S або R .

Принцип дії RS-тригера пояснюється часовою діаграмою роботи, яка показана на рис. 9.3.

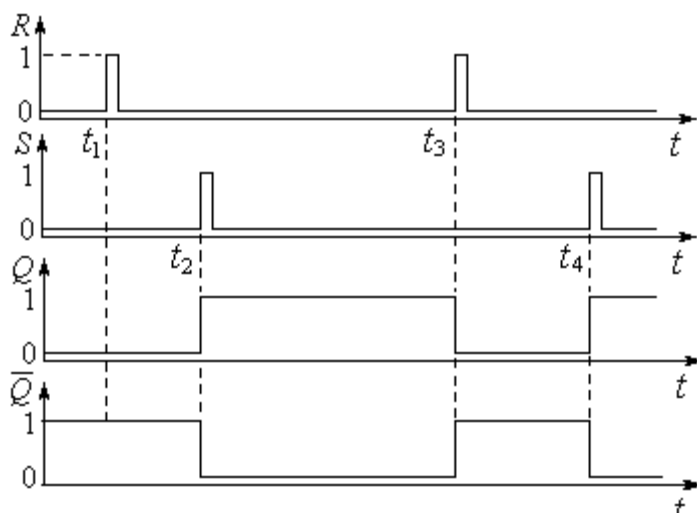


Рисунок 9.3 – Часова діаграма роботи асинхронного RS-тригера

Нехай до моменту t_1 тригер знаходиться у нульовому стані ($Q = 0$; $\bar{Q} = 1$).

У момент t_1 надходження одиничного імпульсу на R -вхід на вході S залишається нульовий рівень, через що згідно з табл. 9.1 тригер зберігає попередню інформацію, тобто $Q^{n+1} = 0$. Цей стан тригера не зміниться до того моменту t_2 , коли на вхід S надійде одиничний імпульс.

У момент t_2 надходження одиничного імпульсу на S -вхід на R -вході залишається нульовий

рівень, через що згідно з табл. 9.1 тригер встановлюється, тобто в нього записується логічна «1». Незважаючи на те, що імпульс на S -вході зник, тригер залишається зведеним. Так, він пам'ятає, що в нього записали логічну «1». Цей стан тригера може зберігатись, скільки завгодно довго, доки на R -вхід надійде одиничний імпульс у момент t_3 .

У момент t_3 надходження одиничного імпульсу на R -вхід на S -вході залишається нульовий рівень, через що згідно з табл. 9.1 тригер скидається, тобто в нього записується логічний «0». Незважаючи на те, що імпульс на R -вході зник, тригер залишається скинутим. Так він пам'ятає, що в нього записали логічний «0». Цей стан тригера може зберігатись, скільки завгодно довго, доки на S -вхід надійде черговий одиничний імпульс у момент t_4 і т.д.

З діаграми роботи (рис. 9.3) видно, чим зумовлена назва *асинхронний*, а саме: тригер спрацьовує безпосередньо у будь-які моменти надходження сигналів до настановних входів S та R .

RS-тригер може бути побудований також на логічних елементах 2І-НЕ (штрих Шеффера), якщо в кола R - і S -входів включити інвертори (рис. 9.4). Роботу тригера віддзеркалює таблиця переходів (табл. 9.2).

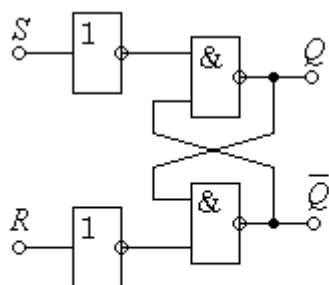


Рисунок 9.4 – Асинхронний RS-тригер на елементах 2І-НЕ

Таблиця 9.2

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Порівнюючи таблиці переходів (табл. 9.1) та (табл. 9.2), переконуємось у тому, що тригер на елементах Шеффера (2І-НЕ) працює так само, як і тригер на стрілках Пірса (елементах 2АБО-НЕ).

RS -тригер можна побудувати без інверторів у колах R та S на двох елементах Шеффера (2І-НЕ), якщо керувати тригер інверсними сигналами $\bar{R}$ та $\bar{S}$. Такий тригер носить назву інверсного $\overline{RS}$ -тригера (рис. 9.5).

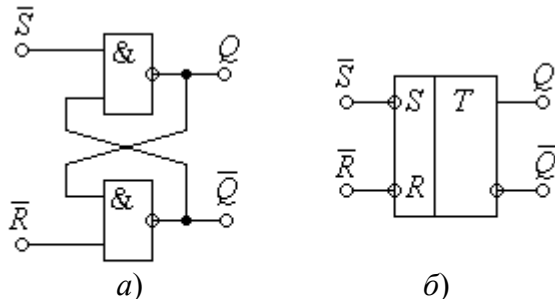


Рисунок 9.5 – Інверсний асинхронний $\overline{RS}$ -тригер: а) схема; б) умовне позначення

Таблиця 9.3 – Стани інверсного асинхронного $\overline{RS}$ -тригера

Q^n	$\bar{R}$	$\bar{S}$	Q^{n+1}
0	1	1	0
1	1	1	1
X	0	1	0
X	1	0	1
X	0	0	–

З таблиці переходів (табл. 9.3) інверсного RS -тригера видно, що активним сигналом для цієї схеми приймається низький рівень логічного “0”.

Інверсний RS -тригер змінює стан на протилежний в наступних випадках: встановлюється при $\bar{R} = 1$; $\bar{S} = 0$; скидається при $\bar{R} = 0$; $\bar{S} = 1$. Для інверсного тригера забороненим є стан, коли на обох інверсних входах діє рівень логічного “0”, тобто $\bar{R} = 0$; $\bar{S} = 0$.

У решті робота тригера з інверсними входами $\bar{R}$ і $\bar{S}$ така сама, як і тригера з прямими входами R і S .

Синхронний RS -тригер

Синхронний RS -тригер позначається як CRS -тригер. Він відрізняється від асинхронного тригера лише тим, що сигнали R і S тільки готують тригер до спрацьовування, а стан тригера змінюється лише тоді, коли надійде синхронізуючий сигнал C .

Синхронний CRS -тригер можна отримати з асинхронного, якщо доповнити його синхронізуючим входом C . CRS -тригер можна реалізувати, наприклад, на базі RS -тригера на чотирьох логічних елементах 2І-НЕ, як показано на рис. 9.6,а.

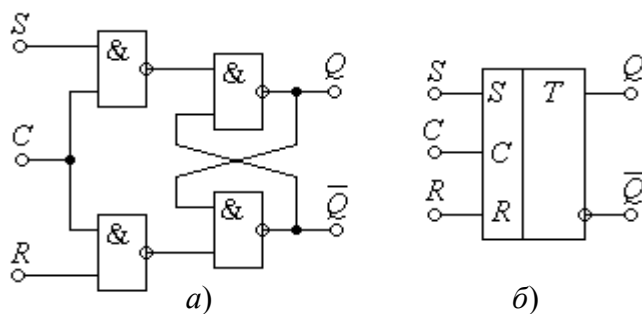


Рисунок 9.6 – CRS -тригер: а) схема; б) умовне позначення

Таблиця 9.4 – Стани синхронного RS -тригера

Q^n	R	S	C	Q^{n+1}
0	0	0	1	0
1	0	0	1	1
X	1	0	1	0
X	0	1	1	1
X	0	0	1	–

Умовне позначення *CRS*-тригера (рис. 9.6,б) схоже на тригер *RS* типу (див. рис. 9.2,б). Уся різниця полягає в наявності додаткового входу синхронізації *C*. Роботу тригера віддзеркалює таблиця переходів (табл. 9.4).

Принцип дії *CRS*-тригера полягає в тому, що стани входів *R* і *S* лише готують тригер до спрацьовування, а встановлення або скид в залежності від станів *R*- і *S*-входів здійснюється лише тоді, коли з'явиться імпульс “Г” (фронт) на вході *C*.

Отже, входи *R* і *S* цього тригера відіграють роль керуючих процесом спрацьовування тригера, а саме ж спрацьовування відбувається тільки з надходженням синхроімпульсу *C*. Часова діаграма роботи *CRS*-тригера показана на рис. 9.7.

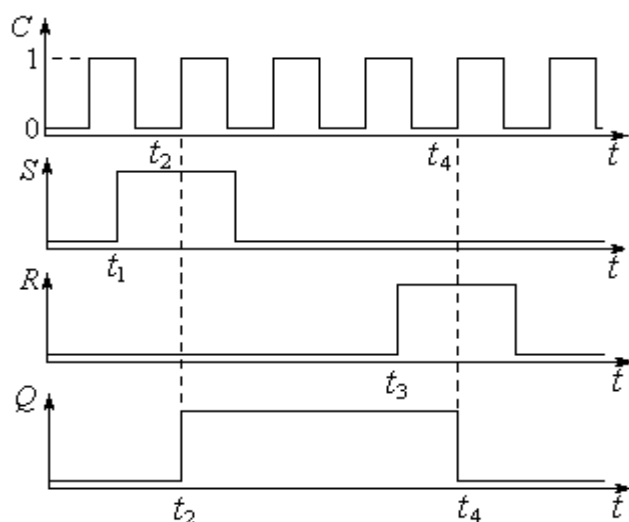


Рисунок 9.7 – Часова діаграма роботи *CRS*-тригера

Нехай тригер знаходиться в нульовому стані. Якщо на вхід *S* надходить логічна “1” у будь-який час t_1 , то тригер у цей момент не спрацьовує. Він встановиться тільки при надходженні синхронізуючого імпульсу на вхід *C* у момент t_2 .

Аналогічна послідовність надходження і при скиді тригера. Незважаючи на те, що одиничний сигнал надходить до входу *R* у момент t_3 , тригер скинеться лише в момент t_4 , коли на синхровході *C* з'явиться фронт, тобто спочатку

подається сигнал скиду *R*, а потім синхросигнал *C* скидає тригер.

Синхронний *CRS*-тригер, схема якого показана на рис. 9.6, можна перетворити в асинхронний, якщо на синхровхід *C* подати одиничний потенціал на весь час роботи.

Синхронний *D*-тригер

D-тригер або *тригер-затримка* (названий так від англійського *Delay* – *затримка*) – це елементарний автомат, який має один інформаційний вхід *D* та вхід синхросигналу *C*. *D*-тригер є синхронним. *D*-вхід готує тригер до спрацьовування, а саме спрацьовування здійснюється фронтом синхросигналу *C*, тобто фронтом *C* тригер копіює стан входу *D*.

D-тригер, як і будь-який синхронний, має два види запуску: роздільний та лічильний.

У *роздільному* запуску *D*-вхід підключений до якогось зовнішнього пристрою, а в *лічильному* – до інверсного виходу саме цього тригера.

Наявність лише одного інформаційного входу *D* є перевагою цього тригера перед двовходовими, бо зменшується кількість міжкаскадних зв'язків.

Схема *D*-тригера та його умовне позначення показані на рис. 9.8.

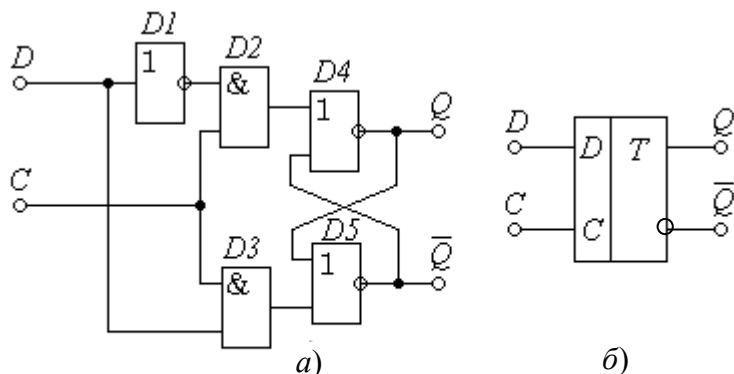


Рисунок 9.8 – D -тригер: а) схема;
б) умовне позначення

Таблиця 9.5 – Стани
 D -тригера

Q^n	D	C	Q^{n+1}
0	X	0	0
1	X	1	1
0	0	$\uparrow$	0
1	0	$\uparrow$	1
X	0	$\uparrow$	0
X	1	$\uparrow$	1

Тут організація D - та C -входів здійснюється відповідно на інверторі $D1$ та схемах І $D2$ та $D3$. Схеми АБО $D4$ та $D5$ утворюють RS -тригер.

Закон функціонування D -тригера наданий в таблиці переходів (табл. 9.5). З цієї таблиці видно, що і при $C = 0$, і при $C = 1$ тригер зберігає свій попередній стан, тобто зберігає інформацію.

Спрацьовує ж тригер тільки від фронту синхросигналу C , коли його рівень змінюється від 0 до 1 (“ $\uparrow$ ”).

D -тригер не сприймає зміну на вході D при постійних сигналах $C = 0$ та $C = 1$, а також при зрізі, коли синхросигнал C змінюється від 1 до 0.

У відсутності синхроімпульсів на вході C тригер перебуває у стані зберігання інформації Q^n і на зміну сигналу D -входу не реагує. Останнє зумовлює високу завадостійкість тригера за інформаційним входом D .

D -тригер у роздільному запуску працює наступним чином.

Нехай до моменту t_1 (рис. 9.9) тригер був скинутий ($Q^n = 0$). При $D = 0$ на виході інвертора $D1$ (рис. 9.8) діє логічна одиниця, яка готує до спрацьовування схему І $D2$.

Якщо $C = 0$, то схеми І $D2$ та $D3$ заперті і можуть спрацьовувати лише в моменти t_1 , t_2 , t_3 і т.д., коли на C -вхід надійдуть фронти (рис. 9.9).

У момент t_1 з надходженням фронту C на виході $D2$ діє логічна “1”, яка встановлює на виході $D4$ нуль ($Q = 0$).

Проте на входах і виході $D3$ нулі, через що стан $D5$ не змінюється. Отже $Q = 0$, а $\bar{Q} = 1$, тобто тригер перебуває в нульовому стані.

Так, інформаційний вхід $D = 0$ скидає тригер ($Q = 0$) тільки з надходженням фронту C . (У момент t_1 нульовий стан підтверджується).

Нехай в момент t_2 до входу D надійшов одиничний сигнал ($D = 1$).

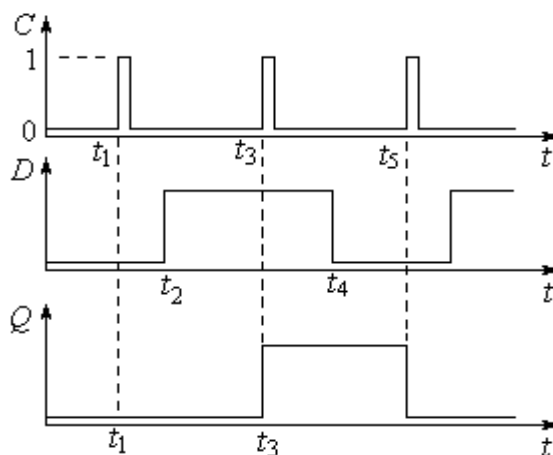


Рисунок 9.9 – Часова діаграма роботи
 D -тригера в роздільному запуску

Тригер на нього не реагує, бо в момент t_2 стан $C = 0$ запирає схеми I $D2$ та $D3$. На їхніх виходах нулі, які не змінюють станів $D4, D5$.

Проте при $D = 1$ схема $D3$ підготовлена до спрацьовування і в момент t_3 фронтом C на її виході встановлюється одиниця, яка схемою $D5$ забезпечує $\bar{Q} = 0$. Тоді на обох входах $D4$ логічні «0», через що $Q = 1$. Отже при $D = 1$ з надходженням фронту C тригер переходить у стан $Q = 1$, а $\bar{Q} = 0$, тобто одиничний (встановлюється). Так інформаційний вхід $D = 1$ встановлює тригер ($Q = 1$) тільки з надходженням фронту C .

Таким чином, щоб записати в D -тригер логічний «0», треба до D -входу підвести нуль і подати на C -вхід фронт. Щоб записати логічну «1», слід до D -входу підвести одиницю і подати на C -вхід фронт.

Слід зауважити, що для роботи з D -тригером у роздільному запуску слід виконувати часові погодження надходження сигналів на його входи. Щоб копіювання стану входу D пройшло без помилок, необхідно установлювати рівні на вході D до надходження фронту (або зрізу) синхроімпульсу C .

Це означає, що всі зміни стану D -входу разом з перехідними процесами мають закінчитися за деякий час до приходу фронту (або зрізу) синхроімпульсу C . Цей час носить назву *часової підготовки*. Тому всі зміни рівнів на входах тригера можна починати не раніше закінчення цього часу.

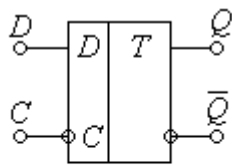


Рисунок 9.10 – D -тригер зі зворотним динамічним входом

Бувають випадки, коли необхідні D -тригери, які синхронізуються низьким рівнем, тобто встановлення та скид тригера виконується під час дії на синхровході C зрізу, тобто переходу синхронізуючого імпульсу на вході C з одиниці в нуль. Такий тригер має умовне позначення, яке показано на рис. 9.10, і носить назву *D -тригера зі зворотним динамічним входом*.

Розглянемо *лічильний запуск* D -тригера.

У лічильному запуску D -тригер з кожним імпульсом на синхровході C змінює свій стан на протилежний.

Це здійснюється з'єднанням входу D з інверсним виходом $\bar{Q}$.

Схема D -тригера з лічильним запуском та часова діаграма його роботи показані на рис. 9.11.

D -тригер з лічильним запуском працює наступним чином.

Нехай до моменту t_1 тригер перебував у нульовому стані ($Q = 0$, $\bar{Q} = 1$). Оскільки вхід D закорочений з інверсним виходом $\bar{Q}$, то в нульовому стані тригера $D = \bar{Q} = 1$, тобто стан входу D одиничний і підготовлює тригер до взведення. В момент t_1 фронтом C тригер зводиться ($Q = 1$, $\bar{Q} = 0$).

Починаючи з моменту t_1 тригер в одиничному стані, через що $D = 0$, тобто стан входу D нульовий і підготовлює тригер до скиду, який відбувається фронтом C у момент t_2 і т.д.

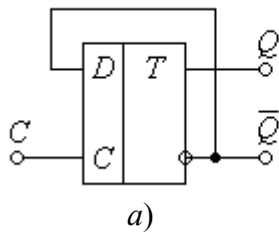
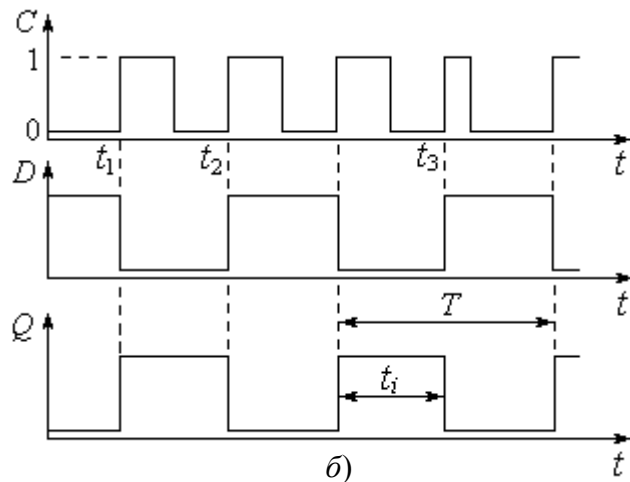


Рисунок 9.11 – *D*-тригер з лічильним запуском:
а) схема; б) часова діаграма роботи



З діаграми роботи видно, що в лічильному запуску з кожним фронтом C стан тригера змінюється на протилежний.

Результатом роботи *D*-тригера з лічильним запуском є наступне:

- поділ частоти слідкування вхідних імпульсів C на два;
- забезпечення щільності вихідних імпульсів, яка дорівнює двом.

Щодо ділення частоти на два, то з діаграми роботи видно, що період вихідних імпульсів Q вдвічі більший за період вхідних імпульсів C .

Забезпечення ж щільності два пояснюється наступним.

Щільністю імпульсів є відношення їхнього періоду T до тривалості t_i :

$$N = \frac{T}{t_i}. \quad (9.4)$$

Як видно з діаграми, тривалість імпульсів t_i зберігається навіть тоді, коли щільність імпульсів C відрізняється від двох (момент t_3). Тому щільність два вихідних імпульсів тригера з лічильним запуском гарантована.

JK-тригер

JK-тригер має два інформаційні входи J і K та вхід синхросигналу C .

JK-тригер, як і *CRS*-тригер є синхронним, але має ту перевагу, що на відміну від *CRS*-тригера не має заборонених (непевних) станів. Ця перевага стала основою для побудови цілої низки синхронних тригерів в інтегральному виконанні.

Найбільшого практичного застосування в інтегральній схемотехніці дістали синхронні одноступеневі *JK*-тригери.

Одноступеневий синхронний JK-тригер будується за аналогією синхронного *CRS*-тригера.

Схема *JK*-тригера (рис. 9.12) побудована на *RS*-тригері і двох логічних схемах збігу 3І *D1* та *D2*.

У початковому (нульовому) стані тригера ($Q = 0$; $\bar{Q} = 1$) з виходу $\bar{Q}$ до входу *D1* подається одиничний рівень, підготовлюючи саме тим установлення (введення) тригера. Тригер установиться, коли $J = 1$, $K = 0$ і до входу C надійде фронт “Г”.

У введеному (одиничному) стані тригера ($Q = 1$; $\bar{Q} = 0$) з виходу Q

одиничний рівень подається до входу $D2$, готуючи саме тим скид тригера. Тригер скинеться, коли $K = 1$, $J = 0$ і до входу C надійде фронт “Г”.

Роботу тригера видно з табл. 9.6 та часової діаграми роботи в роздільному запуску (рис. 9.13).

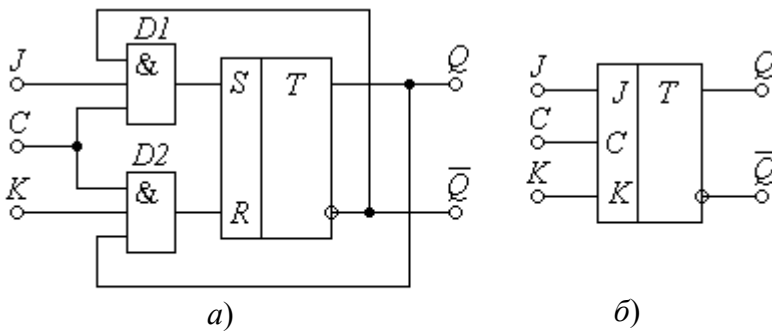


Рисунок 9.12 – JK -тригер:
а) схема; б) умовне позначення

Таблиця 9.6 – Стани JK -тригера

Q^n	J^n	K^n	C	Q^{n+1}
0	X	X	0	0
1	X	X	0	1
0	0	0	Г	0
1	0	0	Г	1
X	0	1	Г	0
X	1	0	Г	1
X	1	1	Г	$\bar{Q}^n$

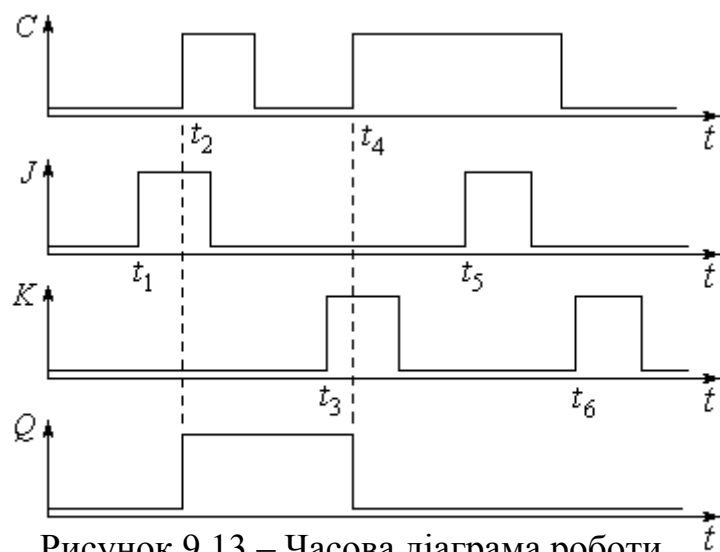


Рисунок 9.13 – Часова діаграма роботи одноступеневого JK -тригера

З табл. 9.6 видно, що одноступеневий JK -тригер спрацьовує лише за наявності фронту “Г” на вході синхронізації C . За відсутності синхроімпульсу, коли $C = 0$, входи J і K блокуються і тригер залишається в попередньому стані Q^n .

Комбінація сигналів на J - і K -входах визначає стан, в якому буде тригер після надходження фронту на вхід C .

Так, до моменту t_1 (рис. 9.13) тригер знаходиться в нульовому стані ($Q = 0$).

У момент t_1 комбінація $J = 1$; $K = 0$ підготовлює тригер до переходу в одиничний стан ($Q = 1$), але це відбудеться тільки в момент t_2 з надходженням фронту C .

У момент t_3 комбінація $J = 0$; $K = 1$ готує тригер до переходу в нульовий стан ($Q = 0$), який установається фронтом C у момент t_4 .

Після моменту t_4 , коли на вході C немає фронтів, як би не змінювались сигнали на входах J і K (моменти t_5 ; t_6), тригер не спрацьовує.

З табл. 9.6 видно, що при $J = 1$ та $K = 1$ стан JK -тригера змінюється на протилежний з приходом кожного синхроімпульсу C , тобто здійснюється лічильний запуск. Отже, для здійснення лічильного запуску слід подати логічну одиницю одночасно на входи J і K ($J = 1$ і $K = 1$). У цьому випадку одноступеневий JK -тригер працює в лічильному запуску, здійснюючи поділ частоти на два. На базі одноступеневих синхронних JK -тригерів можна комутацією зовнішніх виводів будувати різні типи тригерів, наприклад, D -тригер (рис. 9.14).

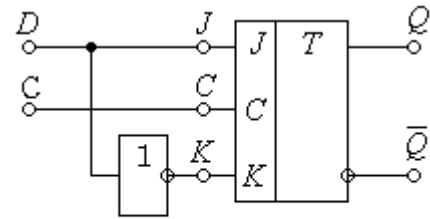


Рисунок 9.14 – D -тригер на базі JK -тригера

MS-тригер

MS -тригер містить два касадно з'єднанні RS -тригери: *основний* і *допоміжний*. Звідси назва MS (скорочено від англійських слів *master* – господар і *slave* – раб, невільник). Ці тригери працюють за принципом “ведучий – ведений” (рис. 9.15).

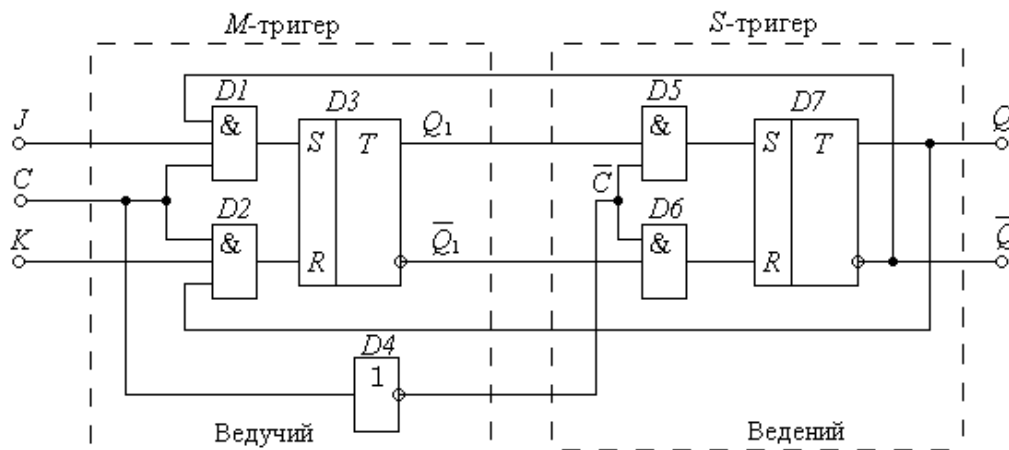


Рисунок 9.15 – MS -тригер

У MS -тригері для приймання (запису) і передавання (зчитування) інформації використовуються два фрагменти: і *фронт*, і *зріз* синхросигналу. Тригери цього типу ще називають *тригерами з внутрішньою затримкою* або *двоступеневими синхронними тригерами*.

Основною перевагою двоступеневих синхронних тригерів перед одноступеневими є їхня підвищена завадостійкість.

Ця перевага досягається тим, що спрацювання MS -тригера в цілому відбувається двома етапами:

- при переході синхроімпульсу у стан $C = 1$ здійснюється запис інформації тільки в M -тригер відповідно станам входів J і K з одночасним блокуванням (запиранням) інформаційних входів S -тригера;
- при зворотному переході у стан $C = 0$ синхроімпульсу стан M -тригера записується в S -тригер з одночасним блокуванням (запиранням) інформаційних входів M -тригера.

Отже, на відміну від одноступеневого тригера, в якому *запис* інформації та її *передавання* збігаються, в двоступеневому тригері вони рознесені в часі, причому, під час запису інформації в один тригер блокуються інформаційні входи іншого, вилучаючи вплив завад.

Двоступеневий синхронний *JK*-тригер побудований на базі каскадного з'єднання двох одноступневих синхронних *RS*-тригерів та схеми блокування на логічному елементі *D4* (рис. 9.15).

Перший тригер (*D1*, *D2*, *D3*) називається *M*, а другий – *S* (*D5*, *D6*, *D7*). Особливістю запуску *S*-тригера є те, що в його коло синхросигналу включений інвертор *D4*, який не припускає передачу стану тригера *M* в *S* під час запису. Наявність інвертора *D4* забезпечує рознесення активних рівнів спрацьовування *M*- і *S*-тригерів.

Так, для *M*-тригера активним сигналом запису інформації є $C = 1$, а для *S*-тригера – $\bar{C} = 1$, тобто $C = 0$.

Тоді стан *M*-тригера змінюється в момент переходу синхросигналу *C* з нуля в одиницю (фронтом імпульсу), а стан *S*-тригера – в момент переходу синхросигналу з одиниці в нуль (зрізом імпульсу). У цілому, таким чином, *MS*-тригер запускається *зрізом*.

В *MS*-тригері існує небезпека хибного спрацьовування через так звані *гонки* між моментами запису в *M*- і *S*-тригери. Запобігання цьому недоліку здійснюється вибором порогів спрацьовування інвертора *D4* та елементів *D1* і *D2*.

Співвідношення згаданих порогів ілюструє часова діаграма роботи тригера (рис. 9.16).

Тут:

$U_{1.2}$ – поріг спрацьовування елементів *D1* і *D2*;

U_4 – поріг спрацьовування інвертора *D4*;

$U_{\text{вих } 1.2}$ – вихідна напруга елементів або *D1*, або *D2*.

Спрацьовування *MS*-тригера без впливу завад вихідних кіл Q та $\bar{Q}$ відбувається наступним чином.

Поріг U_4 спрацьовування інвертора *D4* нижчий за поріг $U_{1.2}$ спрацьовування елементів *D1* і *D2*, тобто $U_4 < U_{1.2}$. Тому на початку появи напруги синхроімпульсу *C* входи *S* і *R* тригера *D3* закриті (заблоковані) елементами *D1* і *D2* і лишатимуться заблокованими, доки напруга *C* не перевищить поріг $U_{1.2}$.

Коли напруга *C* в момент t_1 досягне порогу U_4 , спрацьовує інвертор *D4*, через що синхроімпульс $\bar{C}$ стає нульовим $\bar{C} = 0$. Тоді елементи *D5* і *D6* заблоковані

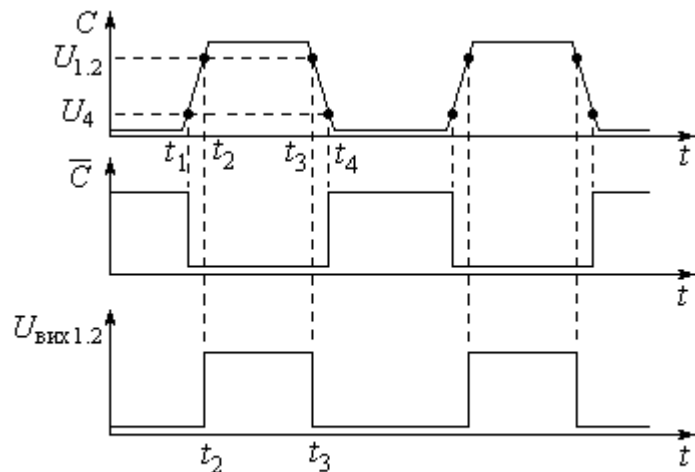


Рисунок 9.16 – Часова діаграма формування синхросигналів *MS*-тригера

і закривають входи S - і R -тригера $D7$. При $\bar{C} = 0$ стан S -тригера ні в якому разі змінитися *не може*.

В момент t_2 напруга C досягає порогу $U_{1,2}$ спрацьовування елементів $D1$ і $D2$, через що розблоковуються елементи $D1$ і $D2$ і на одному з їхніх виходів, в залежності від стану входів J і K , з'являється напруга $U_{\text{вих } 1,2}$, яка забезпечує спрацьовування M -тригера. При цьому S -тригер спрацювати не може, бо синхроімпульс $\bar{C} = 0$ блокує його входи.

В момент t_3 напруга $U_C < U_{1,2}$, через що блокуються входи M -тригера і тому його стан ні в якому разі змінитися *не може*.

В момент t_4 напруга U_C стає менша за поріг спрацьовування інвертора $D4$, через що його вихідна напруга стає одиничною ($\bar{C} = 0$), розблоковуючи входи S -тригера. Тоді стан M -тригера переписується в S -тригер.

Таким чином, запис в один з M - або S -тригерів відбувається лише тоді, коли другий заблокований. При цьому вихідні кола Q та $\bar{Q}$ функціонально ізольовані від ведучого M -тригера, чим зумовлене підвищення завадостійкості.

Роботу двоступеневого синхронного JK -тригера або MS -тригера можна пояснити за допомогою часової діаграми роботи, яка показана на рис. 9.17.

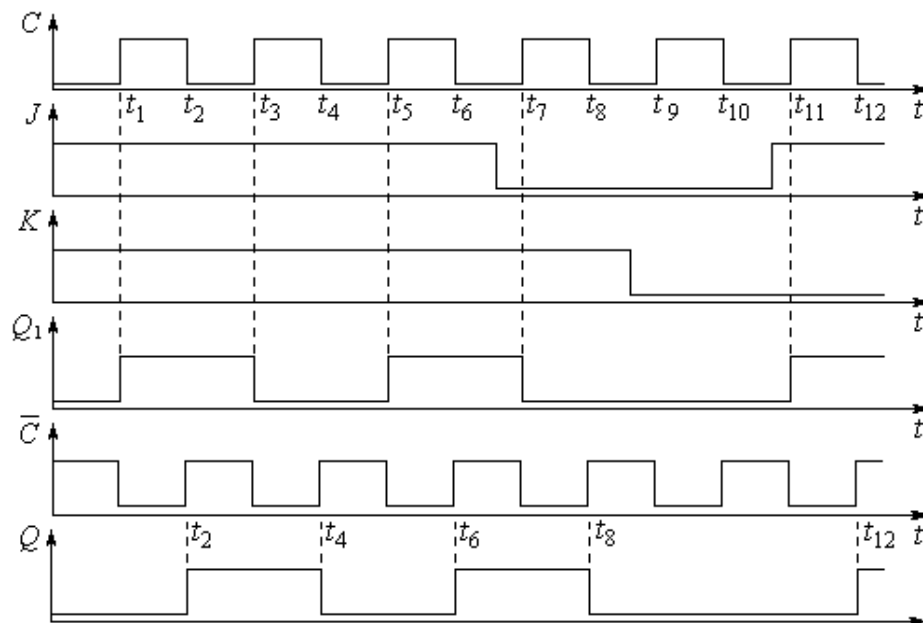


Рисунок 9.17 – Часова діаграма роботи MS -тригера

При $J = 1$; $K = 1$ в інтервалі моментів $t_1 \dots t_5$ тригер працює у лічильному запуску, аналогічно випадку одноступеневого JK -тригера (див. табл. 9.5). Різниця лише в тому, що в двоступеновому тригері зміна стану тригера в лічильному режимі відбувається за зрізом, а не за фронтом синхроімпульсів C (моменти t_2 ; t_4 , $t_6 \dots$).

Якщо, наприклад, $J = 0$ і $K = 1$ ($t_7 - t_8$), то тригер має перейти у стан $Q^{n+1} = 0$.

Це виконується в момент t_8 , коли синхросигнал на вході C переходить з одиниці в нуль, бо лише в цей момент відбувається зміна або збереження стану S -тригера під дією синхроімпульсу $\bar{C}$.

Запис інформації в M -тригер (тобто в MS -тригер) здійснюється в момент t_7 , коли синхросигнал C на вході MS -тригера переходить з нуля в одиницю, а зчитування – в момент t_8 , тобто на наступному такті періоду синхроімпульсів.

Якщо $J = 0$; $K = 0$ ($t_9 - t_{10}$), то тригер перебуває в режимі зберігання попереднього біта інформації.

Якщо на момент t_{11} стани входів $J = 1$; $K = 0$, то M -тригер переходить у стан 1, здійснюючи при цьому запис 1 в JK -тригер. В наступний такт t_{12} у стан 1 переходить S -тригер і при цьому на Q -виході MS -тригера установлюється рівень логічної “1”, що відповідає процесу зчитування одиничної інформації з виходу MS -тригера.

Важливою перевагою двоступеневого JK -тригера є те, що інформаційні входи за період синхроімпульсів функціонально ізольовані від вихідних кіл. Така своєрідна властивість MS -тригера забезпечує стійке переключення тригера. Завдяки таким властивостям на двоступеневих JK -тригерах можна будувати завадостійкі цифрові пристрої. Умовне позначення MS -тригера показано на рис. 9.18.

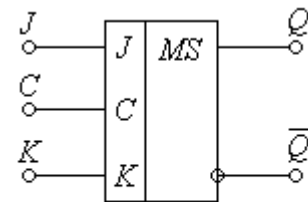


Рисунок 9.18 – Умовне позначення MS -тригера

У мікросхемотехніці широке застосування має універсальний JK -тригер, що крім інформаційних J - та K -входів і входу синхронізації C , має також несинхронізовані входи S і R або $\bar{S}$ і $\bar{R}$. Під час переключення тригера з одного стану в інший під дією сигналів на інформаційних входах J і K та синхронізуючому вході C , на входи S і R ($\bar{S}$ і $\bar{R}$) слід подати пасивні рівні, тобто $S = 0$; $R = 0$ або $\bar{S} = 1$; $\bar{R} = 1$.

На базі двоступеневого JK -тригера можна будувати інші схеми тригерів шляхом комутації зовнішніх входів J , K , C , S та R .

Підвищення завадостійкості тригерів

Для підвищення завадостійкості тригерів захист необхідно не тільки по входах, а й по виходах. Це пояснюється тим, що виходи тригера через кола зворотного зв'язку зв'язані із входами.

Дійсно, якщо на лінії зв'язку, підключеної до виходу Q тригера (див. рис. 9.2,а), з'явиться одинична завада, то вона впливатиме і на вхід протилежного елемента тригера, що може викликати переключення усього тригера, як від звичайного вхідного сигналу.

Тому, якщо тригер будь-якого типу $D1$ (рис. 9.19) працює на лінії, де можливі завади, то його слід підключати до лінії через буфер $D2$, яким може бути RS -тригер.

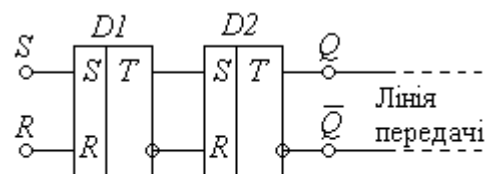


Рисунок 9.19 – Тригер $D1$ з буфером $D2$

Оскільки на входах буферного тригера завжди присутній або R -, або S -сигнал, то

цей тригер не може запам'ятовувати заваду, яка діє на виході Q або $\bar{Q}$. Після кінця дії завади буферний тригер обов'язково повертається в попередній стан.

При запусках будь-яких тригерів по входах R і S потрібно зауважити, що вони є *настановними* і тому мають пріоритет у своєму впливі на стан тригера при порівнянні з усіма іншими входами. Тобто входи R і S установлюють стан тригера в залежності від власних рівнів незалежно від сигналів, що діють у цей час на других входах, в тому числі і на синхровході C , коли він є. Отже входи R і S є *асинхронними*. Із закінченням дії асинхронного сигналу установлений ним стан тригера залишається до приходу фронту C -сигналу. За цим фронтом запускаються по C -входах тільки від занадто стрімких фронтів. Напруга ж завад тригера спрацює вже у відповідності з діючими рівнями на керуючих входах.

Переходячи до синхронних тригерів, слід зауважити, що вони, джерелом яких можуть бути контакти, тумблери, кнопки, реле, імпульсні сигнали різноманітних електронних схем, сигнали від інших цифрових приладів тощо, здебільшого відрізняється за своїми характеристиками від сигналів, які потрібні для запуску тригера. Це дає змогу шляхом формування сигналів зробити тригер нечутливим до завад.

Перш за все вхідний сигнал повинен мати полярність і амплітуду, які відповідають рівням сигналів означених елементів цифрового приладу. Ці умови легко виконати, якщо ввести відповідні подільники напруги або підсилювачі. Для взаємних переходів між типовими рівнями сигналів випускають спеціальні узгоджувачі.

Досить значними умовами є такі, що пред'являють вимоги до часових параметрів сигналів. Такими суттєвими вимогами є забезпечення *тривалості фронтів* вхідних сигналів та усунення впливу *дренькоти контактів*. Тут не обійти застосування формувачів.

Формувачі тривалості фронтів

Формувачі *тривалості фронтів* призначені для підвищення крутизни фронтів, тобто зменшення їхньої тривалості. Це необхідно, наприклад, для надійного запуску тригерів по входах синхронізації C , бо вхід C реагує на fronti лише тієї тривалості, яка не перевищує певного часу.

До тривалості фронтів критичні не тільки тригери, а й, наприклад, схеми збігу. Дійсно, якщо на двох входах схеми $2I$ діють відповідно два одиничні прямокутні імпульси з різними тривалостями фронтів, то на межі цих імпульсів з'явиться непередбачений логічний нуль на час, який дорівнює згаданій різниці тривалості фронтів. Це явище називають *змаганням фронтів* або *гонками*.

Отже, в багатьох випадках треба зменшити тривалість фронтів (зрізів).

Взагалі, за цілою низкою обставин крутизну фронтів вхідних імпульсів необхідно мати близькою до необхідної.

Для перетворення пологих фронтів на круті найчастіше використовують *тригер Шмітта*.

Тригер Шмітта – це несиметричний тригер, який є пороговим пристроєм. Він змінює свою вихідну напругу стрибком, коли вхідна напруга досягає заданого порогу. Тому він використовується для формування з вхідної напруги,

яка змінюється повільно, прямокутних імпульсів вихідної напруги з крутими фронтами.

Умовне позначення тригера Шмітта показано на рис. 9.20,а, а його типова передавальна характеристика $U_{\text{вих}} = f(U_{\text{вх}})$ – на рис. 9.20,б.

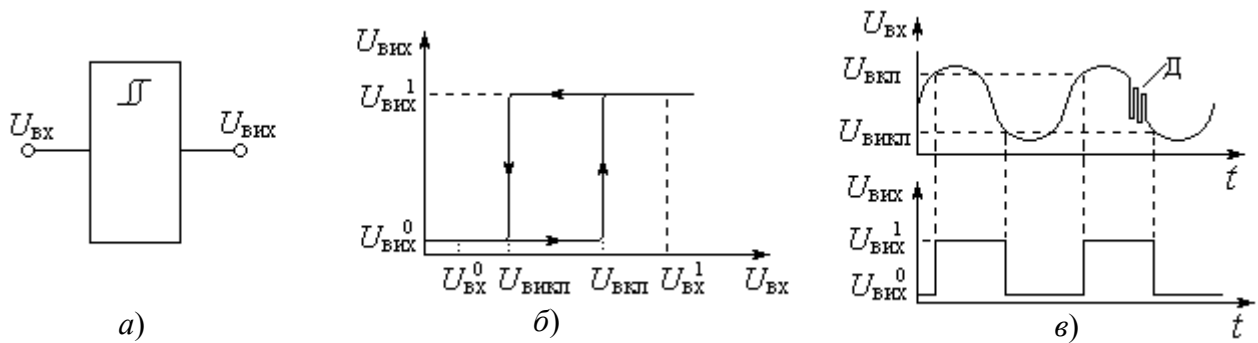


Рисунок 9.20 – Тригер Шмітта:

а) умовне позначення; б) передавальна характеристика; в) діаграма роботи

Основною властивістю тригера Шмітта є наявність двох *рознесених* порогів: верхній поріг включення $U_{\text{вкл}}$ та нижній поріг виключення $U_{\text{викл}}$ (рис. 9.20,б; 9.20,в).

Коли вхідна напруга $U_{\text{вх}}$ перевищить верхній поріг $U_{\text{вкл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком підвищується до рівня логічної одиниці $U_{\text{вих}}^1$. Коли ж $U_{\text{вх}}$ стане менше нижнього порогу $U_{\text{викл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком зменшиться від $U_{\text{вих}}^1$ до рівня логічного нуля $U_{\text{вих}}^0$.

Отже, прямокутна передавальна характеристика тригера Шмітта дозволяє використовувати його за формувач прямокутної вихідної напруги з повільної вхідної.

Слід зауважити, що переходи тригера з одного сталого стану в інший відбуваються за різних значень вхідної напруги $U_{\text{вкл}}$ та $U_{\text{викл}}$. Різниця напруг порогів включення та виключення називається *гістерезисом переключення*.

Гістерезис захищає тригер від дренькоту Д (рис. 9.20,в), а також від повторного спрацьовування, коли на вхідний сигнал накладені височастотні шуми (в межах гістерезису).

Щодо схеми тригера Шмітта, то одна з них показана на рис. 9.21.

Вона побудована на операційному підсилювачі А, який охоплений від'ємним зворотним зв'язком (ЗЗ) (резистори R_3, R_1) для отримання необхідного вихідного рівня, та додатним ЗЗ (резистори R_4, R_2) для забезпечення гістерезису. Пороги включення та виключення устанавлюється напругою $U_{\text{вкл}}$.

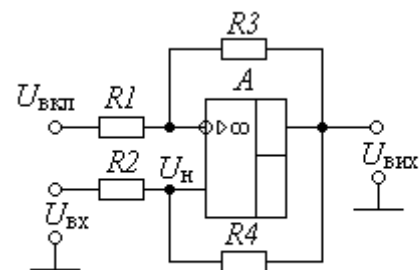


Рисунок 9.21 – Тригер Шмітта

Тригер працює наступним чином.

У початковому стані при $U_{\text{вх}} = 0$ вихідна напруга теж нульова $U_{\text{вих}} = U_{\text{вих}}^0$ (див. рис. 9.20,б).

З повільним підвищенням вхідної напруги $U_{\text{вх}}$ тригер залишається в цьому нульовому стані доки $U_{\text{вх}}$ не перевищить поріг включення $U_{\text{вкл}}$.

При $U_{\text{вх}} > U_{\text{вкл}}$ вихідна напруга, завдяки додатному ЗЗ, стрибком змінюється на одиничну $U_{\text{вих}} = U_{\text{вих}}^1$, формуючи *крутий фронт*, не зважаючи на *повільну* вхідну напругу. Подальше збільшення $U_{\text{вх}}$ не впливає на вихідну напругу, залишаючи її одиничною $U_{\text{вих}}^1$. Вихідна одинична напруга $U_{\text{вих}}^1$ підвищує потенціал неінвертуючого входу $U_{\text{н}}$. Це підвищення $U_{\text{н}}$ підтримує тригер в одиничному стані навіть коли $U_{\text{вх}}$ стане менше за поріг $U_{\text{вкл}}$, бо при підвищеному $U_{\text{н}}$ зменшується поріг до $U_{\text{викл}}$.

Коли вхідна напруга зменшиться до $U_{\text{вх}} < U_{\text{викл}}$, то вихідна напруга стрибком змінюється на нульову, збільшуючи при цьому поріг включення до $U_{\text{вкл}}$.

Таким чином, тригер Шмітта формує прямокутну вихідну напругу з повільної вхідної. Ширина петлі гістерезису $U_{\text{викл}} - U_{\text{вкл}}$ визначається співвідношенням опорів R_4, R_2 . Збільшення R_4 звужує петлю гістерезису $U_{\text{викл}} - U_{\text{вкл}}$.

Щодо застосування тригера Шмітта, то воно досить широке, але зводиться до необхідності формування прямокутної напруги, придушення дренькоту та завад у межах гістерезису.

Одним із прикладів застосування тригера Шмітта є запуск будь-якого тригера по синхровходу від зовнішнього джерела сигналу (рис. 9.22).

Сигнал від джерела U_c на трасі набуває завад і втрати крутизни фронтів, через що надійний запуск послідовнісного пристрою по синхровходу стає неможливим. Тому слід мати за правило, що будь-який послідовнісний пристрій має запускатися по синхровходу тільки від місцевого тригера. Таким місцевим тригером і є тригер Шмітта $D1$, через який запускається по синхровходу C тригер $D2$ (рис. 9.22).

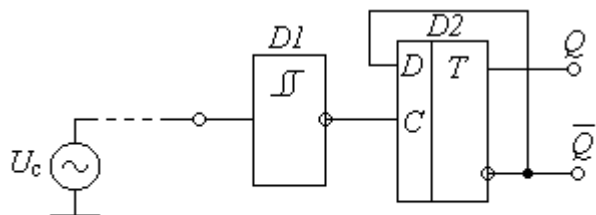


Рисунок 9.22 – Запуск D -тригера від віддаленого джерела сигналу

Тригери Шмітта використовують і в інших схемах для надійної роботи приладів, особливо при надходженні вхідного сигналу від зовнішніх приладів, або від іншої плати.

Методи боротьби з дренькотом контактів

Дренькотом контактів називають процес вібрації контактів, які викликають удари при вмиканні. Після першого доторкання контакт розмикається, після чого знов замикається і так декілька разів.

Дренькіт спостерігається у будь-яких контактів: реле, тумблерів, кнопок. Частота комутації дренькоту лежить в межах 100 Гц ... 10 кГц. Якщо пристрій запускається від згаданих контактів, то на такі повторювання він може реагувати як на окремі вхідні сигнали. Наприклад, додаток одиниці у лічильник може повторюватися декілька разів.

Ліквідувати вплив дренькоту контактів можна за допомогою тригера Шмітта (рис. 9.22).

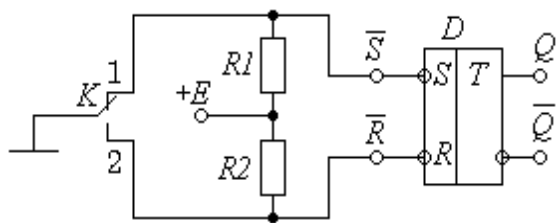


Рисунок 9.23 – Схема захисту від дренькоти контактів

Якщо контакт перекидаючий, то доцільно використати $\overline{R}\overline{S}$ -тригер (рис. 9.23).

При спрацьовуванні реле рухомий контакт K починає рухатися від контакту 1 до контакту 2. За час цього руху на обох входах тригера резистори $R1$ та $R2$ підтримують високі рівні, через що тригер зберігає попередній стан, в якому він був до початку руху контакту.

При першому доторканні точки 2 тригер, інерційність якого на порядок менша за контакт, перекидається в новий стан. Відрив контакту при дренькоті не перекидає тригер назад, бо потенціали входів $\overline{S}$ і $\overline{R}$ залишаються одиничними, зберігаючи стан тригера.

9.2. Завдання для розрахунку

1. Дайте умовне позначення заданого тригера.
2. Дайте схему заданого тригера на логічних елементах.
3. Побудуйте в масштабі часову діаграму роботи заданого тригера.

9.3. Вихідні дані

Вибір тригера здійснюється за цифрами M та N залікової книжки:

- 1) якщо $MN = 00...25$, необхідно виконати завдання для D-тригера з рахунковим запуском;
- 2) якщо $MN = 26...50$ необхідно виконати завдання для D-тригера з роздільним запуском;
- 3) якщо $MN = 51...75$, необхідно виконати завдання синхронного RS-тригера;
- 4) якщо $MN = 76...00$, необхідно виконати завдання асинхронного RS-тригера.

9.4. Контрольні запитання

1. Поясніть, що є тригером.
2. Який тригер називається синхронним, а який – асинхронним?
3. Які входи тригера є інформаційними та керуючими?
4. Що являє собою RS-тригер, та на яких елементах його можна реалізувати?
5. Що являє собою D-тригер, та на яких елементах його можна реалізувати?
6. Поясніть роздільний запуск D-тригера.
7. Поясніть запуск D-тригера.

9.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 324-343.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 239-250.

Тема 10. ПОСЛІДОВНІСНІ ПРИБОРИ. ЛІЧІЛЬНИКИ ІМПУЛЬСІВ. ДВІЙКОВІ ЛІЧІЛЬНИКИ

10.1. Ключові положення

Лічильники

Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку лічильником є пристрій, який може переходити з одного стану в інші під дією входних імпульсів, які належить лічити. З надходженням входних імпульсів лічильник перебирає свої стани у визначеному для даної схеми порядку. Тому, якщо лічильник має лічити до 10 імпульсів, то він повинен мати 10 різноманітних станів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

Лічильники з кінцевим станом називають лічильниками з насиченням. Такі лічильники, наприклад, зручні для ініціалізації деяких подій після надходження на вхід лічильника певної кількості імпульсів. Природно, у таких лічильниках потрібно передбачити засіб скидання лічильника, якщо лічильник повинен працювати багаторазово. Якщо в лічильниках циклічно повторюється послідовність станів, то такі пристрої називають лічильниками за модулем. Термін модуль використовується лише для позначення числа різних станів у лічильній послідовності.

Параметри лічильників

Число станів є основним параметром лічильника і носить назву *коефіцієнта перерахунку* K_n або *модуля лічби* M .

Найпростішим лічильником є тригер з лічильним входом, який виконує лічбу імпульсів за модулем $M = 2$, тобто він має два стани 0 та 1, які змінюються по чергові під дією входних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (10.1)$$

де m – число двійкових розрядів лічильника.

Отже, модуль лічби визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його *місткістю*

$$K = M - 1, \quad (10.2)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

Класифікація лічильників

Різноразрядність типів лічильників дозволяє будувати їхні схеми на синхронних та асинхронних тригерах RS -; D -; JK -типів, на регістрах, на кінцевих схемах тощо. У цифрових пристроях використовується значне число

типів лічильників, які відрізняються цілою низкою параметрів. Найбільш значного поширення набули лічильники, що побудовані на синхронних тригерах різних типів.

Для заданого модуля лічби M кількість тригерів, яка необхідна для побудови лічильників, визначається з умови найближчого більшого цілого числа формулою

$$m = \text{int} [\log_2 M]. \quad (10.3)$$

Залежно від модуля лічби M лічильники бувають *двійковими* (за модулем $M = 2^m$) і з *довільним модулем* ($M \neq 2^m$), в яких число m округлене до більшого цілого числа. За цією класифікаційною ознакою лічильники можуть працювати у двійковому та іншому кодах. Назву лічильникам, як правило, дають за видом кодування його станів, тобто за кодом, в якому працює лічильник.

За цільовим призначенням лічильники поділяють на три типи:

- підсумовувальні лічильники;
- віднімальні лічильники;
- реверсивні лічильники.

У *підсумовувальному лічильнику* з кожним вхідним імпульсом число, що містить лічильник, *зростає на одиницю*, а у *віднімальному* – *зменшується на одиницю*. Отже, підсумовувальний лічильник виконує прямий, а віднімальний – обернений підрахунок числа одиниць, що надійшли до його входу.

Реверсивні лічильники працюють в режимі або прямої, або оберненої лічби.

За способом установалення стану розрядів лічильники підрозділяються на *синхронні* та *асинхронні*.

До синхронних лічильників відносяться такі, в яких процес установалення будь-якого нового стану розрядів виконується одночасно в усіх розрядах лічильника. В асинхронних лічильниках стани розрядів установаються не одночасно, а послідовно.

За способом утворення сигналів переносу, лічильники поділяються на три групи: з *послідовним*, *паралельним* та *послідовно-паралельним переносом*. За цією ознакою лічильники відрізняються способами подачі вхідних імпульсів.

У послідовному лічильнику вхідні імпульси подаються тільки на вхід першого тригера, а у паралельному – одночасно на синхровходи тригерів усіх розрядів. Різновидом паралельних лічильників є кільцеві лічильники, що будуються на базі регістрів зсуву.

Послідовно-паралельні лічильники будують за принципом послідовного з'єднання кількох паралельних лічильників.

Одним з основних часових параметрів лічильника є роздільна здатність та час реєстрації. Ці параметри характеризують швидкодію лічильників.

Роздільна здатність лічильників – це мінімальний період надходження вхідних імпульсів, за якого забезпечується надійна робота лічильника.

Час реєстрації – це максимальний часовий інтервал між моментами закінчення подачі вхідного імпульсу та моментом установалення числа на виходах розрядів лічильника.

Послідовні двійкові лічильники

Послідовні лічильники будуються, як правило, на базі декількох тригерів, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з'єднання тригерів виконується таким чином, що вихід тригера i -го розряду підключається безпосередньо до лічильного входу наступного тригера $i + 1$.

Послідовні лічильники відносяться до класу асинхронних, бо стани розрядів в таких пристроях установлюються послідовно після приходу чергового фронту чи зрізу синхроімпульсу C . Послідовні лічильники будуються на базі D - або JK -тригерів.

На рис. 10.1 показана схема послідовного підсумовувального лічильника, розрядні тригери якого виконані на базі синхронних D -тригерів, працюючих у лічильному режимі.

Тут C – лічильний вхід; R – вхід скиду лічильника;

P – вихід переповнення лічильника.

Лічильний режим роботи тригерів забезпечується з'єднанням інформаційного D -входу з інверсним виходом власного тригера.

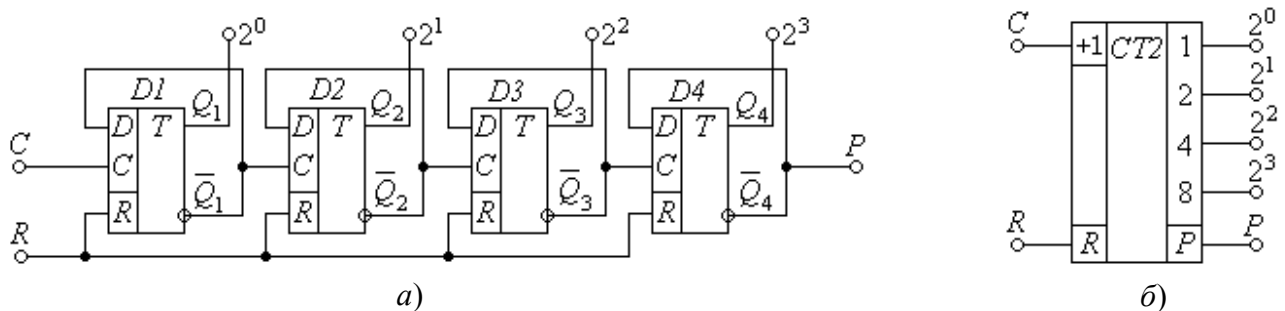


Рисунок 10.1 – Послідовний підсумовувальний лічильник:

а) схема; б) умовне позначення

Тригери, що входять до складу лічильників, повинні мати входи скиду R , які з'єднуються між собою, й утворюють вхід скиду лічильника R . Перед початком роботи або за необхідності на вхід скиду подається одиничний імпульс, за допомогою якого всі тригери скидаються, після чого треба забезпечити наявність на цьому вході нульового потенціалу.

Кожний тригер лічильника є двійковим розрядом, який характеризується так званим *ваговим* коефіцієнтом. Ваговий коефіцієнт визначається як 2^{n-1} , де n – порядковий номер тригера (розряду).

Так, перший тригер має ваговий коефіцієнт $2^0 = 1$, другий тригер з ваговим коефіцієнтом $2^1 = 2$, третій тригер має ваговий коефіцієнт $2^2 = 4$, четвертий $2^3 = 8$ тощо.

Вхід C першого тригера носить назву *підсумовувального входу* лічильника. Принцип дії підсумовувального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 10.2 за умови, що наступний тригер запускається фронтом інверсного виходу $\bar{Q}$ попереднього тригера.

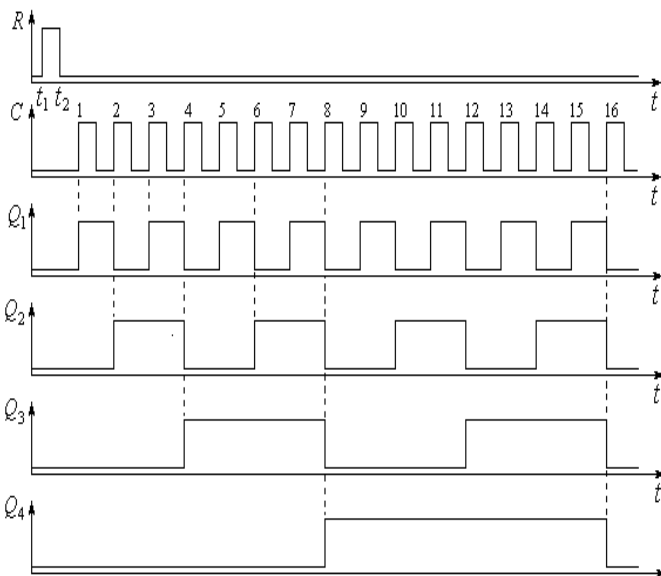


Рисунок 10.2 – Часова діаграма роботи 4-розрядного підсумовувального лічильника

Підсумовувальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подаванням на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються. Вміст лічильника дорівнює нулю (табл. 10.1).

Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер $D1$, який є самим молодшим розрядом лічильника. На його виході Q_1 з'являється 1, а потенціал на інверсному виході $\overline{Q}_1$ змінюється з 1 на 0, тобто формується зріз. Тому стан тригера $D2$ не змінюється, бо тригер спрацьовує від фронту. На виходах лічильника Q_1, Q_2, Q_3 і Q_4 фіксується число 0001.

Другий вхідний імпульс своїм фронтом 2 скидає тригер $D1$. На виході $\overline{Q}_1$ тригера $D1$ з'являється 1, яка є так званим імпульсом переносу. При цьому фронт $\overline{Q}_1$ встановлює тригер $D2$. На виходах лічильника з'являється число 0010.

Фронт третього імпульсу встановлює перший тригер $D1$, не змінюючи при цьому одиничний стан другого тригера $D2$, тобто вміст лічильника дорівнює числу 0011.

З приходом четвертого імпульсу переходять у стан нуля обидва тригери $D1$ та $D2$, а виникаючий при цьому імпульс переносу $\overline{Q}_2$ встановлює тригер $D3$. Отже на виходах лічильника з'явиться число 0100.

Таблиця 10.1 – Стани 4-розрядного підсумовувального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

Заповнення розрядів лічильника з кожним імпульсом буде продовжуватися доти, поки лічильник не відряхує максимальне число 1111 на п'ятнадцятому імпульсі, що надходить на вхід C першого тригера $D1$. При цьому всі тригери є встановленими.

Шістнадцятий імпульс переводить своїм фронтом тригер $D1$ у нульовий стан, а імпульси переносу $\bar{Q}_1$, $\bar{Q}_2$ та $\bar{Q}_3$ скидають тригери $D2$, $D3$ та $D4$, повертаючи лічильник у початковий стан 0000.

При поверненні тригера $D4$ у нульовий стан 16-м імпульсом на виході $\bar{Q}_4$ виникає так званий імпульс переповнення P , який призначений для встановлення наступного розряду $D5$ (якщо він є) число 10000, тобто 16, що фіксується лічильником.

З надходженням кожного входного імпульсу на підсумовувальний вхід лічильника його вміст збільшується на одиницю, як показано в таблиці станів (табл. 10.1). За напрямом лічби лічильники бувають як *підсумовувальними*, так і *віднімальними*. Зміна напрямку лічби на протилежний називається *реверсом* лічби.

На рис. 10.3 показана схема віднімального 4-розрядного двійкового лічильника.

Порівнюючи рис. 10.2 з 10.3, переконуємося в тому, що схема віднімального лічильника (рис. 10.4) відрізняється від підсумовувального лише тим, що запуск наступного тригера здійснюється не з інверсного виходу $\bar{Q}_i$ попереднього тригера, а з прямого Q_i .

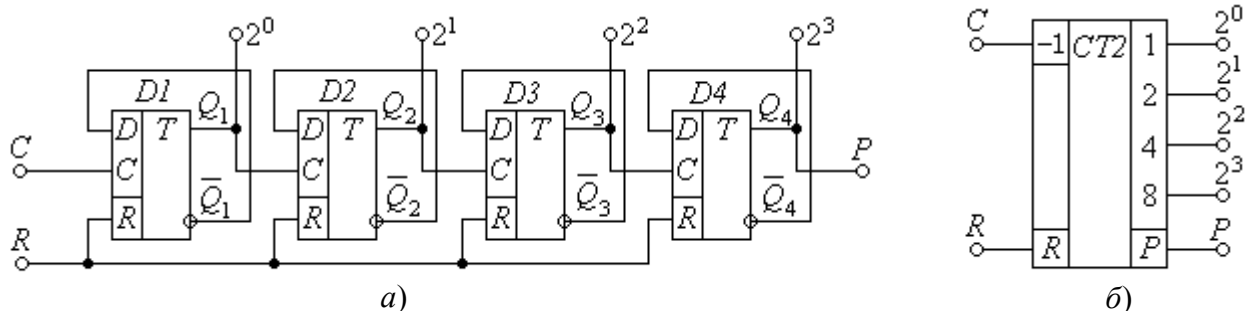


Рисунок 10.3 – Послідовний віднімальний лічильник:
а) схема; б) умовне позначення

Принцип дії віднімального лічильника ілюструє часова діаграма його роботи, яка показана на рис. 10.4.

Віднімальний лічильник працює наступним чином.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються.

Лише після скінчення імпульсу скиду t_2 можна починати лічбу, тобто подавати імпульси C .

З приходом першого фронту імпульсу лічби 1 встановлюється перший тригер $D1$, який є самим молодшим розрядом лічильника.

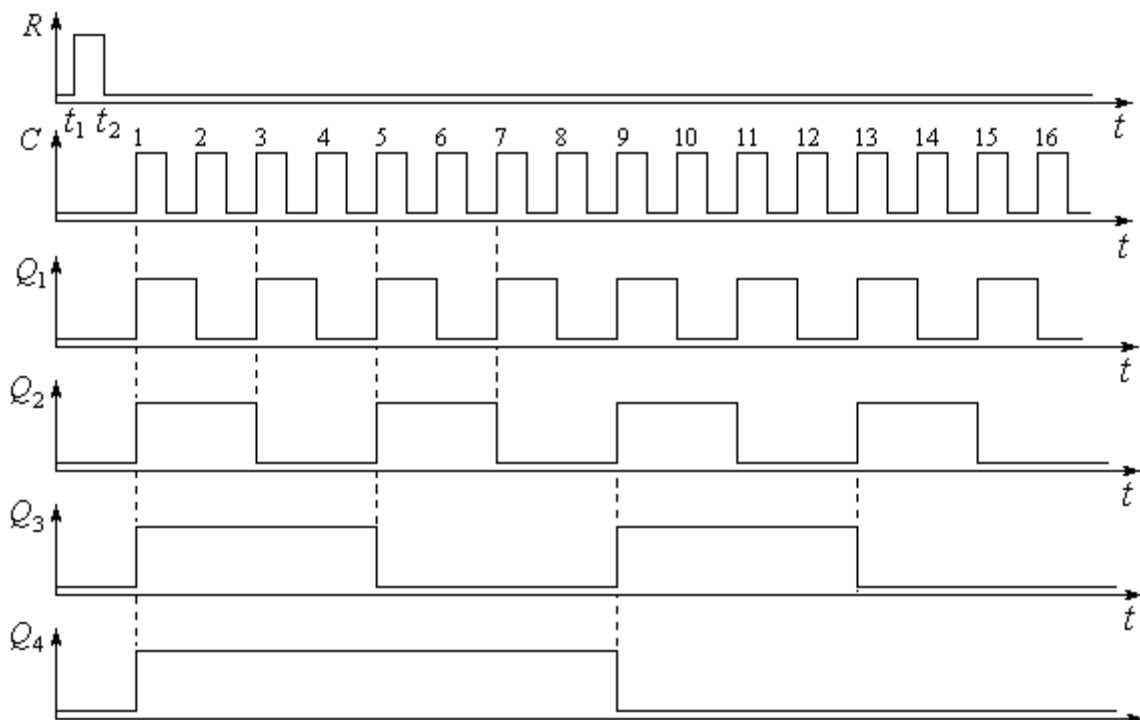


Рисунок 10.4 – Часова діаграма роботи 4-розрядного віднімального лічильника

З встановленням тригера $D1$ на його прямому виході Q_1 з'являється фронт, яким встановлюється наступний тригер $D2$. Одночасно фронт виходу Q_2 встановлює тригер $D3$ і в цей самий момент надходження першого імпульсу фронтом Q_3 встановлюється четвертий тригер $D4$.

Таблиця 10.2 – Стани 4-розрядного віднімального лічильника

Таким чином, у віднімальному лічильнику з надходженням першого імпульсу встановлюються *всі* тригери (у нашому випадку – чотири). Вміст лічильника становить 1111, тобто 15. Так, з урахуванням позичення двійкового числа 10000 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Походження числа 15 пояснюється математичною дією $16 - 1 = 15$, де 16 – число, яке позичене з наступного розряду з ваговим коефіцієнтом $2^5 = 16$.

Далі з кожним черговим входнім імпульсом вміст лічильника зменшується на одиницю (табл. 10.2).

Другий входній імпульс C скине перший тригер $D1$. Інші тригери не спрацюють, бо на виході Q_1 зріз. Вміст лічильника становить 1110, тобто $16 - 2 = 14$.

Номер вхідного імпульсу	Виходи				Число в лічиль- нику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

Вхідний імпульс 3 встановить тригер $D1$, фронт виходу Q_1 якого скине тригер $D2$. Інші тригери не спрацюють, бо на виході Q_2 зріз. У лічильнику залишиться число 1101, тобто $16 - 3 = 13$ і т.д.

З кожним вхідним імпульсом C вміст лічильника зменшується на одиницю.

Після 15 імпульсу C у лічильнику залишиться встановлений лише перший тригер $D1$. Вміст лічильника становить 0001.

16 імпульс скидає тригер $D1$, після чого лічильник обнуляється, а імпульс переповнення P передається в наступний розряд.

Для підвищення завадостійкості послідовних лічильників їх виконують на двотактових тригерах MS -типів.

На рис. 10.5 показана схема підсумовувального лічильника за модулем 16, який побудований на чотирьох двоступеневих JK -тригерах, тобто на тригерах MS -типу.

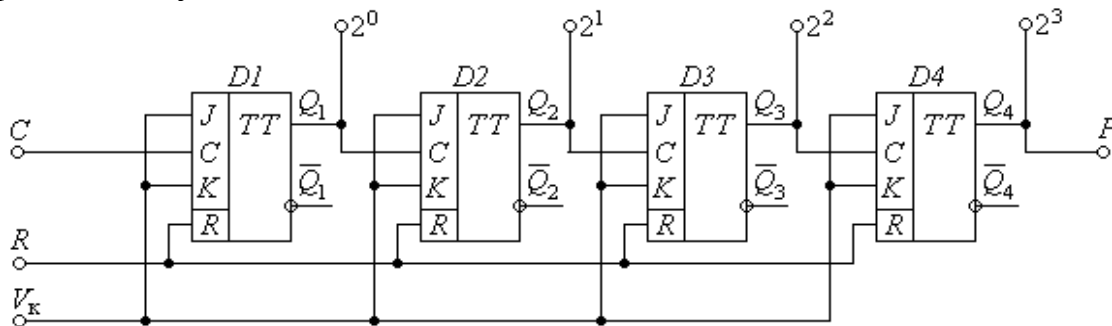


Рисунок 10.5 – Підсумовувальний лічильник на JK -тригерах

Тут C – вхід лічильника; R – вхід скиду лічильника;

V_k – керуючий вхід; P – вихід переповнення.

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника запертий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає.

Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба лічити.

Роботу лічильника пояснюють часова діаграма (рис. 10.6) і таблиця станів (див. табл. 10.1).

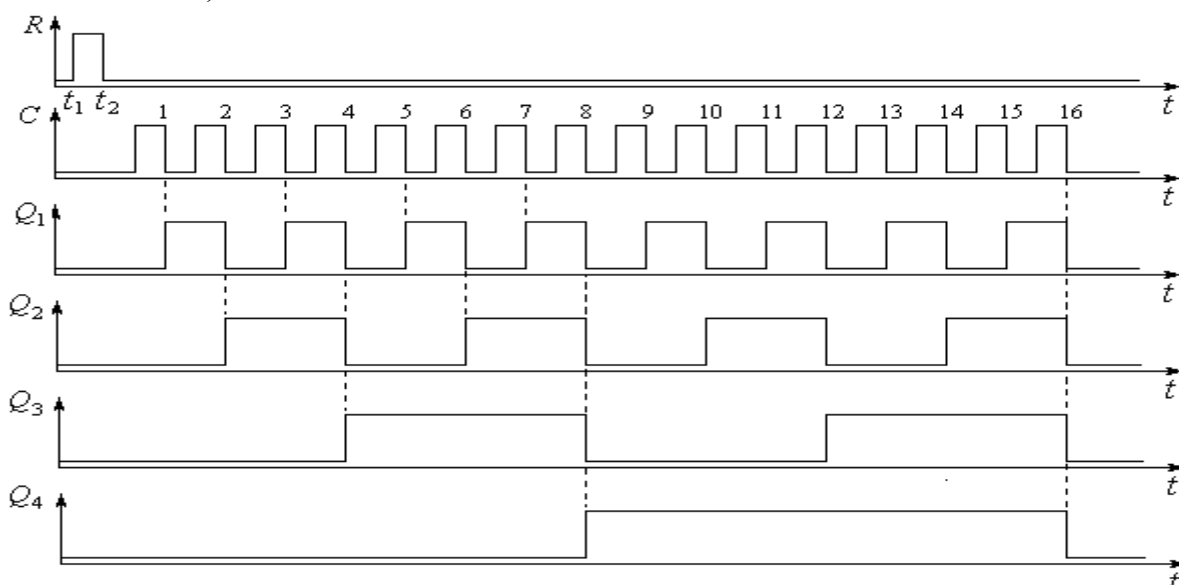


Рисунок 10.6 – Часова діаграма роботи підсумовувального лічильника на JK -тригерах

Діаграма роботи побудована за тих умов, що двоступеневий тригер *MS*-типу встановлюється в одиничний стан у два етапи, тобто з приходом фронту синхроімпульсу встановлюється його ведучий тригер *M*, а від зрізу того ж імпульсу спрацьовує ведений тригер *S*. Тому в цілому *MS*-тригер запускається від зрізу.

Лічильник працює наступним чином.

У нульовий стан, в якому $Q_1 = 0$, $Q_2 = 0$, $Q_3 = 0$, $Q_4 = 0$ лічильник скидається по входу *R* (інтервал моментів $t_1 \dots t_2$).

З приходом фронту імпульсу *C* вихідний рівень Q_1 тригера *D1* не змінюється, бо фронтом запускається (встановлюється або скидається) лише ведучий тригер *M*, а ведений тригер *S* спрацьовує теж від фронту, але він надходить лише після закінчення імпульсу, тобто в цілому перший тригер, як і решта тригерів, запускається від зрізу. Тому надалі розглядається запуск будь-якого тригера від зрізу на його вході *C*.

Після закінчення першого імпульсу, тобто з надходженням його зрізу 1, на виході $Q_1 = 1$, тобто фронт. Тому тригер *D2* залишається в попередньому стані. Вміст лічильника становить 0001, тобто 1. Так фіксується надходження на вхід лічильника одного імпульсу.

З надходженням імпульсу 2 зрізом *C* скидається перший тригер *D1*. На виході Q_1 є зріз, через що встановлюється тригер *D2*. Вміст лічильника становить 0010, тобто 2. Так фіксується надходження на вхід лічильника двох імпульсів і т.д. З кожним зрізом на вході *C* лічильника його вміст збільшується на одиницю.

Після надходження зрізу 15 встановлені всі тригери. Вміст лічильника дорівнює 1111, тобто 15.

Зріз 16 скидає перший тригер *D1*. На виході Q_1 зріз, через що скидається тригер *D2*. Зрізом Q_2 скидається тригер *D3*, а виходом Q_3 скидається тригер *D4*. Так 16 імпульс скидає всі чотири тригери і через вихід Q_4 передає одиницю *P* до наступного розряду $2^5 = 16$. З урахуванням розряду 2^5 число в лічильнику дорівнює 10000, тобто 16. Якщо тригера п'ятого розряду немає, то число в лічильнику після 16 імпульсу становить 0000. Так фіксується надходження на вхід лічильника 16 імпульсів.

Послідовні віднімальні лічильники будуються за такими самими схемами, але при з'єднанні розрядів використовуються інверсні виходи попередніх тригерів (рис. 10.7).

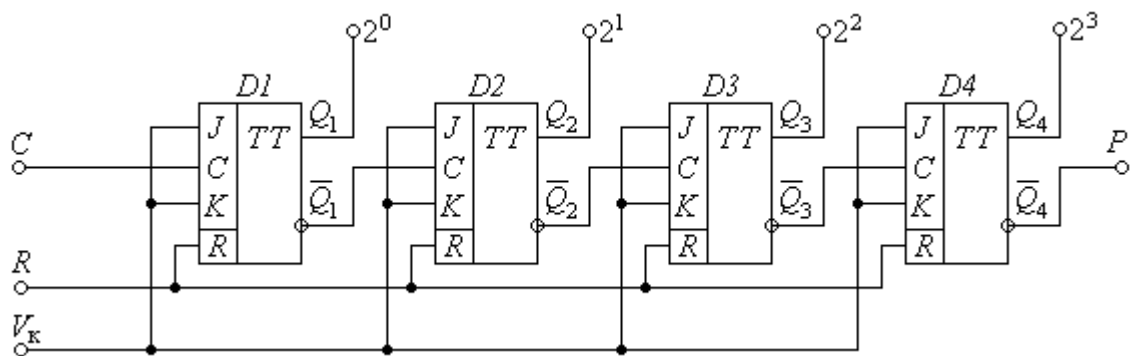


Рисунок 10.7 – Віднімальний лічильник на *JK*-тригерах

За такої комутації виходів імпульси переносу від розряду до розряду будуть утворюватися при переході відповідального тригеру зі стану 0 у стан 1.

Роботу віднімального послідовного лічильника ілюструють часова діаграма, яка показана на рис. 10.8, та таблиця станів (див. табл. 10.2).

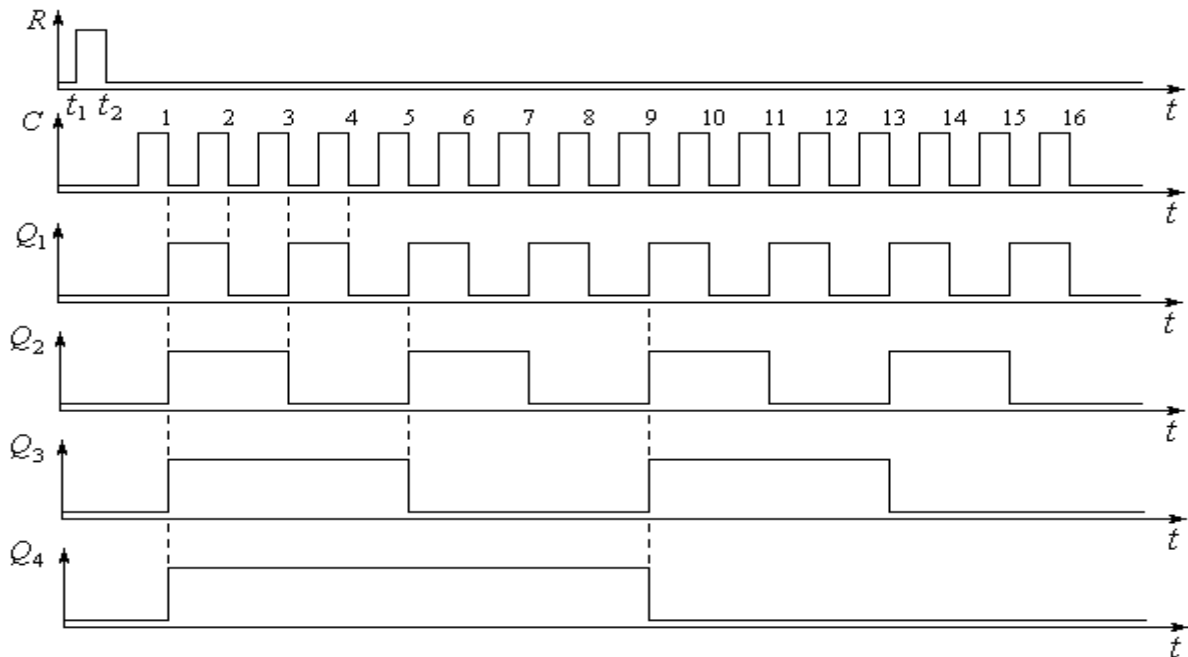


Рисунок 10.8 – Часова діаграма роботи віднімального лічильника на JK-тригерах

Початковий стан віднімального лічильника визначається вихідним числом 0000, яке забезпечується скидом лічильника в нульовий стан по входу R в інтервалі моментів $t_1 \dots t_2$.

З приходом першого імпульсу на вхід C лічильника встановлюється перший тригер $D1$. На його виході $Q_1 = 1$, тобто фронт. Тоді на виході $\overline{Q}_1$ зріз, яким встановлюється другий тригер $D2$.

При цьому зрізом $\overline{Q}_2$ встановлюється третій тригер $D3$, а зрізом $\overline{Q}_3$ встановлюється четвертий тригер $D4$.

Таким чином, після надходження першого імпульсу на вхід C віднімального лічильника встановлюються *всі* його тригери. При цьому всі прямі виходи тригерів, Q_1, Q_2, Q_3, Q_4 будуть одиничними.

Так, з урахуванням позички 16 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Другий імпульс на вході C скине перший тригер $D1$, на інверсному виході $\overline{Q}_1$ якого створюється фронт, яким другий тригер $D2$ не запускається. Тому всі тригери, крім першого, залишаються в одиничному стані: $Q_1 = 0$; $Q_2 = 1$; $Q_3 = 1$; $Q_4 = 1$. Так виконується операція віднімання двійкових чисел $1111 - 0001 = 1110$, тобто $16 - 2 = 14$ і т.д.

З кожним вхідним імпульсом вміст лічильника зменшується на одиницю, тобто здійснюється віднімання.

Після п'ятнадцятого імпульсу стан лічильника буде $Q_1 = 1$; $Q_2 = 0$; $Q_3 = 0$; $Q_4 = 0$ і вміст лічильника дорівнюватиме 0001.

Шістнадцятий імпульс скидає перший тригер $D1$, повертаючи лічильник у початковий стан: $Q_1 = 0$; $Q_2 = 0$; $Q_3 = 0$; $Q_4 = 0$.

Таким чином, на виходах віднімального лічильника буде фіксуватися число в оберненому коді, як показано в таблиці станів (табл. 10.2).

Якщо треба відзначити максимальне число станів, то використовується назва лічильника за модулем $M = 2^4 = 16$.

10.2. Завдання для розрахунку

1. Розробіть схему двійкового чотирирозрядного лічильника на D-тригерах.
2. Дайте часову діаграму роботи лічильника.
3. Дайте таблицю станів розрядів лічильника.
4. Наведіть умовне позначення лічильника та вкажіть потенціали лог. 1 та лог. 0 на його входах, якщо на вхід +1 або -1 надходить кількість імпульсів, що дорівнює M , де M – передостання цифра номера залікової книжки.

10.3. Вихідні дані

1. Якщо остання цифра номера залікової книжки N *парна*, то розробляється підсумовуючий лічильник (0-парна цифра).
2. Якщо остання цифра номера залікової книжки N *непарна*, то розробляється віднімальний лічильник.

10.4. Контрольні запитання

1. Що називається модулем рахунку?
2. Як визначити кількість розрядів лічильника?
3. Який лічильник називається підсумовуючим?
4. Який лічильник називається віднімальним?
5. Який лічильник називається реверсивним?
6. Поясніть роботу підсумовуючого лічильника на D-тригерах.
7. Поясніть роботу віднімального лічильника на D-тригерах.
8. У режимі якого запуску використовуються D-тригери для розробки лічильників.

10.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 243-253.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 268-275.

Тема 11. ПОСЛІДОВНІСНІ ПРИСТРОЇ. ЛІЧИЛЬНИКИ ІМПУЛЬСІВ. ДВІЙКОВО-ДЕСЯТКОВІ ЛІЧИЛЬНИКИ

11.1. Ключові положення

Десяткові лічильники

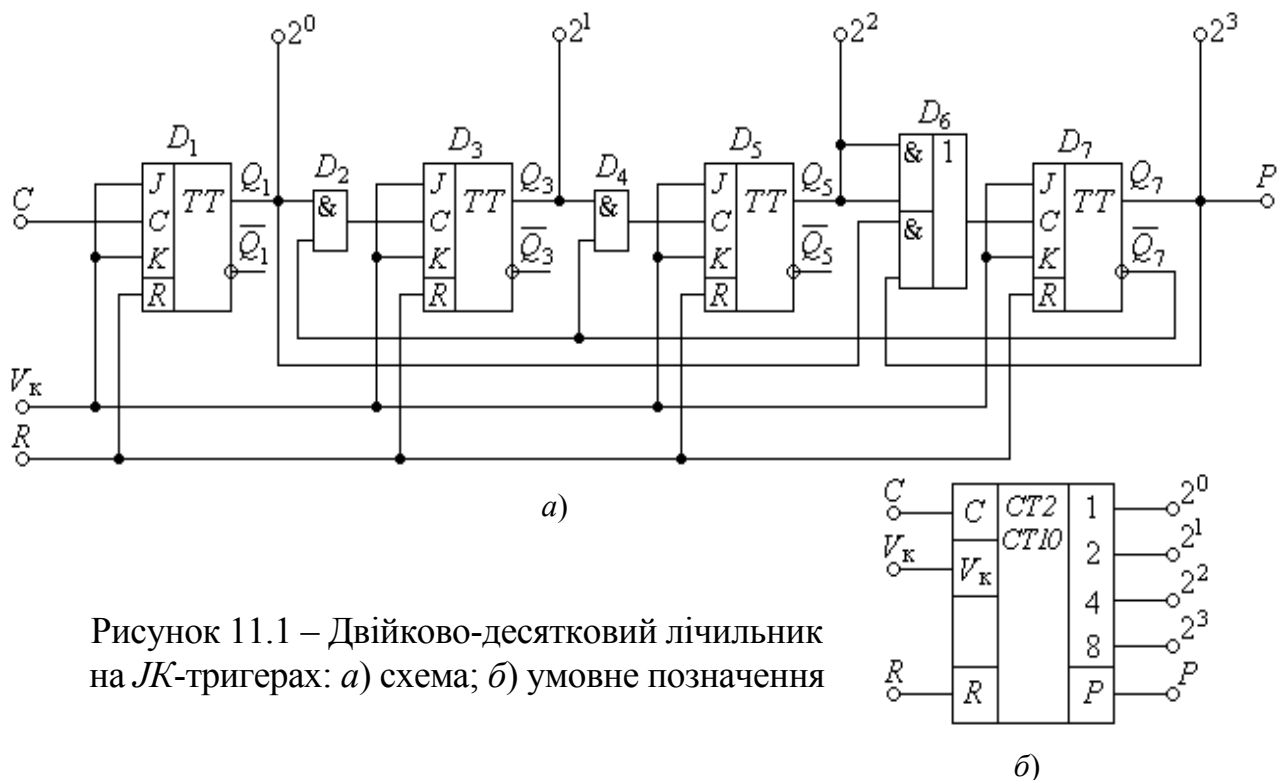
Десяткові лічильники використовуються частіше у тих випадках, коли з машиною спілкується людина, бо людина звикла до десяткової системи числення.

Десятковий лічильник з модулем $M = 10$ має чотири двійкові розряди і при появі на його виходах числа $1010_2 = 10_{10}$ він скидається в нуль.

Такий лічильник має невикористані надлишкові стани. Дійсно, для двійкового чотирирозрядного лічильника $M = 2^4 = 16$. Тоді число надлишкових станів визначається як $n = 16 - 10 = 6$.

Щоб позбутися цих надлишкових для десяткового лічильника станів, застосовують зворотні зв'язки між виходами останнього тригера лічильника і входами тригерів тих розрядів, які у двійковому коді складають число надлишкових станів, тобто у нашому прикладі $n = 6_{10} = 0110_2$. Отже, сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого і третього розрядів. У синхронних лічильниках такий принцип побудови внутрішніх зв'язків називається *блокуванням переносу*.

На рис. 11.1 показана схема асинхронного (послідовного) двійково-десяткового підсумовувального лічильника, який побудований на синхронних двоступеневих *JK*-тригерах.



Тут зворотний зв'язок здійснюють логічні елементи $D2, D4, D6$. Елементи $D2$ та $D4$ забороняють встановлення тригерів $D3$ та $D5$ після восьмого імпульсу,

а *D6* забороняє встановлення тригера *D7* до восьмого імпульсу.

Як видно з часової діаграми (рис. 11.2) і таблиці станів (табл. 11.1), підрахунок числа імпульсів до восьмого включно виконується в двійковому коді: 0000, 0001, 0010, ... , 1000.

Дійсно, доки тригер старшого розряду *D7* знаходиться у нульовому стані, на його виході $\overline{Q_7} = 1$. Це дає дозвіл на проходження імпульсів через логічні схеми 2І *D2* та *D4* з тригерів *D1* та *D3* відповідно на входи *C* тригерів *D3* та *D5*.

Після надходження восьмого імпульсу повертаються в нульовий стан тригери перших трьох розрядів *D1*, *D3* та *D5* і встановлюється тригер *D7*.

При встановленому тригері *D7* спрацьовування логічних елементів *D2* та *D4* заборонене подачею з виходу $\overline{Q_7}$ логічного нуля, але з'являється дозвіл на спрацьовування нижнього логічного елемента 2І-АБО *D6*.

Таблиця 11.1 – Стани тригерів двійково-десятькового лічильника

Число вхідних імпульсів	Виходи				Число в лічильнику
	Q_7	Q_5	Q_3	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

імпульсу лічильник починає працювати з початку. Роботу послідовного підсумовувального двійково-десятькового лічильника можна пояснити за допомогою станів тригерів (табл. 11.1).

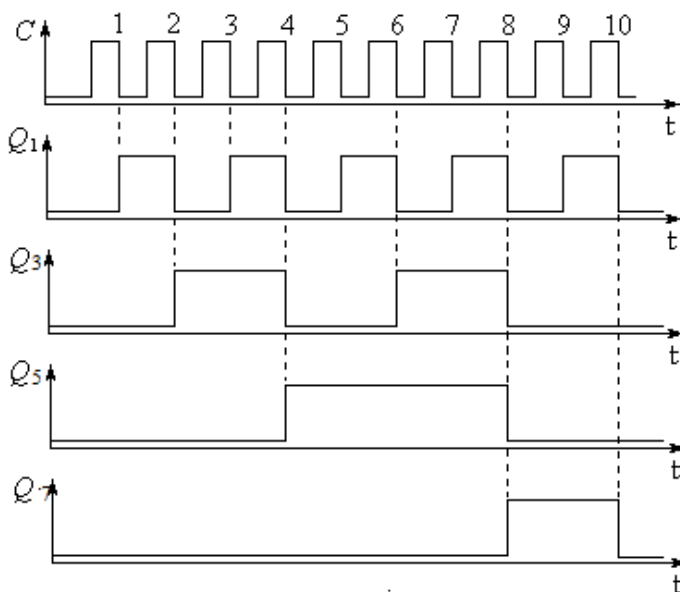


Рисунок 11.2 – Часова діаграма двійково-десятькового лічильника

Після дев'ятого імпульсу встановлюється тригер *D1*, який готує до проходу імпульсу скиду через схему *D6* на тригер *D7*.

Десятий лічильний імпульс скидає перший тригер *D1*, який скидає тригер *D7* у нульовий стан. При цьому тригери *D3* і *D5* свій стан не змінюють і таким чином усі тригери лічильника знаходяться в нульовому стані.

Імпульс переповнення лічильника з'являється після кожного десятого вхідного синхроімпульсу.

З приходом одинадцятого імпульсу лічильник починає працювати з початку. Роботу послідовного підсумовувального двійково-десятькового лічильника можна пояснити за допомогою станів тригерів (табл. 11.1).

У схемах лічильників передбачено вхід скидання R , завдяки якому можна скинути усі тригери в нульовий стан.

Збільшення розрядності лічильників. Подільники частоти

На практиці часто виникає необхідність використання модуля лічби понад 64. Це необхідно для лічильників великої місткості та дільників частоти з великим коефіцієнтом ділення.

Дійсно, лічильник з модулем лічби M одночасно є подільником частоти з таким же коефіцієнтом ділення M тому, що на виході останнього тригера лічильника сигнал буде мати частоту в M разів меншу за вхідну.

Проте промисловість випускає мікросхеми різноманітних лічильників, але з обмеженим модулем лічби. Їхній максимальний модуль лічби не перевищує $M = 64$.

Для збільшення модуля лічби стандартні лічильники з'єднують каскадно. Для каскадного з'єднання двох або більшого числа лічильників треба вибирати такі стандартні мікросхеми, які мають виходи переповнення P .

Коли на вхід лічильника надійде кількість імпульсів, яка дорівнює M , то на виході P з'являється імпульс переповнення, який передається в наступний лічильник. Так модуль лічби n каскадно з'єднаних лічильників дорівнює M^n .

На рис. 11.3 наведене каскадне з'єднання двох лічильників $D1$ та $D2$ з модулем лічби $M = 16$ кожного. Спільний модуль лічби становить $M_c = M^2 = 16^2 = 256$.

Схема працює наступним чином.

На 15-му імпульсі, що подається на вхід C першого лічильника $D1$, в ньому буде число 1111.

16-й імпульс повертає всі розряди $D1$ до нульового стану і формує імпульс переповнення на виході P , який використовується як вхідний імпульс другого лічильника $D2$. У лічильнику $D2$ буде число $1111 + 0001 = 10000_2 = 16_{10}$.

Таким чином, вхідний синхроімпульс для спрацювання другого лічильника виникає з кожним 16-им вхідним імпульсом.

Каскадне з'єднання також може бути подільником частоти. При цьому метою є не тільки збільшення модуля лічби. Наприклад, в цифрових годинниках основним елементом є подільник частоти на 60.

Для реалізації такого подільника потрібно послідовно з'єднати лічильник за модулем 10 та лічильник за модулем 6. Так виникає потреба в лічильниках з довільним модулем лічби.

Для цього випускаються стандартні інтегральні схеми лічильників, які мають входи D_n установлювання необхідного модуля лічби (коефіцієнта ділення).

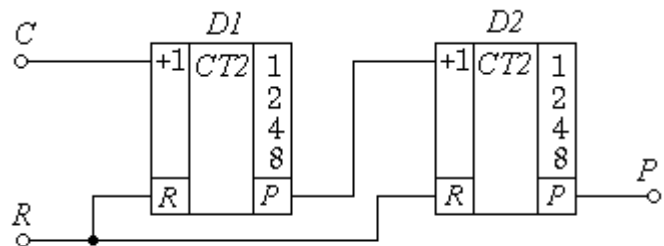


Рисунок 11.3 – Каскадне з'єднання лічильників

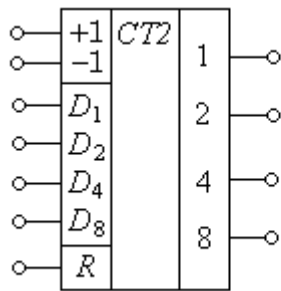


Рисунок 11.4 –
Умовне позначення
реверсивного
лічильника з
регульованим
модулем лічби

Умовне позначення таких лічильників показано на рис. 11.4.

Установлюючи на входах $D1$, $D2$, $D3$, $D4$ двійкове число, можна одержувати модуль лічби лічильника (коефіцієнта ділення подільника частоти) від 2 до 16 з дискретністю в одиницю. Щодо

серійних подільників частоти, то вони мають лише лічильний вхід та вихід переносу без виводів виходів тригерів лічильника.

11.2. Завдання для розрахунку

1. Визначте потрібну кількість двійкових лічильників для підрахунку заданого числа імпульсів.
2. Розробіть схему декадного з'єднання двійкових лічильників.
3. Вкажіть значення вихідних сигналів (лог. 0 або лог. 1) на умовному позначенні кожного лічильника у схемі при вступі на вхід (+1) першого лічильника заданого числа імпульсів.
4. Вкажіть на вході (+1) кожного лічильника у схемі кількість імпульсів, що надходять на цей вхід, при подачі на вхід першого лічильника заданого числа імпульсів.

11.3. Вихідні дані

1. Кількість імпульсів, що надходять на вхід лічильника, що розробляється, визначається за формулою: $N = 50 \cdot M + N$.

11.4. Контрольні запитання

1. Чому дорівнює модуль рахунку в десятковому лічильнику?
2. Яка кількість трьох тригерів необхідна для повного десяткового лічильника?
3. Як зробити збільшення розрядності лічильників?
4. Чому при каскадному з'єднанні лічильників використовуються лише однакові лічильники?
5. У якому разі формується імпульс переповнення на відповідному виході лічильника?

11.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 253-255, 263-264.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 278-279.

Тема 12. КОМБІНАЦІЙНІ ПРИСТРОЇ. ШИФРАТОР

12.1. Ключові положення

Комбінаційні пристрої – це автомати без пам'яті. В комбінаційних пристроях кожний символ на виході (логічний нуль або логічна одиниця) визначається станом входів тільки у цю мить і не залежить від того, які рівні діяли раніше, тобто комбінаційні пристрої не зберігають відомості про їхню минулу роботу.

До комбінаційних пристроїв належать логічні елементи з різними логічними та функціональними властивостями, починаючи від самих простих до самих складних. Здебільшого розповсюдження знайшли наступні:

- шифратори;
- дешифратори;
- перетворювачі кодів;
- арифметико-логічні пристрої;
- цифрові суматори;
- мультиплексори;
- демультимплексори;
- цифрові компаратори;
- програмовані логічні матриці;
- драйвери.

Шифратори

Шифратори, які ще називають *кодером*, і виконують перетворення (шифрування) алфавітно-цифрової або символної інформації, яку подано кодом “1 з n “, наприклад, десятковим у більш компактний код, наприклад, двійковий. Кодова комбінація на вході шифратора має тільки *один* активний стан однієї змінної x_i вхідного набору $\{x_1, x_2, \dots, x_{n-1}\}$. Вихід шифраторів, як правило, паралельний і складається з m розрядів. Число виходів m однозначно зв'язане з числом входів n . Якщо $n = 2^m$, тобто використаний повний набір вихідних і вихідних комбінацій, то такий шифратор називають *повним*. Наприклад, шифратор 8 – 3 є повним, бо він реалізує повний набір можливих комбінацій змінних x_i ($n = 8$) у повний вихідний набір y_i ($m = 3$), при цьому виконується рівність $2^3 = 8$.

У неповному шифраторі число входів n не відповідає числу всіх можливих вихідних комбінацій 2^m , причому завжди $n < 2^m$, що відповідно утворює певне число невикористаних вихідних наборів. Наприклад, шифратор 10 – 4, що використовується для кодування десяткового коду у двійково-десятковий код 8-4-2-1, є неповним, бо з можливого числа комбінацій $2^4 = 16$ використовується лише 10, а саме (0 – 9).

Шифратори поділяються на *прості* та *пріоритетні*.

Прості шифратори реалізують обов'язкову відповідність m -розрядного числа від тільки одного активного входу. Вони не допускають одночасної активізації декількох входів, що може мати місце, наприклад, при натисканні декількох клавіш на клавіатурі, яка підключена до входу шифратора. Щоб шифратор реагував тільки на один активний вхід навіть при кількох активних входах, його схему будують за пріоритетним принципом.

Пріоритетний принцип побудови шифратора дозволяє одночасно активізувати декілька входів. Реакція шифратора при цьому може бути різною, бо будуються вони за трьома пріоритетними принципами.

Перші шифратори реагують лише на перший за часом сигнал, який надходить з будь-якого входу раніше за усіх.

Другі шифратори мають програмовані пріоритетні вхідні комбінації. Якщо на вхід такого шифратора надходить група символів серед яких один задовольняє умовам пріоритету, то шифратор буде працювати за алгоритмом, який означений пріоритетним символом. На зайві комбінації шифратор не реагує.

У пріоритетному шифраторі третього типу вихідне число завжди відповідає тому активному входу, який має найбільший номер набору. Наприклад, при вхідному числі $\{0111\}$, коли рівень логічної одиниці одночасно присутній на перших трьох входах $x_1 = 1$, $x_2 = 1$, $x_3 = 1$, на виході пріоритетного шифратора установиться двійкове число $\{0100\}$, що відповідає змінній $x_3 = 1$, а активні входи x_1 та x_2 ігноруються.

За принципом побудови схеми прості шифратори поділяються на лінійні та пірамідальні. Лінійні шифратори будуються за лінійним принципом, коли всі однойменні входи логічних елементів підключають до однієї спільної шини. Тому для реалізації лінійного шифратора потрібно мати багатовходові логічні елементи, число входів яких дорівнює розрядності m . Лінійні шифратори мають досить високу швидкодію.

Розглянемо принцип побудови лінійного повного шифратора 8-3, стани входів і виходів якого описує таблиця станів (табл. 12.1).

Таблиця 12.1 – Стани повного лінійного шифратора 8-3

Число	Входи								Виходи		
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_3	y_2	y_1
0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	1	0	1
6	0	0	0	0	0	0	1	0	1	1	0
7	0	0	0	0	0	0	0	1	1	1	1

З табл. 12.1 видно, що шифратор має бути побудованим за трьома (за кількістю виходів y) схемами логічного додавання АБО. Ці схеми повинні мати стільки входів, скільки логічних одиниць u у відповідному стовпчику у табл. 12.1.

Оскільки в кожному стовпчику виходів по чотири логічних одиниці, то схеми АБО мають бути чотиривхідними.

Для складання схеми знайдемо рівняння кожного виходу y_1 , y_2 , y_3 за допомогою табл. 12.1 наступним чином. Стан кожного виходу наведемо у вигляді суми станів тих входів x_i , які мають значення 1 у рядку з одиничним виходом y_k .

$$\begin{aligned} y_1 &= x_1 \vee x_3 \vee x_5 \vee x_7 = x_1 + x_3 + x_5 + x_7 \\ y_2 &= x_2 \vee x_3 \vee x_6 \vee x_7 = x_2 + x_3 + x_6 + x_7 \\ y_3 &= x_4 \vee x_5 \vee x_6 \vee x_7 = x_4 + x_5 + x_6 + x_7 \end{aligned} \quad (12.1)$$

Дійсно одиницю містять чотири двійкові числа: $001_2 = 1_{10}$; $011_2 = 3_{10}$; $101_2 = 5_{10}$; $111_2 = 7_{10}$.

Для розробки схеми шифратора використовуємо матрицю, тобто систему ортогональних ліній (рис. 12.1). Матрична схема досить наочна, бо позбавлена від перегонів ліній зв'язку.

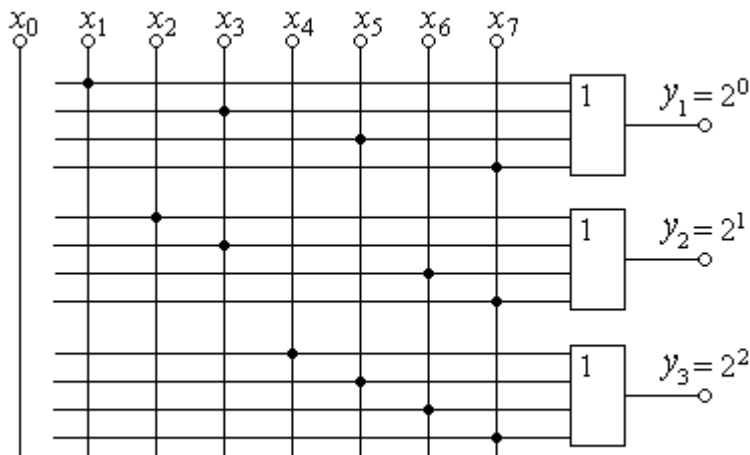


Рисунок 12.1 – Схема повного шифратора 8-3

Входи саме шифратора зображені вертикальними лініями, а входи логічних схем АБО – горизонтальними.

Входи кожної схеми АБО мають бути з'єднані з тими входами шифратора, які є в функціях (12.1).

Роботу схеми шифратора пояснюють таблиця станів (табл. 12.1) і рівняння (12.1).

Схема працює наступним чином.

При входньому числі 0 одиничним є лише один вхід шифратора $x_0 = 1$. При цьому решта входів нульова. Підставляючи всі $x_i = 0$ у рівняння (12.1), знаходимо, що $y_3 = 0$; $y_2 = 0$; $y_1 = 0$, тобто вихідне число дорівнює 000.

При входньому числі 1 одиничним є вхід шифратора $x_1 = 1$. При цьому решта входів нульова, через що $y_3 = 0$; $y_2 = 0$; $y_1 = 1$, тобто вихідне число дорівнює 001.

Як видно з рівнянь (12.1), табл. 12.1 і схеми (рис. 12.1), взагалі на першому виході шифратора $y_1 = 2^0$ сигнал логічної одиниці з'являється тоді, коли на один з входів або x_1 , або x_3 , або x_5 , або x_7 подано логічну одиницю.

Другий вихід $y_2 = 2^1 = 1$ шифратора буде одиничним тоді, коли логічна одиниця присутня на одному із входів або x_2 , або x_3 , або x_6 , або x_7 .

Самий старший вихідний розряд $y_3 = 2^2 = 4$ буде одиничним, якщо на одному з входів шифратора або x_4 , або x_5 , або x_6 , або x_7 діє логічна одиниця.

Для лінійних шифраторів характерна незадіяна змінна x_0 . Це означає, що за будь-якого сигналу на вході x_0 , на виході шифратора не буде жодних змін.

Однак, така ситуація на практиці завжди враховується і тому передбачається обов'язкова наявність активного входу x_0 , хоча він не використовується.

Для розглянутого шифратора (рис. 12.1) присутність двох або більшого числа активних входів заборонена, бо він перетворює код “1 із n ” і відноситься до типу простих неперіоритетних лінійних шифраторів.

Шифратори широко використовуються в цифрових системах для перетворення вхідних десяткових чисел у двійкову форму. За допомогою шифраторів кодуються різні символи (в тому числі й літери). Серійні шифратори можна зустріти в складі мікросхем багатьох серій. Пріоритетні шифратори найбільш поширені, бо на них, крім основних, можна виконувати функції простих шифраторів.

В інтегральній схемотехніці частіше зустрічаються шифратори, що перетворюють сигнали низького рівня на одному з інформаційних входів $\bar{x}_i$ в обернений двійковий код на виході. Це дає можливість діагностики шифратора в початковому стані, в якому на виходах мають бути тільки логічні одиниці. Поява на будь-якому виході логічного нуля свідчить про несправність шифратора. Щодо неповного шифратора, то його умовне позначення наведено на рис. 12.2.

Крім інформаційних входів $\bar{x}_0 \dots \bar{x}_9$ шифратор має вхід дозволу $\bar{E}_1$. При $\bar{E}_1 = 1$ можна змінити комбінацію на входах без зміни числа на виходах. $\bar{E}_0$ – вихід сигналу дозволу. При $\bar{E}_0 = 0$ фіксуються високі рівні на всіх інформаційних виходах.

Вихід групового сигналу $\overline{GS}$ свідчить про наявність хоча б одного активного низького рівня на виході. За допомогою виходу $\bar{E}_1$ та виходу $\bar{E}_0$ можна нарощувати розрядність шифратора. При каскадному з'єднанні шифраторів слід вихід $\bar{E}_0$ попереднього каскаду з'єднати зі входом $\bar{E}_1$ наступного каскаду.

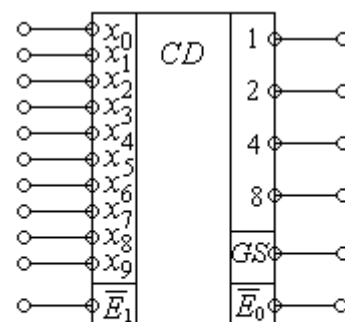


Рисунок 12.2 – Умовне позначення неповного шифратора 9-4

12.2. Завдання для розрахунку

1. Накресліть схему шифратора (1 декада).
2. Вкажіть потенціали (лог. 0 або лог. 1) на вході та виході шифратора.
3. Запишіть логічне рівняння шифратора.
4. Накресліть умовне позначення шифратора.

12.3. Вихідні дані

1. Входом шифратора є десяткова цифра, що визначається літерою N – остання цифри залікової книжки.

12.4. Контрольні запитання

1. Що таке шифратор?
2. Який шифратор називають повним, а який – неповним?
3. Як на хвої шифратора задається десяткова цифра?
4. Скільки виходів двійкового коду має повний (неповний) шифратор?

12.5. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. І. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 274-277.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 297-303.

Тема 13. КОМБІНАЦІЙНІ ПРИСТРОЇ. ДЕШИФРАТОРИ

13.1. Ключові положення

Дешифраторами, які ще називають декодерами, називаються комбінаційні логічні структури, які призначені для перетворення (дешифрації) коду, що надходить до входу, в символну або алфавітно-цифрову інформацію, тобто в код “1 з n ”, в якому сигнал з’являється лише на одному із виходів. Дешифратори за порівнянням з шифраторами виконують обернене перетворення.

Дешифратори, як і шифратори, бувають повними та неповними.

Розглянемо принцип побудови повного лінійного дешифратора 2 – 4 на логічних схемах І. Такий дешифратор має 4 двовходові схеми логічного множення І, які виявляють одиничні стани всіх входів.

Якщо вхідне число подається двійковим кодом, то на входах різних схем І буде комбінація прямих та інверсних вхідних змінних. Через це входи дешифратора повинні мати інвертори.

Знайдемо логічний вислів кожного виходу.

Вхідне число $x_2 = 0$; $x_1 = 0$ схема І може виявити, якщо до її входів підвести інверсні значення $\bar{x}_2$ та $\bar{x}_1$. Тоді $y_0 = \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1$. Таким чином, рівняння станів виходів дешифратора є логічними добутками станів входів, у які підставляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він нульовий.

Отже, стани дешифратора 2 – 4 на схемах І описуються наступними висловленнями:

$$\begin{aligned}y_0 &= \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1, \\y_1 &= \bar{x}_2 \wedge x_1 = \bar{x}_2 \cdot x_1, \\y_2 &= x_2 \wedge \bar{x}_1 = x_2 \cdot \bar{x}_1, \\y_3 &= x_2 \wedge x_1 = x_2 \cdot x_1.\end{aligned}\tag{13.1}$$

Схему дешифратора розробляємо у виді матриці (рис. 13.1). Входи схем 2І D3...D6 з’єднуємо з тими входами дешифратора, які є в рівняннях (13.1).

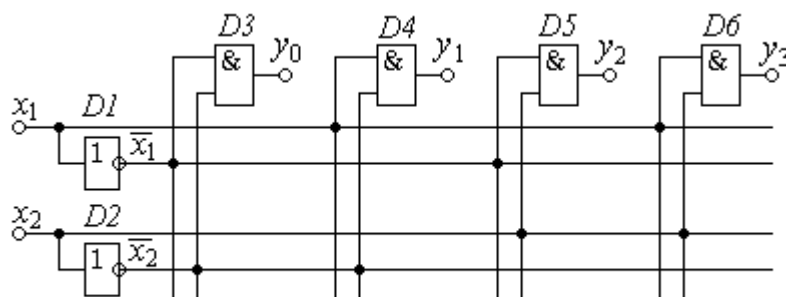


Рисунок 13.1 – Схема лінійного дешифратора 2-4

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 13.1).

Таблиця 13.1 – Стани повного дешифратора 2-4

Число	Входи		Виходи			
	x_2	x_1	y_0	y_1	y_2	y_3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

Дешифратор працює наступним чином. Інвертори $D1$ та $D2$ здійснюють інверсію $\bar{x}_1$ та $\bar{x}_2$. Підставляючи стани входів з табл. 13.1 у рівняння (13.1), переконуємось у наступному.

При вхідному числі 0 обидва входи нульові: $x_2 = 0$ та $x_1 = 0$. Підставляючи ці значення в рівняння (13.1), одержуємо, що тільки на виході схеми $D3$ вихід одиничний: $y_0 = 1$. Це пояснюється тим, що при $x_1 = 0$ та $x_2 =$

0 їхні інверсні стани одиничні, що й виявляє схема $D3$. На входах усіх інших схем $D4$, $D5$, $D6$ хоча б один із входів нульовий, через що $y_1 = 0$; $y_2 = 0$; $y_3 = 0$.

При вхідному числі 1 стани входів дешифратора $x_2 = 0$; $x_1 = 1$. Підставляючи ці значення в рівняння (13.1), переконуємося в тому, що тільки на виході схеми $D4$ вихід одиничний: $y_1 = 1$ тощо.

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при обох одиничних входах на виході відповідної схеми буде логічний нуль.

Якщо дешифратор виконати на схемах 2АБО, то прямі та інверсні їхні входи слід змінити на протилежні. Тоді на виході схеми з двома вхідними нулями буде логічний нуль. На виходах інших трьох схем будуть логічні одиниці. Щодо неповних дешифраторів, то в них є певне число невикористаних вхідних наборів. Досить розповсюдженим прикладом є неповний дешифратор 4-10, який виконує перетворення двійково-десятькового коду в десятковий.

Розглянемо принцип побудови неповного дешифратора 4-10 на схемах логічного додавання АБО. Такий дешифратор має 10 чотиривхідних схем логічного додавання АБО, кожна з яких виявляє нульові стани всіх своїх чотирьох входів. Тому рівняння кожного виходу є сумою станів входів, у яку підставляємо прямий стан входу, якщо він нульовий, та – інверсний, якщо він одиничний. Щоб активний рівень виходів дешифратора був одиничним, слід кожну згадану суму проінвертувати, для чого використовуємо логічні схеми АБО-НЕ. Отож логічний вислів станів дешифратора наступний:

$$\begin{aligned}
y_0 &= \overline{x_4 \vee x_3 \vee x_2 \vee x_1} = \overline{x_4 + x_3 + x_2 + x_1}, \\
y_1 &= \overline{x_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + x_2 + \bar{x}_1}, \\
y_2 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + x_3 + \bar{x}_2 + x_1}, \\
y_3 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + \bar{x}_2 + \bar{x}_1}, \\
y_4 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + x_2 + x_1}, \\
y_5 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + x_2 + \bar{x}_1}, \\
y_6 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + x_1}, \\
y_7 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + \bar{x}_1}, \\
y_8 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee x_1} = \overline{\bar{x}_4 + x_3 + x_2 + x_1}, \\
y_9 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{\bar{x}_4 + x_3 + x_2 + \bar{x}_1}.
\end{aligned}
\tag{13.2}$$

Схему дешифратора розробляємо у виді матриці (рис. 13.2). Входи схем 4АБО-НЕ, які мають виходи $y_0 \dots y_9$, з'єднуємо відповідно з тими входами дешифратора, які є в рівняннях (13.2).

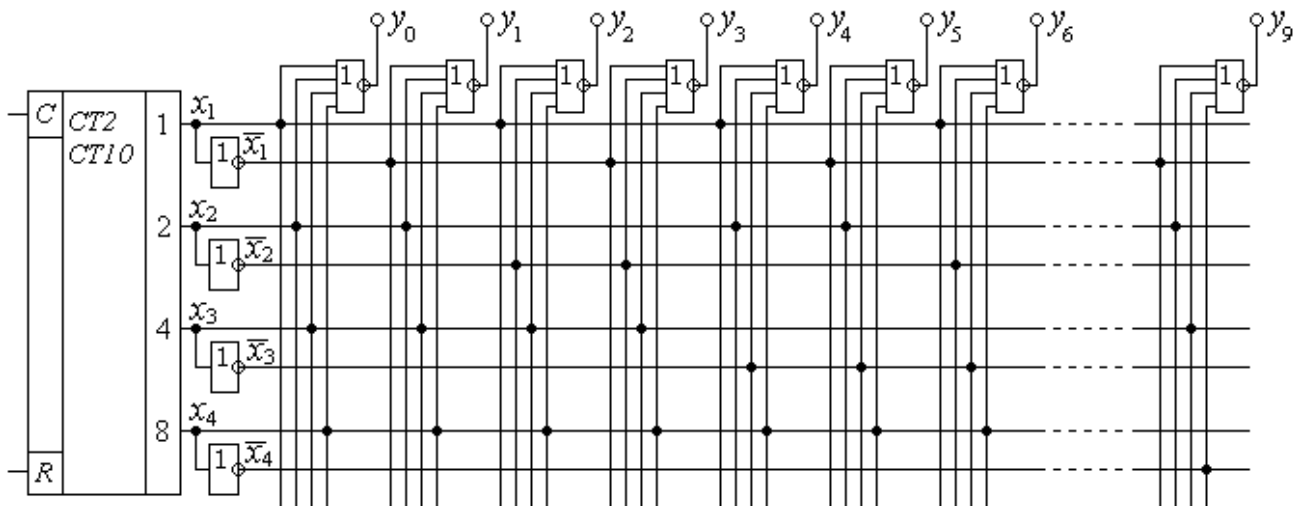


Рисунок 13.2 – Схема неповного дешифратора 4-10

На рис. 13.2 наведене умовне позначення двійково-десятькового лічильника $CT2 - CT10$, двійкові виходи 1, 2, 4, 8 якого підключені відповідно до входів дешифратора x_1, x_2, x_3, x_4 .

Ці входи прямі чи інверсні з'єднані з чотирма входами схем АБО-НЕ, на яких побудований дешифратор, згідно з функціями (13.2).

Так, входи елемента АБО-НЕ y_0 з'єднані з усіма прямими входами x_1, x_2, x_3, x_4 дешифратора.

Входи елемента АБО-НЕ y_1 з'єднані з прямими входами дешифратора x_2, x_3, x_4 та інверсним $\bar{x}_1$ і т.д., щоб сума станів входів для кожного виходу $y_0, \dots, y_9$ дорівнювала нулю.

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 13.2).

Таблиця 13.2 – Стани неповного лінійного дешифратора 4-10

Число	Входи				Виходи									
	x_4	x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	1	0	0	0	0	0	0	0
3	0	0	1	1	0	0	0	1	0	0	0	0	0	0
4	0	1	0	0	0	0	0	0	1	0	0	0	0	0
5	0	1	0	1	0	0	0	0	0	1	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	1	0	0	0
7	0	1	1	1	0	0	0	0	0	0	0	1	0	0
8	1	0	0	0	0	0	0	0	0	0	0	0	1	0
9	1	0	0	1	0	0	0	0	0	0	0	0	0	1

Дешифратор працює наступним чином.

Як видно з табл. 13.2, при скинутому лічильнику на його входах нулі:

$x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$. Підставляючи ці значення та їхні інверсії в усі рівняння (13.2) переконуємося в тому, що $y_0 = 1$ тільки при скинутому лічильнику. Це пояснюється тим, що схема АБО-НЕ виявляє тільки нульові стани входів. Тому при $x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$ під нулями тільки входи схеми y_0 , через що $y_0 = 1$. Решта усіх інших виходів нульова, бо хоча б один з входів інших схем АБО-НЕ одиничний.

Якщо лічильник містить число 1, то нульовими будуть усі входи схеми АБО-НЕ y_1 , через що тільки цей вихід буде одиничним: $y_1 = 1$ і т.д. Будь-якому вмісту лічильника в межах $0 \dots 9$ відповідає тільки одна одиниця на виходах $y_0, \dots, y_9$.

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при всіх одиничних входах на виході відповідної схеми буде логічний нуль. Промисловість випускає дешифратори як повні (рис. 13.3,а), так і неповні (рис. 13.3,б).

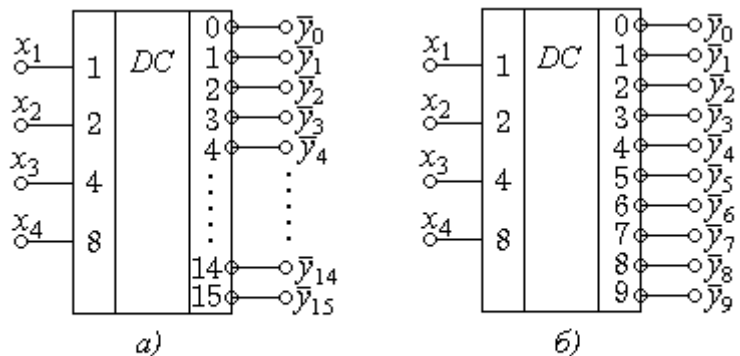


Рисунок 13.3 – Умовне позначення дешифраторів:

а) повного 4-16; б) неповного 4-10

Існування неповного дешифратора виправдано, наприклад, перетворенням двійково-десятькового коду в десятковий (рис. 13.3,б).

Слід зауважити, що в інтегральних дешифраторах формування інверсій вхідних змінних виконується в самому дешифраторі і тому додаткові інвертори на їхніх входах ставити не треба.

Розглянуті дешифратори будують на основі одноступеневої (лінійної) схеми. Багатоступеневі дешифратори використовуються при багатозначності вхідного кодового слова з метою економічної будови схем дешифрації.

13.2. Завдання для розрахунку

1. Розробіть дешифратор двійково-десятькового лічильника.
2. Дайте схему дворозрядного двійково-десятькового лічильника.
3. Виберіть логічний елемент для дешифратора (АБО).
4. Визначте кількість входів вибраного елемента.
5. Запишіть логічні рівняння кожного з двох виходів дешифратора.
6. Розробіть матричну схему дешифратора.
7. Опишіть роботу розробленого дешифратора.

13.3. Вихідні дані

1. Десятькове число у лічильнику дорівнює $(10 - M + N)$.

13.4. Приклад виконання розрахунку

1. Входи розробленого дешифратора мають бути підключені до відповідних виходів двійково-десятькового лічильника.

2. На рис. 13.4 дана схема дворозрядного двійково-десятькового лічильника. На ній зображені перший десятиковий розряд $\times 1$, який підраховує одиниці від 0 до 9 включно, та другий десятиковий розряд $\times 10$, який підраховує числа від 10 до 90.

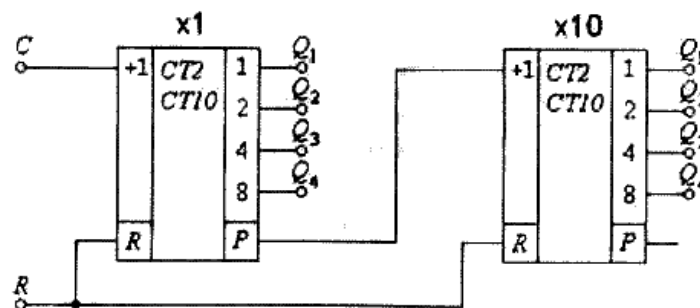


Рисунок 13.4 – Дворозрядний двійково-десятьковий лічильник

На схемі рис. 13.4 позначені:

C – вхід лічильника; R – вхід скидання; P – вихід переповнення;

Q_1 – вихід першого двійкового розряду з ваговим коефіцієнтом $2^0 = 1$;

Q_2 – вихід другого двійкового розряду з ваговим коефіцієнтом $2^1 = 2$ тощо. (опишіть всі позначення на схемі).

3. Щоб на виходах дешифратора виявлене число визначалося б логічними одиницями, слід вибрати логічний елемент І. Якщо треба виявлене число визначати логічними нулями, слід вибрати логічний елемент АБО.

4. Оскільки кожна декада двійкового лічильника має чотири двійкові виходи (рис. 8.4), то дешифратор має бути виконаний на двох чотиривходових логічних елементах (рис. 13.5).

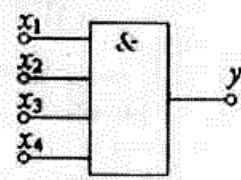


Рисунок 13.5 – Схема 4І

5. Оскільки схема 4І здійснює логічне множення, то вона виявляє тільки всі одиничні входи.

Тому для виявлення потрібного числа необхідно на входи схеми 4І подавати комбінацію прямих та інверсних виходів лічильника так, щоб для виявленого числа всі входи схеми 4І були б одиничними. Так, наприклад, у нульовому стані лічильника всі його виходи нульові. Тому виявлення нульового стану лічильника слід інвертувати всі його виходи.

Логічне рівняння для одного десяткового розряду вибирається із системи рівнянь (13.3):

$$\begin{aligned}
 y_0 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_1 &= \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_2 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_3 &= \bar{x}_4 \wedge \bar{x}_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot x_2 \cdot x_1; \\
 y_4 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_5 &= \bar{x}_4 \wedge x_3 \wedge \bar{x}_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot \bar{x}_2 \cdot x_1; \\
 y_6 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot \bar{x}_1; \\
 y_7 &= \bar{x}_4 \wedge x_3 \wedge x_2 \wedge x_1 = \bar{x}_4 \cdot x_3 \cdot x_2 \cdot x_1; \\
 y_8 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1; \\
 y_9 &= x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.
 \end{aligned}
 \tag{13.3}$$

У даних рівняннях: x_i – прямі виходи лічильника; $\bar{x}_i$ – інверсні виходи лічильника.

Узагальнена структурна схема дешифратора наведено на рис. 13.6.

На рис. 13.6: M – передостання цифра номера залікової книжки, а N – остання.

Оскільки лічильники на схемі рис. 13.6 мають лише прямі виходи, то до виходу Q_i кожного розряду лічильника підключений інвертор. За завданням схема дешифратора мусить бути виконано як матриці, тобто, вона повинна виконуватися ортогональними лініями: горизонтальними та вертикальними будь-якої довжини. Виходи кожного лічильника x_i і $\bar{x}_i$, виконуються у вигляді шини, тому що до них підключаються входи і інших схем y_i .

Шина – це сукупність електричних провідників і сигналів, що передаються по них, згрупованих відповідно до функціонального призначення.

Кожен вхід схеми 4І (при іншій реалізації дешифратора 4АБО) повинен з'єднуватися тільки з однією шиною відповідно до логічного висловлювання. Ця важлива властивість матричної схеми дозволяє легко контролювати правильність її виконання.

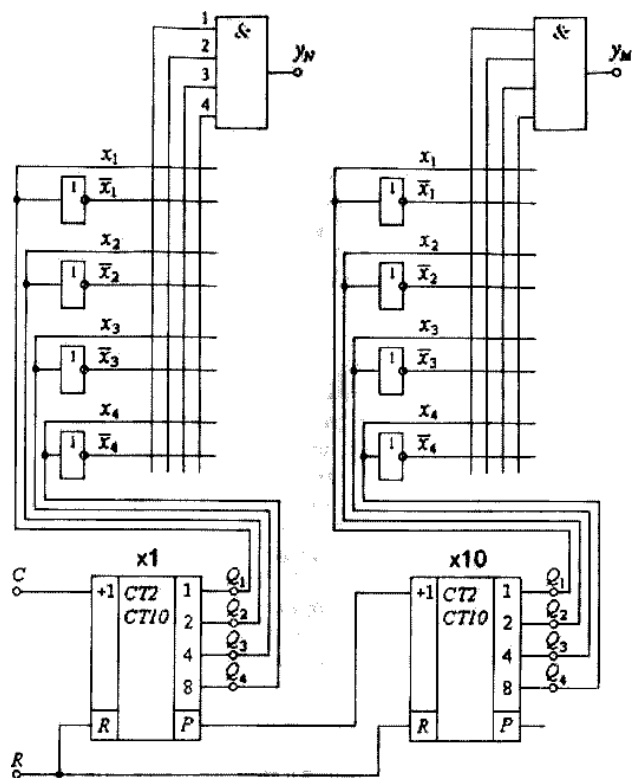


Рисунок 13.6 – Узагальнена структурна схема дешифратора двійково-десятькового лічильника

Узагальнена структурна схема рис. 13.6 справедлива для будь-якого варіанта завдання. Для розробки принципової схеми необхідно і виконати з'єднання кожного входу (1; 2; 3; 4) схеми 4І з відповідним виходом лічильника прямим x_i , або інверсним $\bar{x}_i$.

Нехай, наприклад, треба визначити число 9.

Логічним рівнянням виявлення числа 9 буде вираз:

$$y_9 = x_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge x_1 = x_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot x_1.$$

Приклад виконання сполук виявлення числа 9 показаний на рис. 13.7.

З висловлювання y_9 видно, що до двох входів схеми 4І слід підключити два прямі виходи лічильника x_1 і x_4 , а до двох інших входів – двоінверсних $\bar{x}_2$ і $\bar{x}_3$ (рис. 13.7).

6. Для виявлення повного заданого числа необхідно скласти логічний вираз кожного з двох виходів дешифратора.

Нехай, наприклад, останні дві цифри залікової книжки складають $M = 9$ і $N = 8$. Тоді задане число дорівнює:

$$(10 \cdot M + N) = 109 + 8 = 98.$$

Отже, перший (молодший) десятковий розряд – $\times 1$ повинен зберігати двійкове

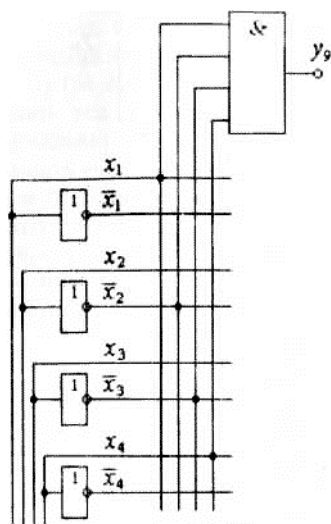


Рисунок 13.7 – Приклад виконання сполук виявлення числа 9

число 1000, а другий (старший) десятковий розряд – $\times 10$ повинен зберігати двійкове число 1001.

Схема дешифратора числа 98 показано на рис. 13.8.

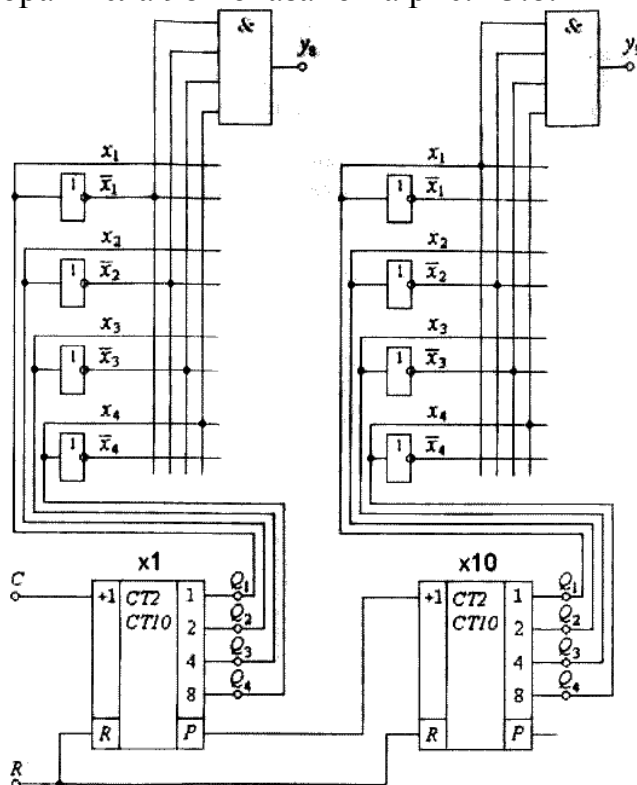


Рисунок 13.8 – Приклад виконання з'єднань у дешифраторі для виявлення числа 98

7. Дешифратор працює в такий спосіб.

У нульовому стані декади $\times 1$ усі її виходи x_i нульові. Будучи інвертованими, вони забезпечать на всіх входах схеми 4І для y_0 логічні одиниці:

$$y_0 = \bar{x}_4 \wedge \bar{x}_3 \wedge \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_4 \cdot \bar{x}_3 \cdot \bar{x}_2 \cdot \bar{x}_1,$$

тому $y_0 = 1$. На виході дешифратора отримаємо число 0.

У будь-якому іншому стані декади $\times 1$ хоча б один із його виходів буде поодиноким. Інші виходи нульові. Після інверсії нульових виходів за будь-якого змісту декади $\times 1$ завжди знайдеться така комбінація прямих та інверсних виходів, яка забезпечить всі логічні одиниці на входах схеми 4І.

При змісті декади $\times 1$, яке дорівнює заданому двійковому числу 1000 (що відповідає десятковому числу 8), прямий вихід лічильника $x_4 = 1$, а три інші прямі виходи нульові: $\bar{x}_1 = 0$; $\bar{x}_2 = 0$; $\bar{x}_3 = 0$. На виходах інверторів вони перетворюються на одиничні: $\bar{x}_1 = 1$; $\bar{x}_2 = 1$; $\bar{x}_3 = 1$.

Тому лише при числі 8 у лічильнику всі входи схеми 4І будуть одиничними, тому вихід $y_8 = 1$.

Так дешифратор першої декади $\times 1$ виявляє число 8, про що свідчить логічна одиниця на виході y_8 .

Аналогічно необхідно описати роботу дешифратора декади $\times 10$.

13.5. Контрольні запитання

1. Розкажіть, які цифрові пристрої називають шифраторами та для чого вони призначені.
2. Розкажіть, які цифрові пристрої називають дешифраторами та для чого вони призначені.
3. Поясніть, які шифратори (дешифратори) називають повними, а які – неповними.

13.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. І. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 277-281.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 303-322.

Тема 14. КОМБІНАЦІЙНІ ПРИСТРОЇ. ПРОГРАМОВАНІ ЛОГІЧНІ МАТРИЦІ

14.1. Ключові положення

Матрична схема

Матрична схема або *логічна матриця* являє собою сітку ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці ці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем. Отже, з матричної структури шляхом її програмування одержують заданий комбінаційний пристрій. Тому такі структури називаються “комбінаційні програмовані логічні матриці” (ПЛМ).

ПЛМ, як правило, мають два схемотехнічних рівні: на першому з них утворюються потрібні кон’юнкції, а на другому – диз’юнкції. Іноді одна з матриць може бути фіксованою. Обидві матриці з’єднуються каскадно.

Існують також *послідовнісні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам’яті. Такі ПЛМ характеризуються розрядністю регістра пам’яті.

Розглянемо програмовану логічну матрицю, що наведена на рис. 14.1 і містить матриці М1 та М2.

Матриця М1 має три входи x_1, x_2, x_3 , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини x_1, x_2, x_3 в М1 є вхідними, а вертикальні $P_1 - P_4$ – вихідними.

Виходи P носять назву *ліній терм*.

Кожна вхідна шина x_1, x_2, x_3 зв’язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини $\bar{x}_1, \bar{x}_2, \bar{x}_3$).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку кон’юнкцію її вхідних змінних, тобто функцію І.

Матриця М1 працює як дешифратор, виходами якого є кон’юнктивні терми $P_1 - P_4$. Дійсно, при появі одиниці (високого рівня напруги) на одному із входів x_i , на виході відповідного інвертора з’являється $\bar{x}_i$ (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях x_i та $\bar{x}_i$ присутні, то високий потенціал лінії x_i закрий “свій” діод і на відповідній вертикальній лінії терм буде високий рівень напруги $\approx +E$, якщо на всіх інших горизонтальних лініях буде також рівень логічної одиниці.

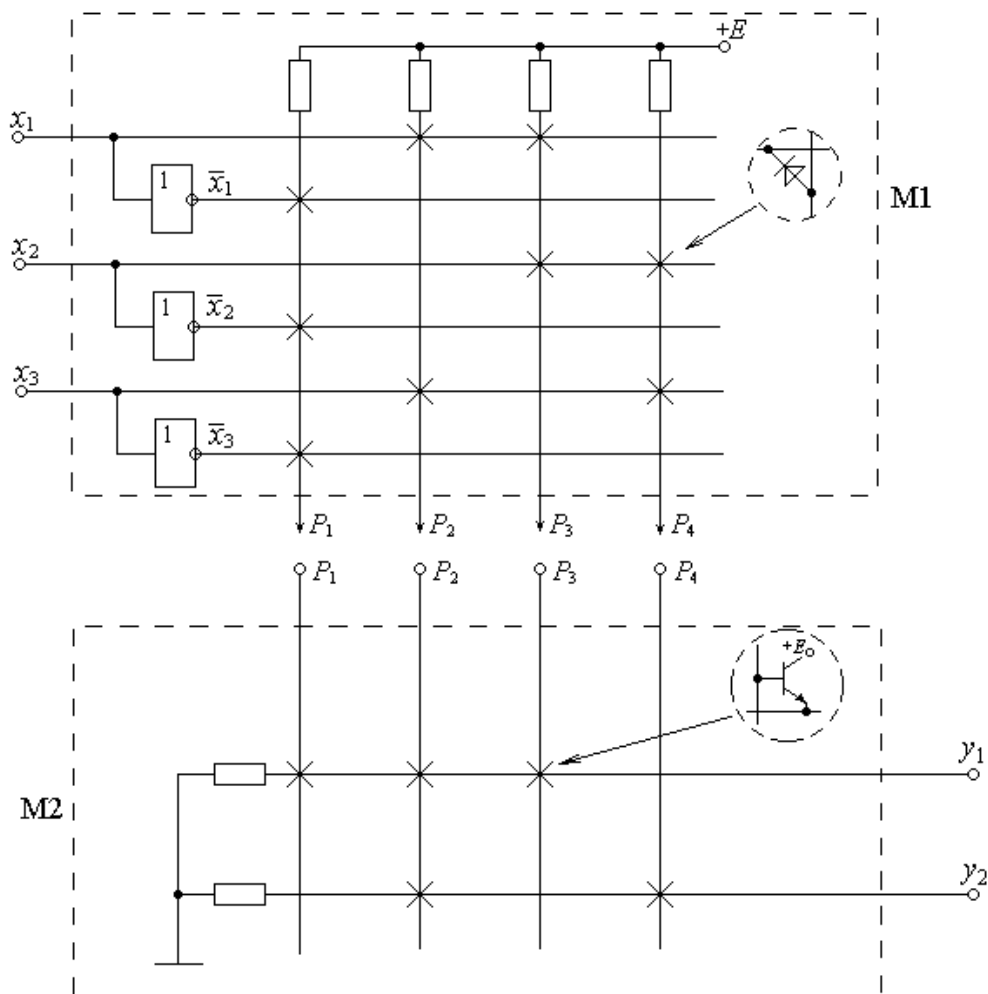


Рисунок 14.1 – Програмована лічильна матриця:
M1 – матриця кон'юнкції; M2 – матриця диз'юнкції

Низький рівень лінії $\bar{x}_i$ відкриє “свій” діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині P_N можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки при високих рівнях логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина P_N .

Таким чином, на вертикальній лінії P_N реалізується кон'юнкція змінних. Матриця кон'юнкцій M1 має перемички в місцях, позначених хрестиками, і реалізує функції кон'юнкції за формулами:

$$\begin{aligned}
 P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3, \\
 P_2 &= x_1 x_3, \\
 P_3 &= x_1 x_2, \\
 P_4 &= x_2 x_3.
 \end{aligned}
 \tag{14.1}$$

Матриця M2 має чотири вертикальні $P_1 - P_4$ шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз'юнкцію (функцію АБО) входніх змінних. У матриці M2 входними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз'юнкцій, що описується математичним виразом

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3; \\ y_2 &= P_2 \vee P_4. \end{aligned} \quad (14.2)$$

Дійсно, на матриці диз'юнкцій M2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці M2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході y_j був високий рівень логічної одиниці. Тільки відсутність струмів на всіх горизонтальних лініях забезпечує на ній логічний нуль, що відповідає операції диз'юнкції. Отже, в наведеному прикладі (рис. 14.1) реалізується функція, яка описується формулами (14.2).

Якщо з'єднати обидві матриці M1 та M2, як показано на рис. 14.2, то одержана схема буде реалізовувати систему булевих функцій

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_3 \vee x_1 x_2, \\ y_2 &= P_2 \vee P_4 = x_1 x_3 \vee x_2 x_3. \end{aligned} \quad (14.3)$$

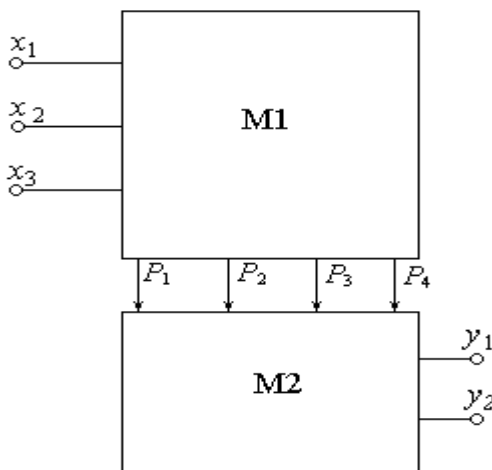


Рисунок 14.2 – Дворівнева матриця

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Реалізації системи функцій матрицями M1 та M2 можна зобразити у вигляді таблиці програмування (табл. 14.1).

У табл. 14.1, стовпці якої відзначені змінними $x_1, \dots, x_L$ та функціями $y_1, \dots, y_N$, кожній проміжній шині $P_1, \dots, P_B$ ставиться у відповідність рядок таблиці (B – кількість вертикалів).

На перетині j -го рядка і стовпця x_l ($l = \overline{1, L}$) записуються:

- 1, якщо змінна x_e входить в j -ту елементарну кон'юнкцію без інверсії;
- 0, якщо змінна x_e входить в j -ту елементарну кон'юнкцію з інверсією;
- риска (–), якщо змінна x_e не входить в j -ту елементарну кон'юнкцію.

На перетині j -го рядка і стовпця $y_n (n = \overline{1, N})$ записуються:

1, якщо j -та елементарна кон'юнкція входить в диз'юнкцію y_n ;

крапка (.), якщо j -та елементарна кон'юнкція не входить в диз'юнкцію y_n .

Відповідним чином будь-яка система булевих функцій $y_1, \dots, y_N$ вхідних змінних $x_1, \dots, x_L$ може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції $P_1, \dots, P_B$, а на другому – диз'юнкції $y_1, \dots, y_N$ відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

Складність матричної реалізації оцінюється сумарною ємністю (площею) матриць. У загальному випадку в схемі, що має L входів, N виходів та B вертикалей площа становить

$$S(M) = S(M_1) + S(M_2) = 2LB + BN. \quad (14.4)$$

Дворівневі та три рівневі ПЛМ

На рис. 14.3 наведена дворівнева ПЛМ, яка складається з двох матриць: M1 та M2.

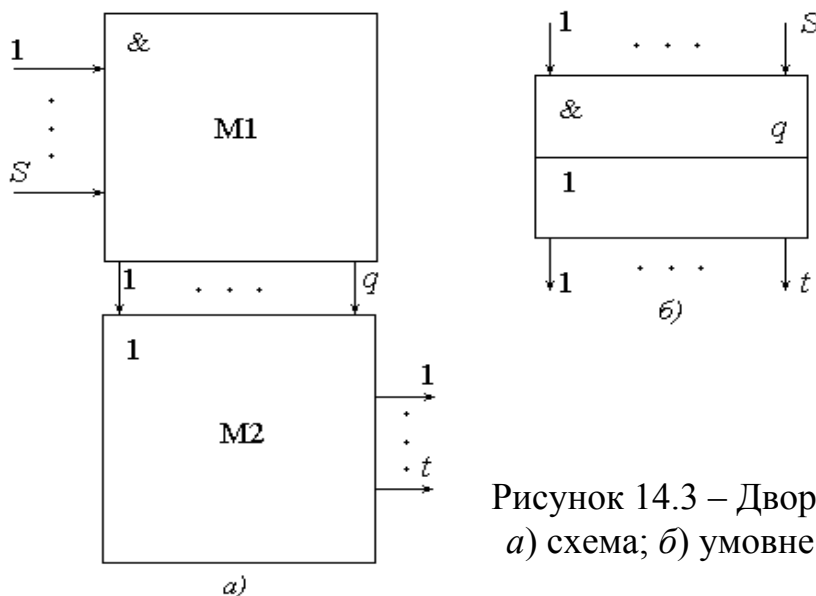


Рисунок 14.3 – Дворівнева ПЛМ:
а) схема; б) умовне позначення

Матриця M1 має S входів і q виходів. Вона дозволяє реалізувати q елементарних кон'юнкцій $P_1, \dots, P_q$ змінних $x_1, \dots, x_S$, що надходять на її входи.

Матриця M2 має q входів і t виходів. Вона дозволяє реалізувати t елементарних диз'юнкцій $y_1, \dots, y_t$ змінних $P_1, \dots, P_q$, які надходять на її входи з виходів матриці M1.

Таблиця 14.1 – Таблиця програмування ПЛМ

Входи			Виходи	
x_1	x_2	x_3	y_1	y_2
0	0	0	1	.
1	–	1	1	1
1	1	–	1	.
–	1	1	.	1

Виходи матриці $M1$ з'єднані з входами матриці $M2$ й утворюють проміжні шини $1-q$ ПЛМ. ПЛМ, що має S входів, t та q проміжних шин називається ПЛМ (S, t, q) .

Різновидом ПЛМ (S, t, q) є їхня удосконалена модель: ПЛМ (Z, q) . В ПЛМ (Z, q) фіксується лише два параметри: підсумоване число входів і виходів $Z = S + t$ та число проміжних шин q . Параметри S і t можуть набувати будь-яких конкретних значень при програмуванні.

Трирівнева ПЛМ комбінаційного типу (рис. 14.4) на відміну від дворівневої (рис. 14.3) має додатковий S -вхідний блок D . Число виходів блока D дорівнює числу h горизонтальних шин у матриці $M1$. Кожний i -й вихід з'єднаний з i -ю горизонтальною шиною цієї матриці ($i = \overline{1, h}$).

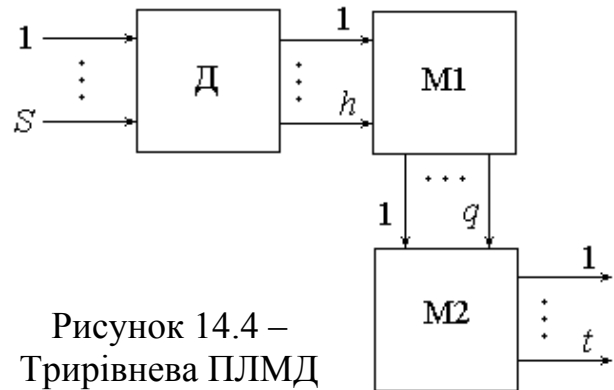


Рисунок 14.4 –
Трирівнева ПЛМД

Блок D може мати різноманітну внутрішню структуру. Наприклад, він може відігравати роль матриці M_0 , яка дозволяє утворювати h елементарних диз'юнкцій змінних $x_1, x_2, \dots$, що надходять на її входи і може використовуватися або з інверсією, або без інверсії. Найбільш часто блок D складений з набору $S/2$ двовхідних повних дешифраторів. Такі матриці позначаються ПЛМД (S, t, q) . Для ПЛМД (S, t, q) блок D має S входів і $2S$ виходів, а число горизонтальних шин матриці $M1$ кратне чотирьом.

Входи кожного дешифратора – це входи блока D , а чотири виходи кожного i -го з них з'єднані з відповідними чотирма горизонтальними шинами i -ї групи матриці. Використання ПЛМД на відміну від ПЛМ дозволяє значно зменшити число проміжних шин для реалізації заданої системи булевих функцій, тобто реалізувати більш складні системи. Площа матриць $M1$ і $M2$ за цього використовується значно раціональніше.

Подальша робота, яка спрямована на збільшення ефективності використання площі ПЛМ, привела до створення структури, яка має наступні чотири особливості:

- матриця поділена на дві частини – $M1'$ і $M1''$. Матриця $M1'$ розміщена над матрицею $M2$, а матриця $M1''$ – під матрицею $M2$. Це дозволяє за необхідності розрізати проміжні шини в матриці $M2$ та реалізувати на верхній та нижній частинах однієї проміжної шини різні елементарні кон'юнкції вхідних змінних;

- входи матриць $M1'$ та $M1''$ розміщені з двох боків ліворуч та праворуч; кожна горизонтальна шина $M1'$ або $M1''$ розрізається в одному місці і на одну її частину подається змінна з лівого боку матриці, а на іншу – з правого;

- виходи матриці M2 розміщені з двох боків (зліва та справа). Кожна горизонтальна шина M2 розрізається в одному місці і на першій її частині формується значення функції для лівого виходу M2, а на другій – для правого;
- на кристалі ВІС ПЛМ передбачена спеціальна система шин, яка дозволяє з'єднувати виходи першої матриці з входами другої.

Розріз шин і організація необхідних зв'язків між входами та виходами різних матриць виконується на етапі налагоджування ПЛМ на виробництві.

Завдяки значним успіхам інтегральної технології з'явилася можливість реалізації ВІС з *жорсткою* та *гнучкою* структурами. Особливий практичний інтерес виявляється до програмованих гнучких структур. Серед них розрізняють ВІС, які придатні до програмування на етапі виготовлення, і ВІС, які можуть бути програмовані користувачем.

Перші з них – це мікросхеми, які називають незавершеними логічними матрицями. Програмують такі ПЛМ програмою замовника на виробництві на стадії занесення програми в матриці в процесі її виготовлення шляхом металізації ділянок матриці через спеціальну маску-шаблон. Після виготовлення інтегральної схеми з використанням маскових технологій перепрограмування неможливе.

Другі ПЛМ поділяють на дві групи: ВІС, які можуть бути тільки одноразово запрограмовані замовником або користувачем – це прості програмовані логічні матриці, та ВІС з багаторазовим перепрограмуванням – це перепрограмовані логічні матриці.

Перепрограмовані ЛМ (ППЛМ) є більш зручними. Це стандартні готові мікросхеми-напівфабрикати, в яких активні елементи на початковій стадії включені на всіх перетинах матриць через ніхромові перемички. Такі ВІС програмують самі користувачі за допомогою спеціальних програматорів шляхом електродного випалювання перемичок імпульсом струму. При цьому, якщо змінна x_i входить у терм P_i в прямій формі, перепалюють тільки одну перемичку, що з'єднує терм P_i з її інверсією $\bar{x}_i$, і навпаки: якщо змінна x_i та її інверсія $\bar{x}_i$ не входять у терм P_i , перепалюють обидві перемички.

На рис. 14.5 показане умовне позначення мікросхеми ППЛМ, де вхід FE використовується тільки при програмуванні і називається вхід дозволу перепалювання, а вхід $\overline{CE}$ – дозвіл вибірки.

Якщо на вході цієї ВІС ПЛМ повне число можливих комбінацій складає $2^{16} = 65536$, то на виході буде лише 48 різних вихідних комбінацій. Тому з усіх вхідних комбінацій невикористаних буде $65536 - 48 = 65488$. Недоліком ПЛМ є обмежені функціональні можливості.

На базі ПЛМ можна будувати комбінаційні цифрові пристрої на досить простих принципах. Основним етапом розробки є складання таблиці програмування

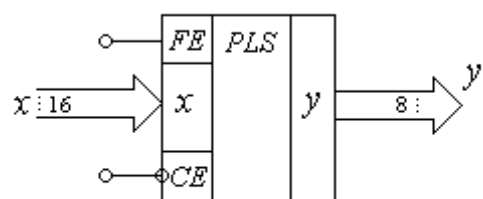


Рисунок 14.5 – Умовне позначення ППЛМ

ПЛМ, яка є інструкцією процедури перепалювань непотрібних перемичок у матрицях. З метою розширення функціональних можливостей використання ПЛМ промисловістю випускаються її спрощені варіанти, наприклад, програмовані матриці вентилів, програмовані матриці логіки, програмовані мультиплексори тощо.

Будь-яка система Q з N булевих функцій L змінних, що описує поведінку комбінаційної схеми, може бути тривіально реалізована на одній ПЛМ (s, t, q) , якщо виконуються вимоги $L < s$, $N < t$, $B < q$.

14.2. Завдання для розрахунку

1. Розробіть з урахуванням ПЛМ комбінаційний пристрій: шифратор 10...4 чи дешифратор 4... 10, як зазначено у вихідних даних.
2. Запишіть систему булевих функцій реалізації шифратора 10. ..4 5и 4... 10.
3. Визначте мінімальну кількість входів, терм та виходів для реалізації заданої схеми.

14.3. Вихідні дані

1. Пристрій для розробки вибирається залежно від номера варіанта MN : якщо N – парна цифра, необхідно розробити схему шифратора; якщо N – непарна цифра, необхідно розробити схему дешифратора.

14.4. Вказівки до виконання розрахунку

1. Під час виконання схеми шифратора використовується лише матриця $M2$. Дані з входу передаються на терми P . У цій схемі матриця $M1$ використовується як транслятор входу.
2. Під час виконання схеми дешифратора використовується лише матриця $M1$. Отримані результати з терм передаються на виходи Y . У цій схемі матриця $M2$ використовується як транслятор виходу.

14.5. Контрольні запитання

1. Поясніть, що є програмовані логічні матриці ПЛМ.
2. Поясніть, які функції виконує кожен рівень ПЛМ.
3. Розкажіть, що є перепрограмована логічна матриця ППЛМ.
4. Розкажіть, що таке матрична структура.

14.6. Рекомендована література

1. Воробйова О.М., Флейта Ю.В. Промислова електроніка: навч. посібник. Ч. I. Одеса: ОНАЗ ім. О.С. Попова, 2020. С. 294-300.
2. Гурій А.М., Мещанінов С.К., Нельма А.Т., Співак В.М., Електротехніка: підручник. Київ: Літера ЛТД, 2020. 288 с.
3. Воробйова О.М., Іванченко В.Д. Основи схемотехніки : підручник [2-ге вид.]. Одеса: Фенікс, 2009. С. 303-322.

Навчально-методичне видання

Олена Михайлівна Воробйова,
Лариса Олексіївна Альошина

**Методичний посібник до практичних занять
з дисципліни
«Електротехніка»**